



## Abschlussbericht zum BMBF Verbundprojekt

### Spitzenforschung und Innovation in den Neuen Ländern – Kompetenznetzwerk für Nanosystemintegration

Zu den Teilvorhaben	NEMS/MEMS-Elektronik-Integration für energieeffiziente Sensorknoten
Zuwendungsempfänger:	IHP GmbH – Innovations for High Performance Microelectronics/Leibniz-Institut für innovative Mikroelektronik
Förderkennzeichen:	03IS2011Q
Laufzeit des Vorhabens:	01. 11. 2012 – 31. 10. 2014
Berichtszeitraum:	01. 11. 2012 – 31. 10. 2014
Projektleiter:	Prof. Dr. Dr. Prof. h.c. mult. Thomas Geßner Technische Universität Chemnitz Reichenhainer Str. 70 09126 Chemnitz
Berichtersteller/ Autoren:	Matthias Wietstruck Norbert Fiebig

## 1. Aufgabenstellung

Die Aufgabenstellungen des IHP innerhalb des Teilprojektes „NEMS/MEMS-Elektronik-Integration für energieeffiziente Sensorknoten“ bestanden zum einen in der Entwicklung und Integration von Through-Silicon Vias (TSV) in eine SiGe:C BiCMOS-Technologie sowie der Entwicklung und Fertigung von integrierten Schaltkreisen (IC) für einen leistungsfähigen Wake-Up Receiver (WuRx).

Während der ersten Phase von NANETT wurde die monolithische Integration von mikroelektromechanischen Systemen (MEMS) in die BiCMOS Technologie des IHP entwickelt, um damit MEMS in das Backend-of-Line (BEOL) der BiCMOS Technologie zu integrieren. Durch die monolithische Integration wurden minimale Leitungslängen ermöglicht und dadurch konnten Hochfrequenz-MEMS Schalter mit herausragenden Eigenschaften demonstriert werden. In der zweiten Phase von NANETT wurde ein neuartiger Ansatz, eine quasi-monolithische Integration, entwickelt. Dabei wurde die BiCMOS Technologie des IHP mit der „Airgap Insulated MEMS“ Technologie (AIM) vom ZfM/ENAS vereint, um BiCMOS Elektronik und AIM-MEMS zu kombinieren. Eine Übersicht über die verschiedenen Integrationsansätze für MEMS und CMOS/BiCMOS Technologien ist in Abbildung 1 dargestellt.

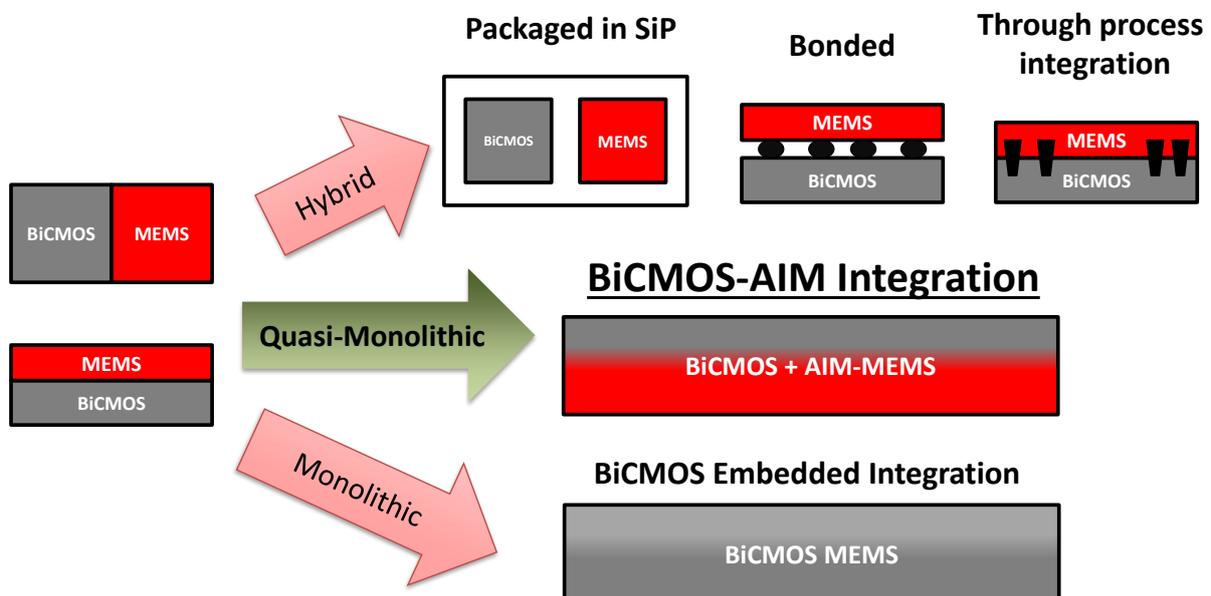
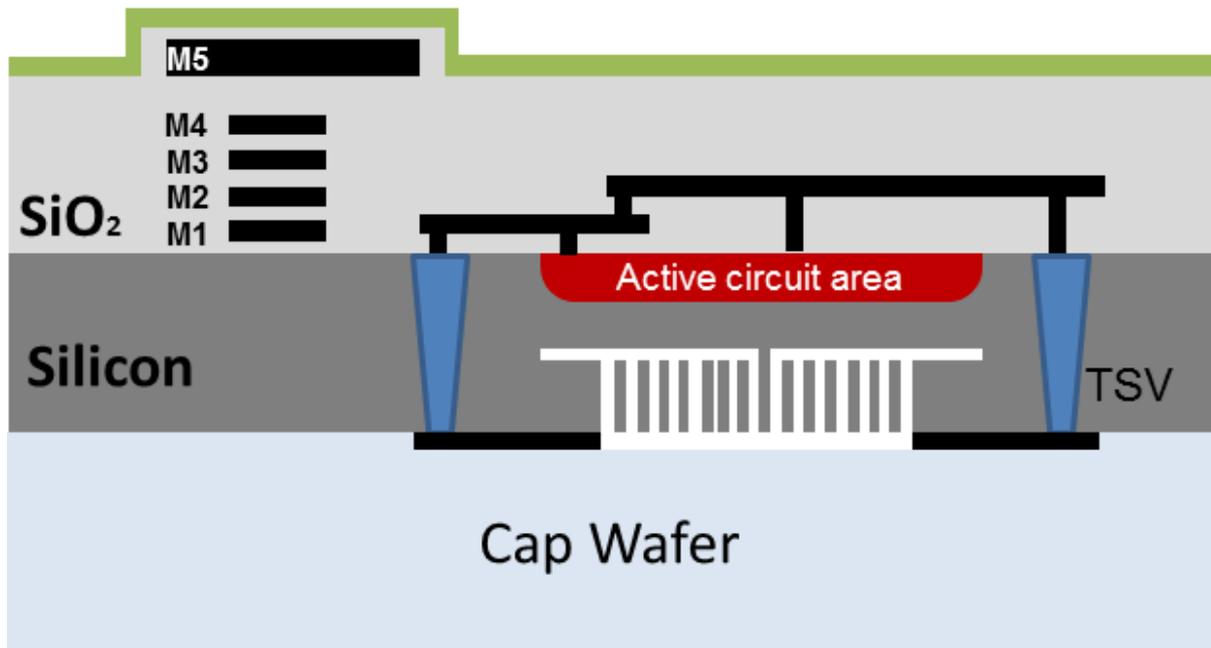


Abbildung 1 Monolithische, quasi-monolithische und hybride Integrationsansätze zur Vereinigung von MEMS mit CMOS/BiCMOS Technologien.

Die monolithische Integration von MEMS in CMOS/BiCMOS Technologien hat den Vorteil, dass parasitäre Effekte aufgrund minimaler Leitungslängen verringert bzw. verhindert und damit zum Beispiel RF-MEMS Schalter für sehr hohe Frequenzen realisiert werden können, die im Vergleich zu halbleiterbasierten Bauelementen wie PIN-Dioden oder Feldeffekttransistoren eine geringere Dämpfung und höhere Isolation aufweisen. Nachteilig ist, dass sich die Integration von MEMS auf in Oberflächenmikromechanik realisierte Bauelemente begrenzt und die BiCMOS Technologie durch die monolithische Integration von MEMS negativ in Bezug auf Prozessschwankungen und Ausbeute beeinflusst werden kann. Die hybride Integration kann z.B. mittels System-In-Package oder Flip-Chip erfolgen aber hat den entscheidenden Nachteil der höheren Packaging Kosten, welche bezogen auf die Gesamtsystemkosten ohne weiteres 50% und mehr betragen können. Außerdem kommt es durch die langen und verlustreichen Verbindungen zwischen MEMS und CMOS/BiCMOS z.B. durch Bonddrahtverbindungen zu großen Verlusten bei höheren Frequenzen. Ein neuartiger Ansatz ist die quasi-monolithische Integration von MEMS in eine BiCMOS Technologie mittels BiCMOS-AIM Integration. Dabei wird die BiCMOS Technologie mit vertikalen Durchkontaktierungen, sogenannten TSVs versehen, um im Substrat integrierte MEMS Komponenten elektrisch zu kontaktieren. Die quasi-monolithische Integration mittels BiCMOS-AIM Integration ist in Abbildung 2 dargestellt.



**Abbildung 2 BiCMOS-AIM Integration zur Verbindung der BiCMOS Technologie mit der AIM-Technologie. Die elektrische Verbindung erfolgt mittels BiCMOS-integrierten Through-Silicon Vias.**

Es mussten verlustarme vertikale Verbindungen entwickelt werden, die auch bei hohen Frequenzen eine Übertragung von Signalen mit minimaler Dämpfung zulassen. Die Integration von TSVs beinhaltet einerseits den gesamten Aspekt der anspruchsvollen Technologieentwicklung mit zusätzlichem Post Processing auf der Wafer Rückseite, das Hochfrequenz(HF)-Design zur Optimierung der HF-Eigenschaften sowie die Charakterisierung der TSVs.

Ein weiteres Aufgabengebiet in der zweiten Phase von NANETT war die Weiterentwicklung und Fertigung von ICs für den im Projekt entwickelten WuRx. Der WuRx stellt im Projekt NANETT eine wesentliche Komponente für einen intelligenten Sensorknoten dar und demnach wurden hier hohe Anforderungen an den Bereich Schaltungsentwicklung für minimale Stromaufnahmen bei gleichzeitig hoher Empfindlichkeit gestellt. Im Normalfall ist für die Entwicklung von ICs für WuRx eine stromsparende CMOS Technologie erforderlich, um die Leistungsaufnahmen zu reduzieren und dadurch Low-power Sensorknoten zu realisieren. Durch Verwendung der BiCMOS Technologie des IHP werden gleichzeitig CMOS- sowie Bipolar-Transistoren bereitgestellt, wodurch die Vorteile beider Technologien für unterschiedliche Anwendungen ausgenutzt werden können.

Zusammenfassend werden vom IHP innerhalb des Projektes NANETT II Forschungs- und Entwicklungsaufgaben im Bereich Technologie und Schaltkreisdesign vom IHP geleistet. Dabei ist eine enge Zusammenarbeit innerhalb der Abteilungen im IHP als auch mit den Projektpartnern forciert worden, um damit herausragende Ergebnisse in diesen Bereichen zu ermöglichen.

Die Entwicklung von MEMS in der BiCMOS Technologie des IHP mittels BiCMOS-AIM Integration ist ein neuartiger Ansatz, der in Zukunft die Möglichkeit bietet, miniaturisierte Systeme mit höchster Performance bei hohen Frequenzen zu realisieren. Neben den eigentlichen Forschungs- und Entwicklungsaufgaben wurden außerdem wesentliche und wichtige Erkenntnisse für die weitere Forschung im Bereich heterogene 3D Integration und Low-Power Schaltkreisentwicklung herausgearbeitet.

## 2. Voraussetzungen zur Durchführung des Vorhabens

Die Technologieforschung des IHP folgt einer „Moore-than-Moore“ Strategie, d.h. dass im Gegensatz zu einer weiteren Skalierung zu kleineren Strukturgrößen („More-Moore“ Ansatz) zusätzliche Technologie Module und Bauelemente in die vorhandene Technologie integriert werden. Zur Durchführung des Vorhabens wird auf eine langjährige Erfahrung sowohl in der Entwicklung und Optimierung von BiCMOS Halbleitertechnologieprozessen als auch in der Schaltungsentwicklung aufgebaut. Die Technologieentwicklung sowie die Fertigung von BiCMOS-Schaltkreisen für den WuRx erfolgen in der Pilotlinie des IHPs. Dabei wurde sowohl auf eine 0.25µm als auch auf eine 0.13µm SiGe:C BiCMOS Technologie zurückgegriffen.

## 3. Planung und Ablauf des Vorhabens, Vergleich mit der ursprünglichen Arbeits-, Zeit- und Kostenplanung

Nr.	Arbeitspaket (Bezeichnung)	Personenmonate	Zeitplan	Ist
		IHP		
1	B1_T5_IHP Entwicklung von miTSVs Vorversuche	8 MM	11/12-02/13	11/12-02/13
2	B1_E2_IHP Entwurf von Teststrukturen zur Charakterisierung der miTSVs	4 MM	12/12-02/13 06/13-08/13	12/12-02/13 06/13-08/13
3	B1_T6_IHP Entwicklung von miTSVs Run1	6 MM	02/13-06/13	02/13-06/13
4	B1_T7_IHP Entwicklung von miTSVs Run2	6 MM	08/13-01/14	08/13-01/14
5	B1_C2_IHP Elektrische Charakterisierung von miTSVs	6 MM	08/13-10/13 02/14-06/14	08/13-10/13 02/14-06/14
6	B1_C3_IHP Einfluss der Technologieparameter und Grenzen der Reproduzierbarkeit	8 MM	07/13-08/13 12/13-01/14 07/14-08/14	07/13-08/13 12/13-01/14 07/14-08/14
7	B1_E3_IHP Layoutregeln und Modellierung von miTSVs	9 MM	01/13-05/13 11/13-12/13 08/13-09/13	01/13-05/13 11/13-12/13 08/13-09/13
8	B1_D1_IHP Konzeption WuRx	3 MM	11/12-03/14	11/12-03/14
9	B1_E4_IHP Entwurf der Elektronikkomponenten Run1	3 MM	02/13-08/13	02/13-08/13
10	B1_E5_IHP Entwurf der Elektronikkomponenten Run2	3 MM	07/13-11/13	07/13-11/13
11	B1_E6_IHP Entwurf für finale Version der Elektronikkomponenten	4 MM	10/13-03/14	10/13-03/14
12	B1_T8_IHP Musterherstellung Run1 und Test	2 MM	05/13-11/13	05/13-11/13
13	B1_T9_IHP Musterherstellung Run2 und Test	2 MM	12/13-05/14	12/13-05/14
14	B1_D2_IHP Implementierung	2 MM	06/14-10/14	06/14-10/14
M	<b>Meilensteine und Übergabepunkte: Technologiesequenz geplant, Layout für ersten Ansatz für BiCMOS und miTSVs Elektronische Komponenten für Interposer</b>	<b>MS B1_1_2</b>	<b>07/2013</b>	<b>07/2013</b>
		<b>MS B1_2_1</b>	<b>12/2013</b>	<b>12/2013</b>
	<b>Summe</b>	<b>66MM</b>		

#### **4. Wissenschaftlicher und technischer Stand an den angeknüpft wurde**

Die Technologieforschung des IHP folgt einer „More-than-Moore“ Strategie, d.h. basierend auf einer CMOS-Technologie wird an der Integration von Modulen und Bauelementen mit zusätzlicher Funktionalität wie SiGe:C-HBTs, LDMOS-Transistoren, Flash-Speicher, passiven Bauelementen mit hoher Güte, integrierten NEMS/MEMS, Si-Photonik Komponenten und Sensoren gearbeitet. Bei der IEDM 2010 und der BCTM 2011 präsentierte das IHP SiGe:C-HBTs mit  $f_T/f_{max}$ -Werten von 300/500 GHz [1] und CML Ringoszillatoren mit Gate-Delays von 1.9ps [2]. Hier konnten Weltrekordwerte für Si-basierte Halbleitertechnologien gezeigt werden, die verdeutlichen, dass die BiCMOS Technologie des IHP sehr gut für Anwendungen bei höchsten Frequenzen geeignet ist.

Eine der wichtigsten Zukunftsvisionen stellte schon im Laufe von NANETT I neben der monolithischen Integration von MEMS die Entwicklung und Integration von Through-Silicon Vias in die SiGe:C-Prozess des IHP dar. Damit werden neue Möglichkeiten für die Schaltungsentwicklung und dem Systemdesign z.B. für energieeffiziente Sensornetzwerke geschaffen. Innerhalb von NANETT I wurden dazu erste Entwicklungen durchgeführt, die innerhalb von NANETT II optimiert und zur Anwendung geführt wurden.

Am IHP existieren fundierte Erfahrungen in der Schaltungsentwicklung für Anwendungen bis über 200 GHz, wohingegen die Entwicklung von Schaltkreisen speziell für Low-Power Anwendungen ein relativ neues Forschungsgebiet für das IHP darstellte. Erste Untersuchungen zur Machbarkeit von Low-Power Elektronik innerhalb der BiCMOS Technologie des IHP wurden auch hier in NANETT I durchgeführt und wichtige Kenntnisse ermittelt. Aufgrund der Komplexität des Themas bestand aber auch hier die Anforderung, die Arbeiten innerhalb von NANETT II weiterzuführen und zu intensivieren.

#### **5. Zusammenarbeit mit anderen Stellen**

Innerhalb des NANETT Projektes hat sich eine enge Kooperation zwischen den Projektpartnern IHP, Fraunhofer ENAS und Fraunhofer IZM entwickelt. Dabei konnte die Expertise aller Partner effektiv miteinander verbunden werden und Synergien bei der Forschung und Entwicklung in den verschiedenen Arbeitsgebieten ausgenutzt werden, um die Aufgaben im Projekt effektiv zu bewältigen.

Das IHP hat unter anderem seine Erfahrungen im Bereich Technologieentwicklung und Prozessintegration, DC und HF Charakterisierung auf Wafer-Level und IC-Design eingebracht. Zusammen mit den Erfahrungen vom Fraunhofer ENAS auf dem Gebiet RF-MEMS Design, Fertigung und Charakterisierung und den Erfahrungen vom Fraunhofer IZM auf den Gebieten der heterogenen Integration mittels Interposer-Technologien sowie der HF-Simulation und Charakterisierung wurde eine sehr leistungsfähige, interaktive und effiziente Forschung auf diesem Gebiet ermöglicht.

Durch die enge Zusammenarbeit haben sich weitere gemeinsame Forschungsthemen ergeben, die auch in Zukunft zu einer verstärkten Zusammenarbeit führen werden.

## 6. Erzielte Projektergebnisse

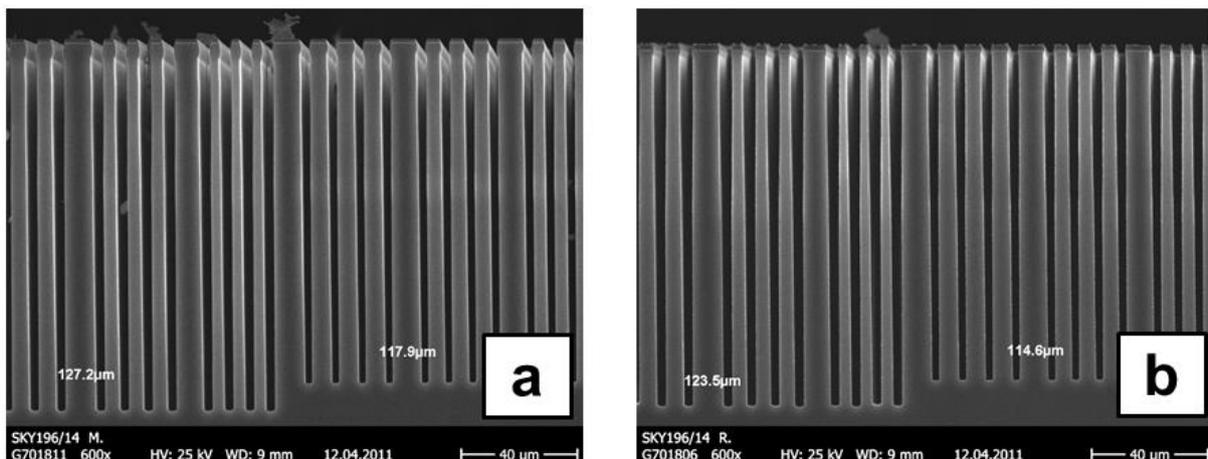
### Technologie Entwicklung für miTSVs (B1\_T5\_IHP / B1\_T6\_IHP / B1\_T7\_IHP)

Die Technologieentwicklung für TSVs wird grundlegend vom Integrationsansatz und damit vom Zeitpunkt der Integration in die CMOS/BiCMOS-Technologie bestimmt. Es gibt drei verschiedene Ansätze: „Via-First“ Ansatz mit TSV-Integration vor der Fertigung des Frontend-of-Line (FEOL), „Via-Middle“ Ansatz mit TSV-Integration zwischen der Fertigung des FEOL und BEOL und der „Via-Last“ Ansatz mit der TSV-Integration nach Fertigstellung des BEOL. Die Integration von Through-Silicon Vias, sogenannten monolithisch-integrierten TSVs (miTSVs), in die 0.25 µm BiCMOS-Technologien SG25H1/H3 erfolgt in einem „Via-Middle“ Ansatz. Damit können im Vergleich zum „Via-First“ Ansatz Materialien für die Verfüllung der TSVs verwendet werden, die in der FEOL-Technologie aufgrund der hohen Prozesstemperaturen nicht eingesetzt und im Vergleich zum „Via-Last“ Ansatz TSVs mit geringeren Strukturbreiten und -abständen hergestellt werden können. Dabei wurde ein modularer Ansatz entwickelt, bei dem der Prozessablauf der Basistechnologien SG25H1/H3 nicht bzw. nur minimal verändert und angepasst wurde, um eine negative Beeinflussung und Änderung der BiCMOS Bauelemente Eigenschaften zu verhindern.

Zur Integration von miTSVs in die BiCMOS-Technologie mittels „Via-Middle“ Ansatz werden grundsätzlich folgende Prozessschritte benötigt:

- Ätzen von tiefen Löchern bzw. Gräben
- Abscheidung eines Dielektrikums an den Seitenwänden zur Substratisolation
- Abscheiden eines Metalls zur Verfüllung der tiefen Löcher bzw. Gräben

Das Ätzen der tiefen Löcher bzw. Gräben ist ein wichtiger Schritt zur Herstellung der TSVs. In Abbildung 3 sind geätzte Gräben mit einer Tiefe von ca. 120 µm dargestellt. Die Abweichung in der Tiefe der Gräben zwischen Mitte und Rand liegt bei 1-2%, womit eine sehr gute Homogenität über den Wafer gezeigt erreicht werden konnte. Für die finalen TSV Strukturen werden Gräben mit ca. 75 µm Tiefe verwendet, womit entsprechende Variationen von maximal 1-1.5 µm zu erwarten sind.



**Abbildung 3** Rasterelektronenmikroskop(REM)-Aufnahme zeigt die Tiefe der TSVs in der Mitte (a) und am Rand (b) des 200 mm BiCMOS Wafer.

Die erreichbare Tiefe der Gräben in Abhängigkeit vom TSV Design entscheidet letztendlich über die maximale Tiefe der TSVs und damit über die Dicke der BiCMOS-Wafer nach dem Freilegen der TSVs. Eine Minimierung der Tiefe führt zu einer Vereinfachung der TSV-Technologie durch geringere Aspektverhältnisse und einer Verringerung der elektrischen Verluste steigert aber die Komplexität im Handling der dünnen Wafer. Zum Ätzen der Löcher wurde ein Siliziumätzprozess angewendet, um

Löcher bzw. Gräben mit sehr hohen Aspektverhältnissen herzustellen. Im sogenannten Bosch-Prozess wird abwechselnd das Silizium geätzt, die Seitenwände mit einem Polymer geschützt und im nächsten Ätzschritt das Silizium am Boden der Gräben geätzt. Damit konnten Gräben mit sehr großer Tiefe bei gleichzeitig sehr hohen Aspektverhältnissen erzeugt werden.

Weiterhin wurden Gräben mit verschiedenen Längen bei gleicher Grabenbreite geätzt und es zeigt sich, dass die erreichbare Tiefe der Gräben entscheidend von der Grabenlänge abhängt, was aus Abbildung 4 ersichtlich wird. Mit steigender Grabenlänge können größere Tiefen erreicht werden, wobei es zu einem Sättigungseffekt kommt und eine weitere Vergrößerung der Grabenlänge keine signifikante Änderung der TSV-Tiefe zur Folge hat. Da bei der gezeigten Grabenbreite von 2  $\mu\text{m}$  nur eine maximale Tiefe von  $\sim 70 \mu\text{m}$  möglich ist, wurde die Breite der Gräben entsprechend auf 3  $\mu\text{m}$  vergrößert, um TSV-Tiefen von mindestens 75  $\mu\text{m}$  realisieren zu können. Grundsätzlich wird aber deutlich, dass in jedem Fall immer die gleiche TSV-Struktur verwendet werden muss, um auf Chip- bzw. Wafer-Level gleiche Tiefen zu erreichen.

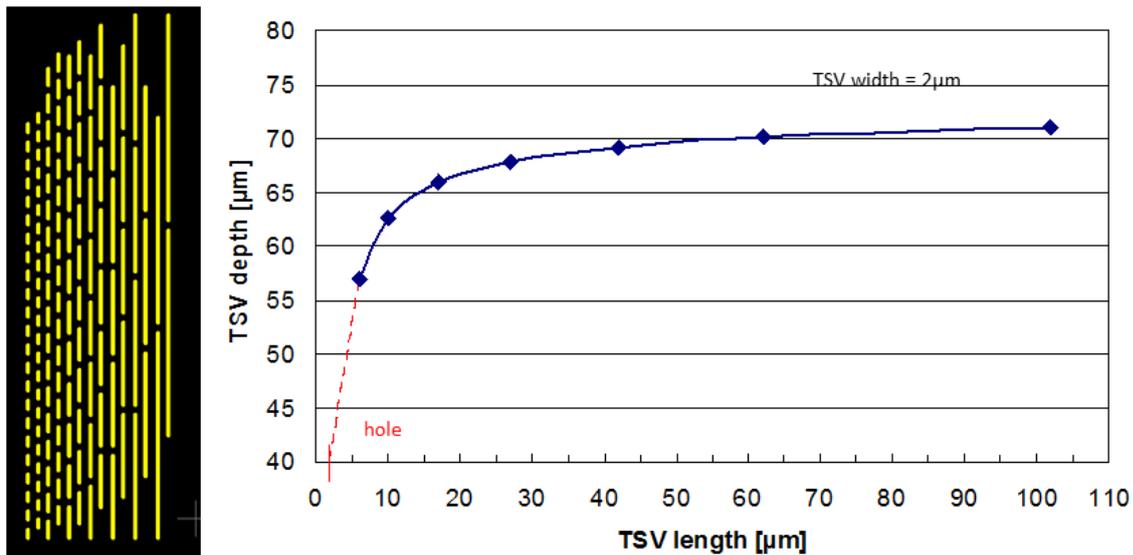


Abbildung 4 Maskenlayout von Gräben mit verschiedenen Längen (links) und Abhängigkeit zwischen Länge und erreichbarer Tiefe der Gräben (rechts).

Nach erfolgreichem Ätzen wurde  $\text{SiO}_2$  abgeschieden, um eine elektrische Isolation zum Substrat zu gewährleisten. Dazu wurde ein „subatmospheric chemical vapor deposition“ Prozess (SACVD) entwickelt, um  $\text{SiO}_2$  in Gräben mit hohen Aspektverhältnissen ( $\text{AR} \sim 1:25$ ) bei guter Konformität abzuscheiden. Die maximale  $\text{SiO}_2$ -Schichtdicke ist durch den Prozess begrenzt und beeinflusst letztendlich die kapazitive Kopplung zum Substrat und die maximale Schichtdicke der TSV-Verfüllung. Anhand von REM-Aufnahmen wurden die Schichtdicke am oberen Ende und am Boden der TSVs ermittelt und daraus die Stufenabdeckung (Step Coverage) ermittelt (Abbildung 5). Die Oxidschichtdicke liegt im Bereich 200-250 nm bei einer Stufenabdeckung von ca. 90%, womit eine sehr gute Homogenität nachgewiesen werden kann.

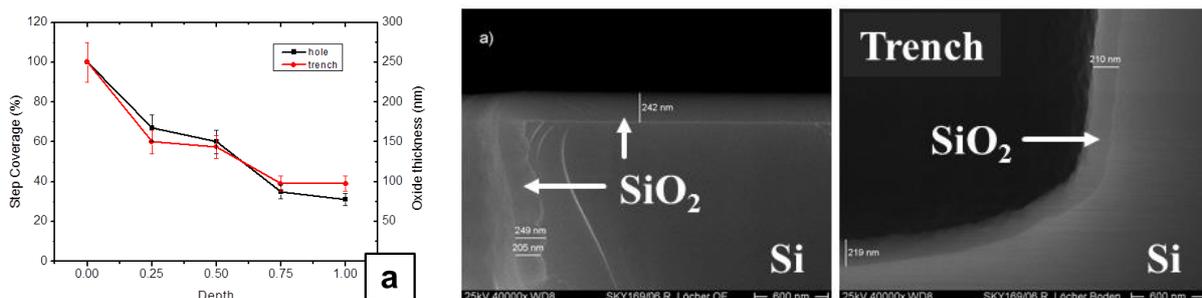
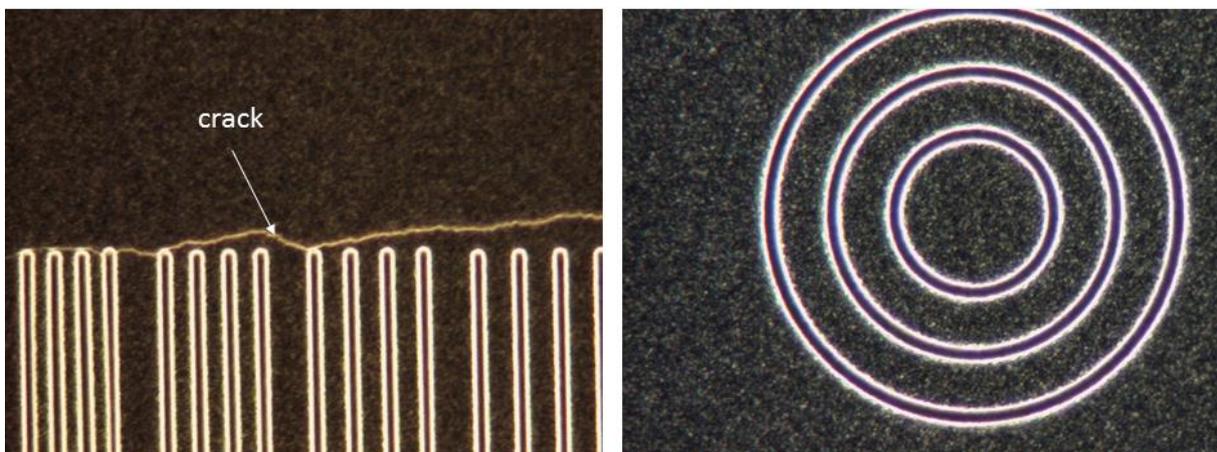


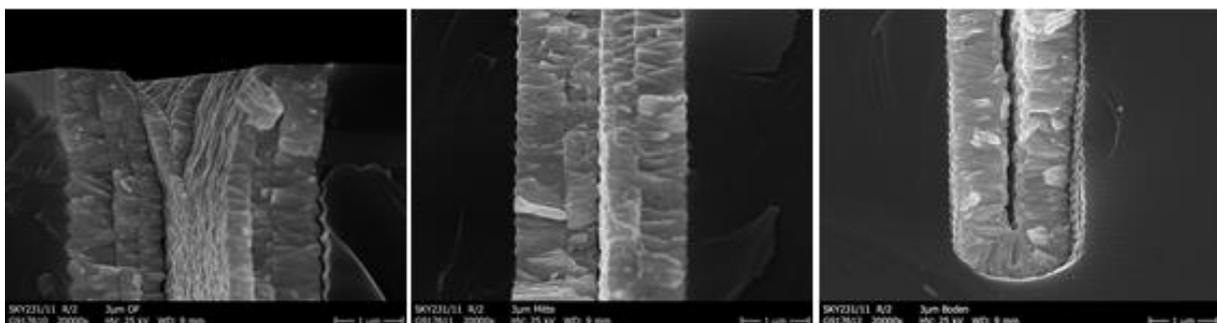
Abbildung 5 Abhängigkeit zwischen Step Coverage und Schichtdicke vs. TSV-Tiefe (links) und REM-Aufnahmen von Gräben mit  $\text{SiO}_2$  zur Substratisolation abgeschieden mittels SACVD.

Zuletzt wurden die Gräben mit Metall verfüllt werden, um eine gute elektrische Leitfähigkeit zu gewährleisten. Für große Aspektverhältnisse stehen nur Kupfer- oder Wolfram-CVD Prozesse zur Verfügung. Da Kupfer aufgrund des Kontaminationsrisikos in der BiCMOS-Pilotlinie nicht verwendet werden konnte, kommt ausschließlich Wolfram als elektrisch-leitfähiges Material zur Verfüllung der TSVs in Frage. Wolfram hat den Vorteil, dass es einen vergleichbaren thermischen Ausdehnungskoeffizient zu Silizium hat und damit die thermo-mechanischen Spannungen minimiert werden. Demgegenüber stehen die relativ hohen intrinsischen Verspannungen im Wolfram, welche dazu führen, dass es beim Verfüllen zur Ausbildung von „Cracks“ kommen kann, wodurch sich das Wolfram von der Wafer Oberfläche ablöst (Abbildung 6). Dieser Effekt wurde verhindert, indem ein Abscheideprozess für ein „Low-Stress“ Wolfram entwickelt wurde, womit die intrinsischen Verspannungen von ca. 1100 MPa auf unter 900 MPa reduziert werden konnten. Weiterhin wurden anstatt von Grabenstrukturen Hohlzylinderstrukturen realisiert, um den Einfluss von Verspannungen durch die geschlossene Struktur zu minimieren (Abbildung 6). Durch Verwendung von Hohlzylinder-TSVs konnte die Ausbildung von „Cracks“ verhindert werden.



**Abbildung 6 TSV-Gräben und Hohlzylinder zeigen, dass es bei Gräben zur Ausbildung von Cracks kommen kann und bei Verwendung von Hohlzylindern keine Cracks an der Wafer Oberfläche entstehen.**

Zur Verhinderung bzw. Minimierung von Voids wurde die Verfüllung der Gräben auf mehrere Prozessschritte aufgeteilt. In einem alternierenden Prozessablauf werden die Gräben mit Wolfram verfüllt und im Anschluss das Wolfram teilweise zurückgeätzt. Durch einen drei- bzw. vierstufigen Abscheide- und Rückätzprozess können die Gräben mit Ausnahme minimaler Voids komplett verfüllt werden. Die Verfüllung der TSVs in verschiedenen Tiefen (Oben-Mitte-Unten) ist in Abbildung 7 dargestellt und zeigt die sehr gute Verfüllung der Gräben trotz der hohen Aspektverhältnisse von  $>20$ .



**Abbildung 7 REM Aufnahme zeigt die sehr gute Verfüllung der TSVs an der Oberseite, in der Mitte und am Boden der TSVs.**

Durch Zunahme der Verspannungen mit steigender Wolframschichtdicke kommt es zu einer verstärkten Durchbiegung der Wafer, was bei der weiteren Prozessierung des BEOL zu Problemen führen kann (Abbildung 8). Die Durchbiegung ist aber eindeutig reversibel und damit als unkritisch zu betrachten. Nach dem abschließenden CMP-Prozess zum Entfernen des Wolframs auf der Waferoberseite geht die Durchbiegung in den Ausgangszustand zurück und die Wafer können weiter in der Pilotlinie des IHP bearbeitet werden.

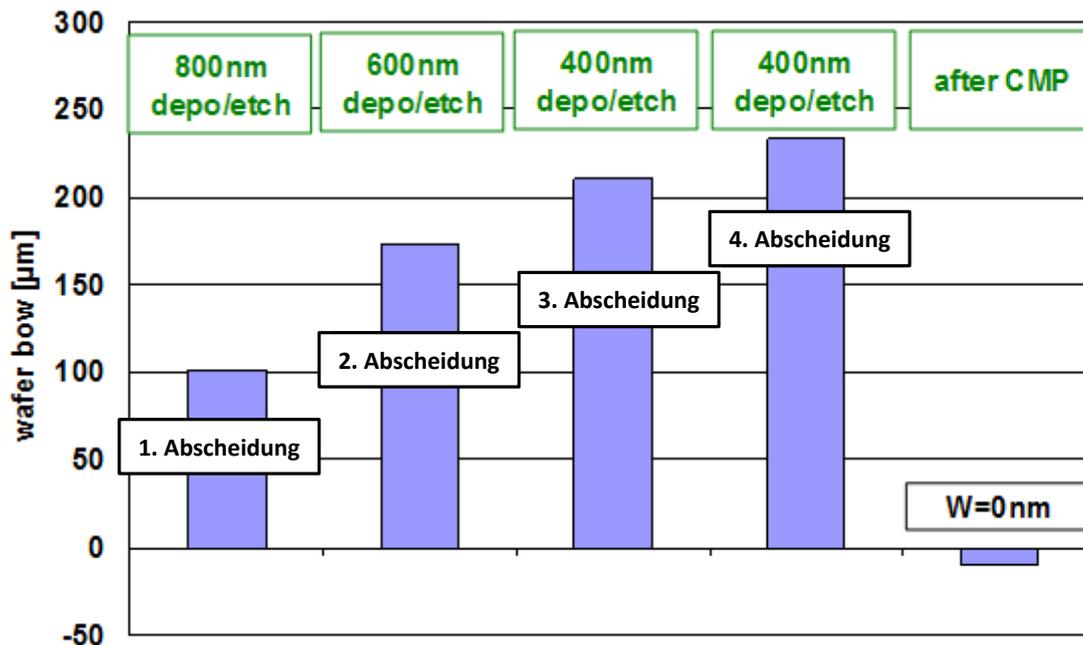


Abbildung 8 Durchbiegung der Wafer nach jedem Abscheide- und Rückätzschritt und dem abschließenden CMP-Schritt zeigt, dass die Verbiegung nach dem finalen CMP-Prozess auf nahe Null reduziert werden kann.

Nach Abschluss der TSV-Prozesse folgt die Weiterverarbeitung der Wafer im BEOL-Modul, um die Metallisierungsebenen und Isolator-Schichten herzustellen. Die Verbindung von miTSVs und BEOL ist in Abbildung 9 dargestellt und erfolgt direkt über die erste Metallisierungsebene (Metall1). Durch die direkte Verbindung kann eine minimale Leitungslänge zwischen den miTSVs und aktiven Bauelementen wie zum Beispiel HBTs im FEOL realisiert werden. Damit werden parasitäre Effekte durch minimale Leitungslängen reduziert und die miTSVs sind auch für sehr hohe Frequenzen anwendbar.

Das finale Integrationskonzept unter Berücksichtigung der gesamten Prozesskette von der FEOL Fertigung bis zur Fertigstellung des BEOL ist im Folgenden kurz zusammengefasst.

1. Herstellung aktiver Bauelemente wie HBTs und CMOS gemäß standardisiertem Prozessablauf der SG25H1-Technologie
2. TSV-Prozessmodul
  - a. Abscheiden und Strukturieren der Oxid-Hartmaske und Ätzen der Gräben im Silizium mittels tiefem Siliziumätzen (Bosch-Prozess)
  - b. Abscheiden des TSV Oxid-Liners zur Substratisolation mittels „sub-atmospheric“ chemische Gasphasenabscheidung (SACVD)
  - c. Abscheiden und Rückätzen von TiN und Wolfram zum Verfüllen der TSVs, wobei dieser Prozessschritt mehrfach durchgeführt wird, um die Ausbildung von Voids zu minimieren
  - d. Wolfram-CMP zur Minimierung der Topografie, die sich durch das Abscheiden und Rückätzen ergeben
3. Standardisierter Prozessablauf des Kontakt-Moduls in der SG25H1-Technologie zur Herstellung von elektrischen Kontakten zwischen FEOL und BEOL
4. Realisierung der Verdrahtungsebenen und Kontaktierung der TSVs über das standardisierte BEOL Modul der SG25H1-Technologie

Aus der vorangegangenen Beschreibung wird deutlich, dass der modulare Integrationsansatz verfolgt wurde und mit Ausnahme der TSV Fertigungsprozesse die Standardtechnologie der vorliegenden BiCMOS-Technologien SG25H1/H3 verwendet wurden. Abschließend zeigt Abbildung 9 eine Aufnahme der integrierten miTSVs nach Fertigstellung der BiCMOS-Technologie.

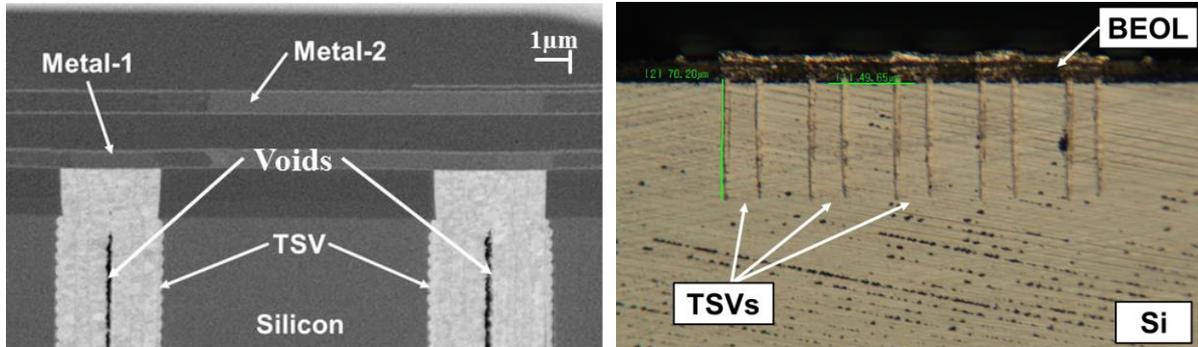


Abbildung 9 Aufnahme im REM zeigt die Verbindung von TSVs und BEOL (links) und Mikroskop-Aufnahme von vergrabenen TSV Strukturen zeigt die Tiefe von  $\sim 70 \mu\text{m}$  und einen minimalen Pitch von  $50 \mu\text{m}$  zwischen den TSVs.

Um die TSVs innerhalb des Projektes elektrisch charakterisieren zu können, wurde in Kooperation mit dem Fraunhofer IZM ein Carrier-Wafer Handling mittels temporären Bondens realisiert. Durch temporäres Bonden eines Trägerwafers auf der Vorderseite wurde der Wafer stabilisiert und konnte auf unter  $75 \mu\text{m}$  abgedünnt und weiterbearbeitet werden. Dadurch konnten die miTSVs von der Rückseite aus freigelegt und durch eine vollflächige Rückseitenmetallisierung elektrisch miteinander verbunden werden.

Der BiCMOS Chip mit den im Projekt entwickelten integrierten TSVs ist in Abbildung 10 gezeigt. Der Chip hat eine Dicke von ca.  $75 \mu\text{m}$  und zu sehen sind das BEOL mit den verschiedenen Metallschichten, die TSVs als vertikale Durchkontaktierung verfüllt mit Wolfram sowie die Rückseitenmetallisierung bestehend aus  $1 \mu\text{m}$  dickem Aluminium als Interfacematerial.

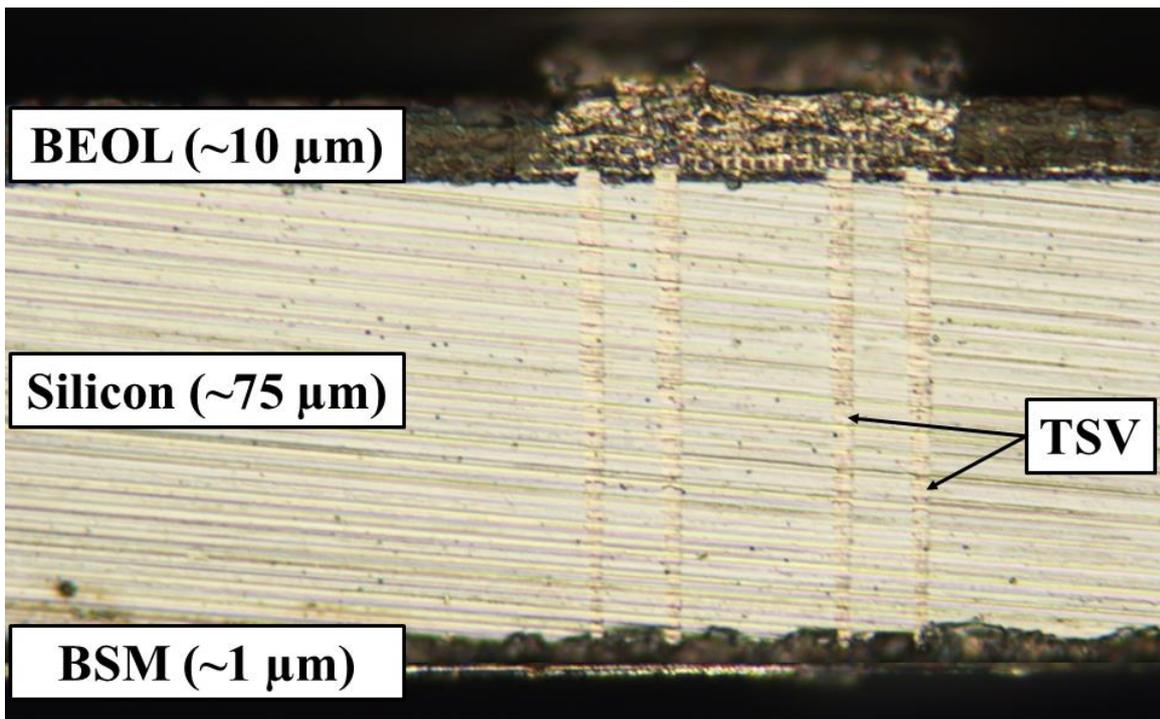


Abbildung 10 BiCMOS Chip mit integrierten miTSVs und vollflächiger Rückseitenmetallisierung.

Für den BiCMOS-AIM Technologiedemonstrator in NANETT II wurde ein Design erstellt, um eine BiCMOS Schaltung, in diesem Fall ein LNA, zusammen mit einem, in AIM-Technologie realisierten HF-Schalter, zu verbinden. Das Layout und der unterm Mikroskop dargestellte Chip sind in Abbildung 11 gezeigt. Da die Weiterbearbeitung der BiCMOS Wafer beim ZfM/ENAS in Chemnitz erfolgt und dort nur 150 mm Wafer verarbeitet werden können, wurde mittels Circle-Cut der 200 mm Wafer auf einen Durchmesser von 150 mm gesägt. Im Anschluss wurden die 150 mm Wafer dem ZfM/ENAS für die weitere Bearbeitung zur Verfügung gestellt.

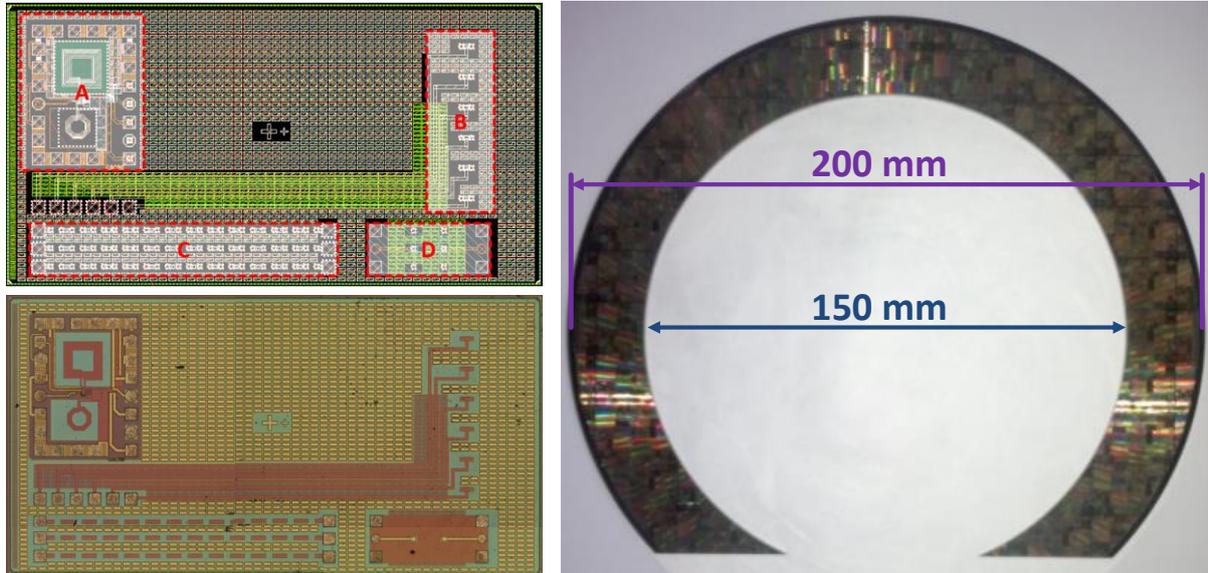


Abbildung 11 Layout und fertiger Chip für den BiCMOS-AIM Demonstrator sowie der Ausschnitt des gesägten BiCMOS Wafer.

## Simulation und Charakterisierung von miTSVs (B1\_E2\_IHP / B1\_C2\_IHP)

Zur elektrischen Charakterisierung der TSVs sind verschiedene elektrische Parameter von Interesse, welche entscheidend von der Anwendung der miTSVs für HF-Grounding oder für 3D-Integration abhängen. Im Vergleich zum verbreiteten Ansatz der Simulation idealer TSV-Geometrien mit senkrechten Seitenwänden, homogenen Schichtdicken und Verfüllung ohne Ausbildung von Voids wurde hier der Fokus verstärkt auf prozessspezifische Details, wie das Ausbilden von Voids durch eine unzureichende Verfüllung der TSVs mit Wolfram und das Verjüngen des Querschnitts über die Länge der TSVs durch den Winkel beim Ätzen der tiefen Gräben gelegt. Dadurch kann erwartungsgemäß die Genauigkeit der Simulation entscheidend verbessert werden.

REM-Aufnahmen der prozessspezifischen Details sowie das entsprechende 3D Modell für elektromagnetische Simulationen sind in Abbildung 12 dargestellt. Deutlich zu erkennen ist, dass sich der Querschnitt der TSVs von oben nach unten stark verringert. Der Winkel der Gräben, der sich aus dem Ätzen der Gräben ergibt, beträgt ca.  $89.4^\circ$ . Im zweiten Bild ist deutlich zu erkennen, dass sich beim Verfüllen der Gräben Voids ausbilden können, die den effektiven Metallquerschnitt verringern.

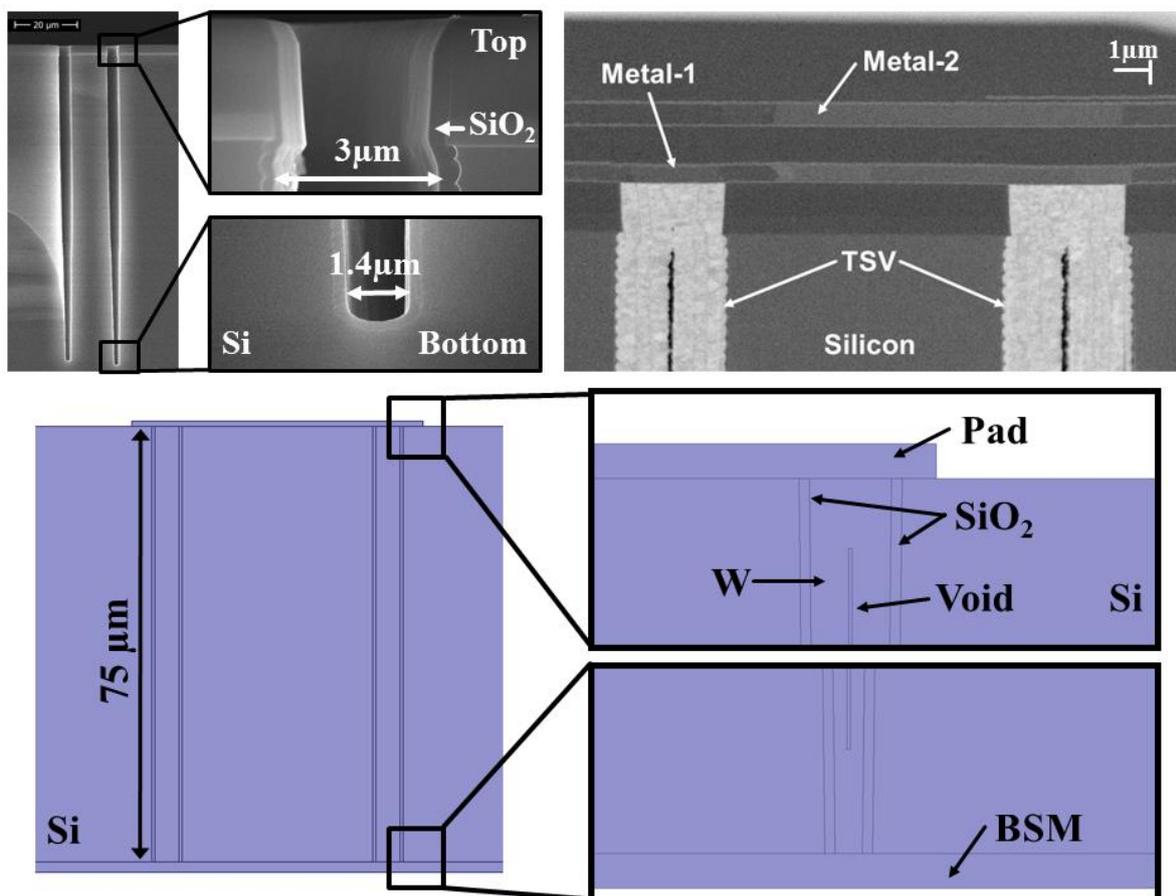
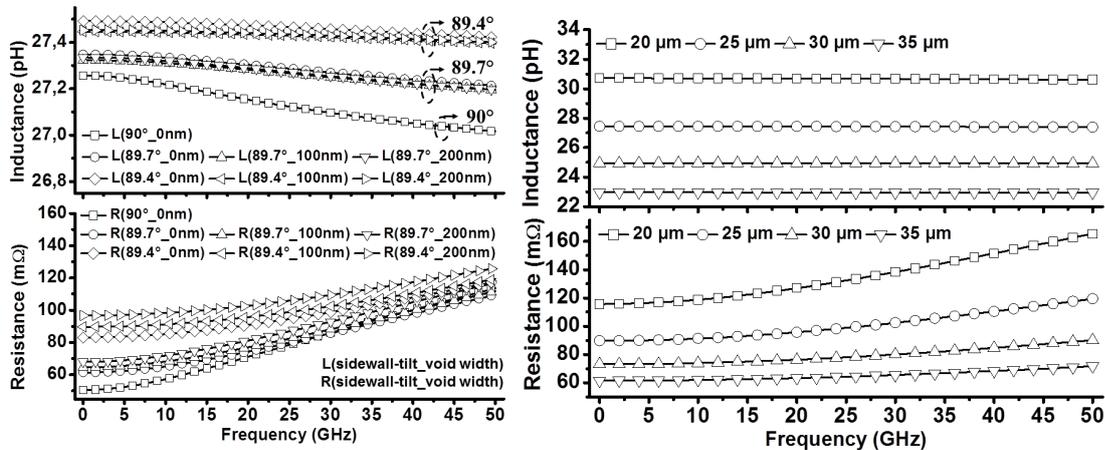


Abbildung 12 REM-Aufnahmen von prozessspezifischen Details bei der Integration von TSVs. Deutlich zu erkennen sind die Verjüngung des Querschnitts von oben nach unten und die Ausbildung von Voids. 3D-Modell für EM-Feldsimulationen der TSVs mit Berücksichtigung der prozessspezifischen Details.

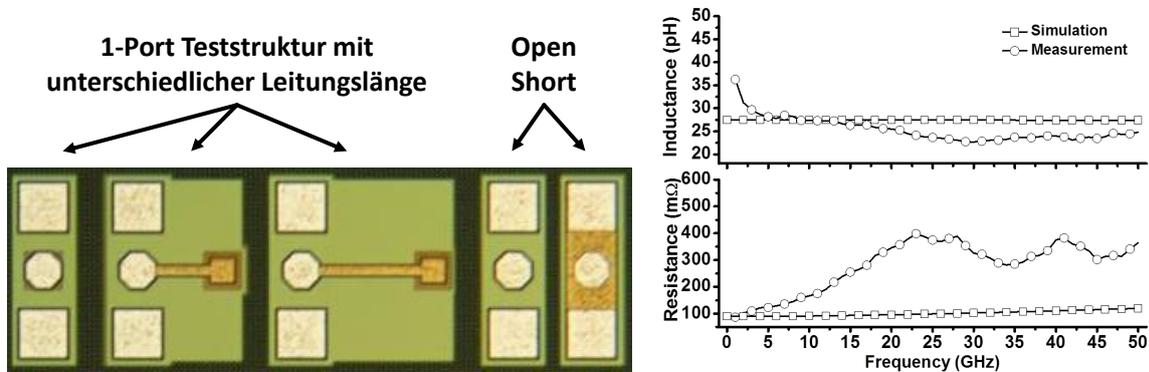
Für Grounding-Anwendungen sind die entscheidenden Parameter der Widerstand, die Induktivität der TSVs und die kapazitive Kopplung zum Substrat. Zur Extraktion der parasitären Komponenten wurde die Software ANSYS Q3D verwendet und parametrische Modelle entwickelt, um Einflüsse von Prozessparametern und Design-Variationen zu untersuchen.

In Abbildung 13 ist die extrahierte Induktivität und der Widerstand für unterschiedliche Kombinationen von Ätzwinkeln und Void Dimensionen dargestellt. Während der Einfluss auf die Induktivität gering ist, haben der Ätzwinkel und die Ausbildung von Voids einen signifikanten Einfluss auf den Widerstand. Mit den vorliegenden miTSVs mit 25  $\mu\text{m}$  Durchmesser können Induktivitäten im Bereich 30 pH und Widerstände im Bereich 120 m $\Omega$  bei 50 GHz erreicht werden.



**Abbildung 13** Induktivität und Widerstand für unterschiedliche Kombinationen von Ätzwinkeln und Voiddimensionen (links). Mit dem finalen Modell mit einem Ätzwinkel von 89.4° und einer Voidbreite von 100nm bei einer maximalen Voidlänge von 65  $\mu\text{m}$  wurde der Einfluss des Durchmessers untersucht.

Zur Bestimmung des Widerstandes und der Induktivität wurden die S-Parameter von 1-Port Strukturen bis 50 GHz ermittelt. Durch „Deembedding“ wurde der Einfluss der parasitären Kapazitäten der Pads zum Substrat und der Induktivitäten der BEOL Metallisierung eliminiert. Die extrahierte Induktivität und der Widerstand eines isolierten TSVs sind in Abbildung 14 dargestellt.



**Abbildung 14** Teststrukturen und messtechnisch ermittelte Induktivität und Widerstand von isolierten TSVs im Vergleich zur Simulation.

Die ermittelte Induktivität stimmt sehr gut mit der Simulation überein wohingegen der extrahierte Widerstand bei höheren Frequenzen stark abweicht. Speziell für Grounding-Anwendungen ist die ermittelte Induktivität im Bereich 30 pH und der Widerstand <100 m $\Omega$  bei 1 GHz sehr vielversprechend und ermöglichen den Einsatz der BiCMOS-integrierten TSVs nicht nur für die BiCMOS-AIM Integration sondern auch für RF-Grounding. Der Grund für die Diskrepanz im ermittelten Widerstand ist zum einen auf die in der Simulation nicht berücksichtigten Rückseitenmetallisierung und die schlechte Kontaktierung zwischen TSV und Rückseitenmetallisierung zurückzuführen. Dies wurde durch Prozessoptimierungen bei nachfolgenden Wafern verbessert.

Zum Abschluss wurden DC-Widerstandmessungen auf Wafer-Level durchgeführt. Die Ergebnisse sind in Abbildung 15 dargestellt und zeigen, dass mit Einbeziehung der Rückseitenmetallisierung Widerstände im Bereich 250-300 m $\Omega$  erreicht werden können.

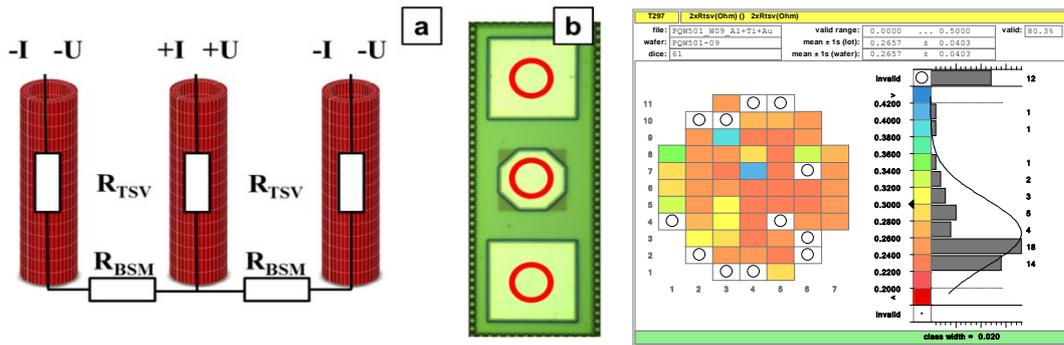


Abbildung 15 DC Teststruktur und Wafer-Level Ergebnisse vom DC-Widerstand von 2 TSVs zeigt den niedrigen Widerstand und die gute Homogenität über den 200 mm Wafer.

Um Design-Kit Modelle für den Schaltkreisentwurf für HF-Grounding bereitzustellen, wurden entsprechende RLC-Modelle für die TSVs entwickelt. Anhand von Simulationen wurde die kapazitive Kopplung und der Leitwert durch das Si-Substrat in Abhängigkeit von der Frequenz analysiert und daraus das in Abbildung 16 gezeigte RLC-Modell entwickelt. Diese Modelle wurden ins IHP Design-Kit integriert und können von Schaltkreisentwicklern genutzt werden.

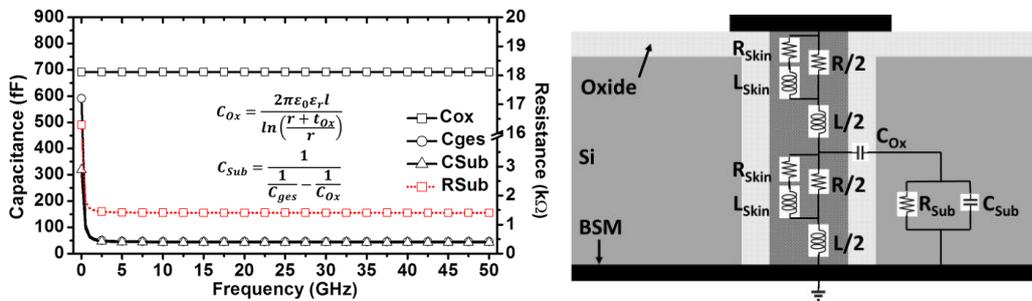


Abbildung 16 Kapazitive Substratkopplung und Leitwert in Abhängigkeit von der Frequenz und das daraus entwickelte RLC-Modell.

Für Hochfrequenzanwendungen sind die wichtigsten Parameter die Einfügedämpfung und die Impedanz-Anpassung. Für Hochfrequenzsimulationen wurde ANSYS HFSS verwendet. Um eine Signalübertragung von der Wafer Vorder- zur Rückseite mit minimalen Verlusten zu ermöglichen, muss eine Art Wellenleiterstruktur zur Impedanz-Anpassung verwendet werden. Dabei können sowohl Strukturen basierend auf Microstrip Lines mit einer Signalleitung und einer Masseleitung (GS) als auch Stripline Strukturen mit einer Signalleitung und zwei Masseleitungen (GSG) verwendet werden. Die unterschiedlichen Signalübertragungsstrukturen mittels miTSVs sind in Abbildung 17 dargestellt.

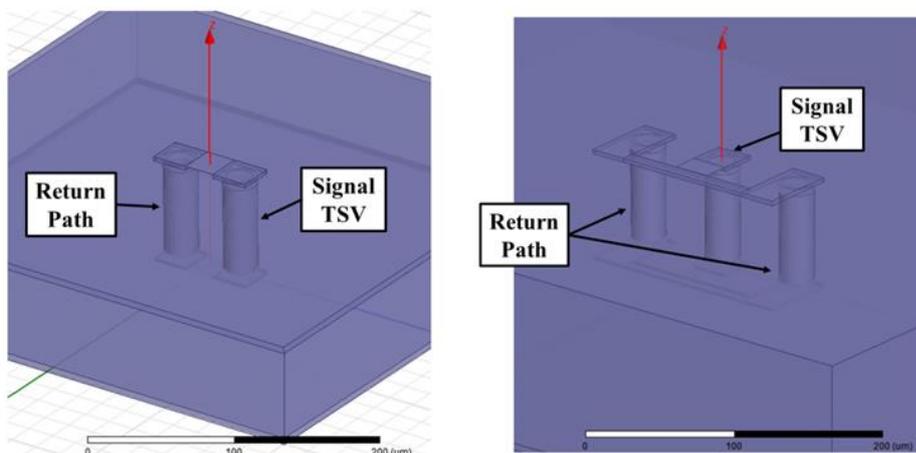


Abbildung 17 Signalübertragungsstrukturen mittels miTSVs durch Anwendung von 2 bzw. 3 TSVs.

Im Anschluss wurden parametrische Simulationen mit Variation des Durchmessers und Abstands für verschiedene Strukturen durchgeführt. Die Ergebnisse sind in Abbildung 18 bis Abbildung 21 gezeigt.

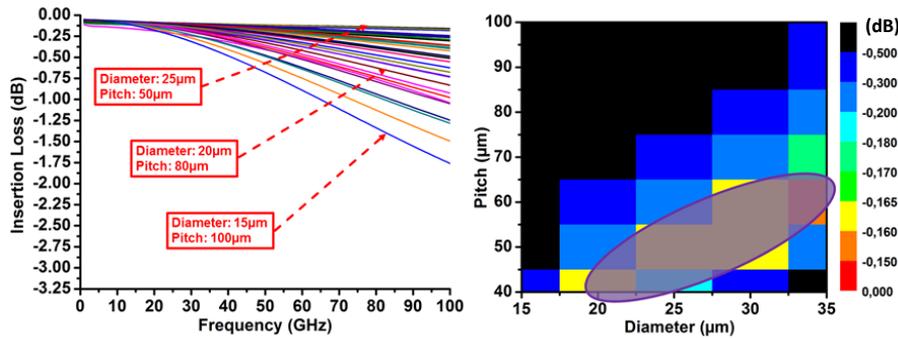


Abbildung 18 Einfügedämpfung in Abhängigkeit der Frequenz für unterschiedliche Durchmesser/ Abstände und Übersicht der Einfügedämpfung für alle Kombinationen zeigt die optimalen Dimensionen für GS-TSVs.

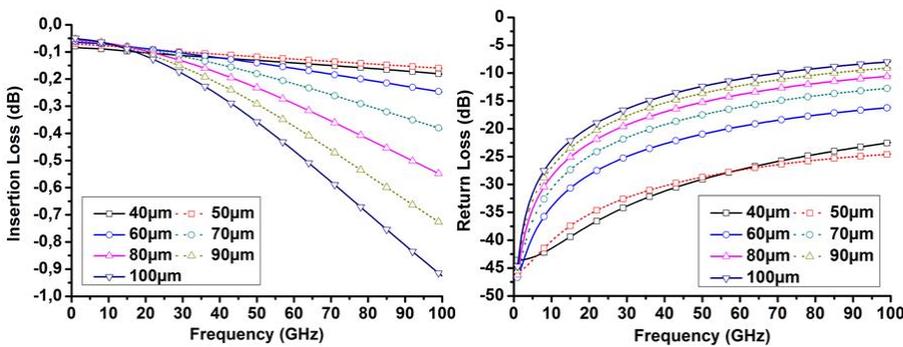


Abbildung 19 Einfügedämpfung und Reflektionsverluste in Abhängigkeit der Frequenz für unterschiedliche Durchmesser für GS-TSVs.

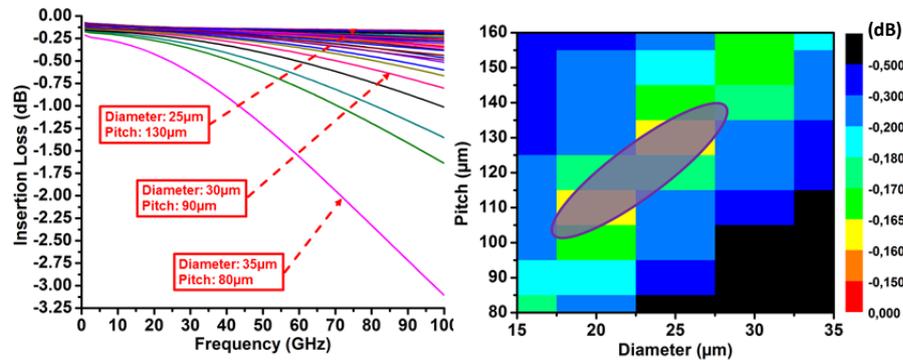


Abbildung 20 Einfügedämpfung in Abhängigkeit der Frequenz für unterschiedliche Durchmesser/ Abstände und Übersicht der Einfügedämpfung für alle Kombinationen zeigt die optimalen Dimensionen für GSG-TSVs.

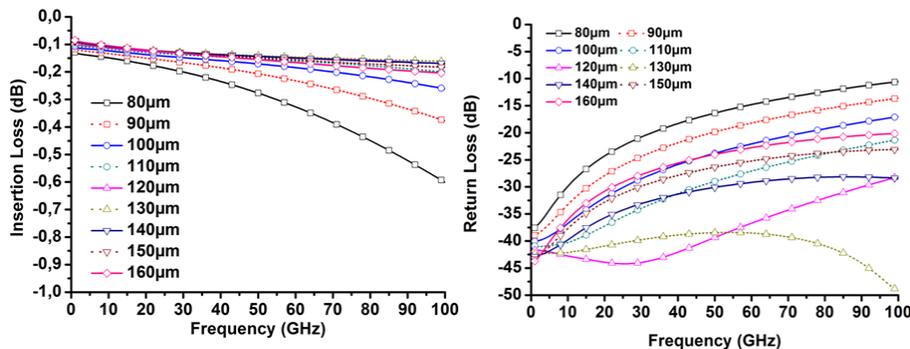
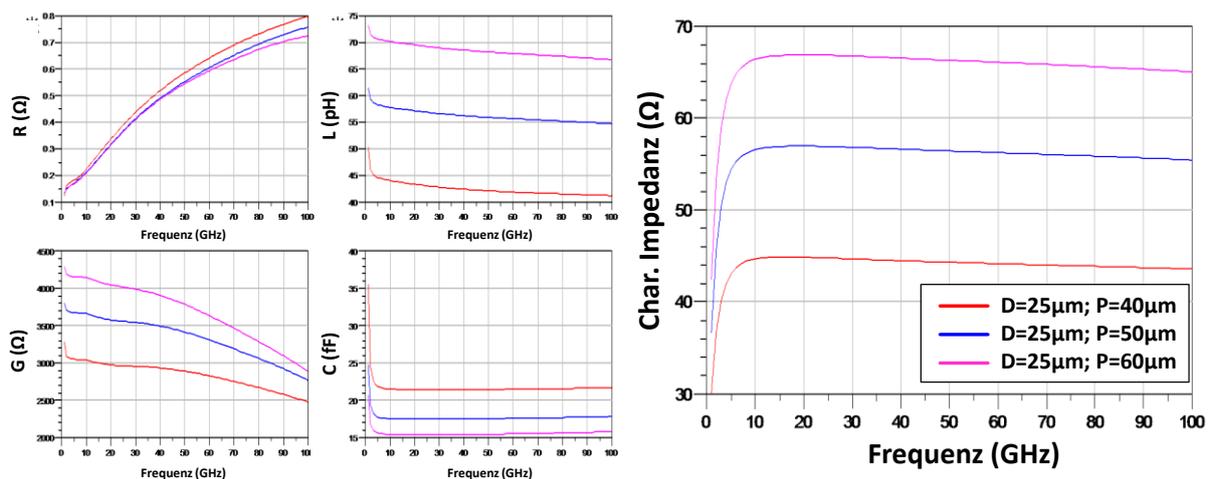


Abbildung 21 Einfügedämpfung und Reflektionsverluste in Abhängigkeit der Frequenz für unterschiedliche Durchmesser für GSG-TSVs.

Sowohl mit GS- als auch mit GSG-TSV Strukturen kann eine minimale Dämpfung im Bereich 0.16 dB bis 100 GHz erreicht werden. Dabei werden GS-TSVs bevorzugt, da im Vergleich zu GSG-TSVs nur der halbe Abstand zwischen Signal- und Masse-TSV benötigt wird, um eine vergleichbare Impedanz zu erhalten. Die optimale Anpassung an  $50 \Omega$  kann mit dem Abstand eingestellt werden und anhand der geringen Reflektionsverluste kann nachgewiesen werden, dass eine gute Anpassung erfolgt.

Um Design-Kit Modelle für den Schaltkreisentwurf für die 3D Signalübertragung bereitzustellen, wurden entsprechende RLC-Modelle anhand der Simulationsergebnisse für die TSVs entwickelt. Dabei wurden basierend auf ein Transmission-Line Modell mit RLCG-Parametern die entsprechenden Parameter aus den S-Parametern für unterschiedliche Abstände der TSVs zueinander extrahiert. In Abbildung 22 sind die extrahierten Werte für den Widerstand R, der Induktivität L, dem Leitwert G und der Kapazität C für unterschiedliche Abstände der TSVs ermittelt (Rot-40  $\mu\text{m}$ / Blau-50  $\mu\text{m}$ / Pink-60  $\mu\text{m}$ ). Das frequenzabhängige Verhalten der elektrischen Parameter lässt sich wie folgt erklären: Mit steigender Frequenz steigt der Widerstand durch den Skin-Effekt an und mit zunehmenden Abstand wird der Widerstand kleiner, da der Einfluss des Proximity Effekts geringer wird und damit die Stromverteilung homogener über den Leiterbahnquerschnitt erfolgt. Die Induktivität wird mit zunehmendem Abstand größer, da sich bei weiter entfernten TSVs die Magnetfelder weniger stark auslöschen. Der Leitwert wird mit zunehmendem Abstand aufgrund des spezifischen Widerstandes von Silizium größer wohingegen die Kapazität mit zunehmendem Abstand deutlich abnimmt.

Daraus können sehr einfach RLC-Modelle als Ersatzschaltbilder generiert werden, um damit Design-Kit Modelle für die IHP-Technologie zu erstellen.



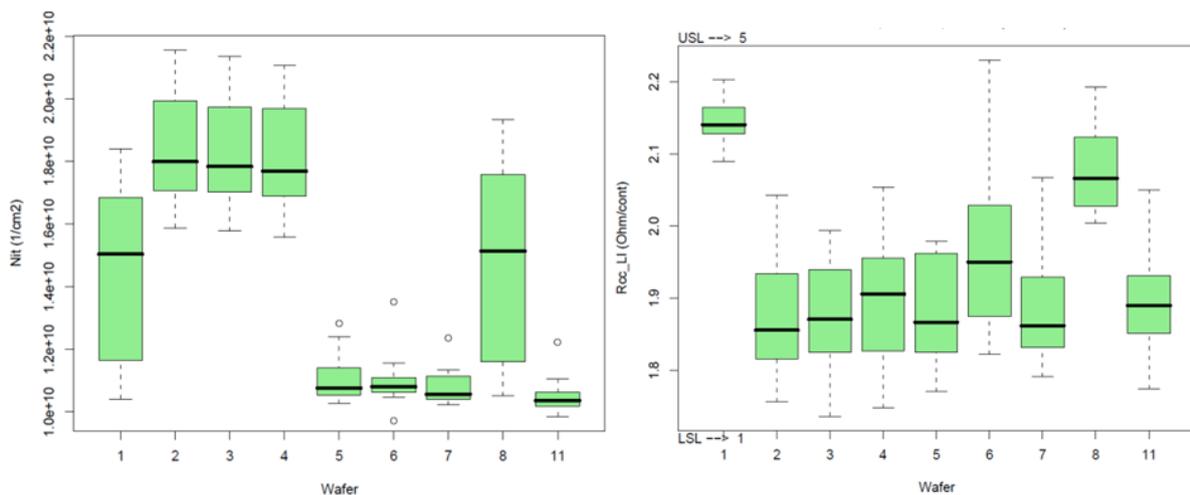
**Abbildung 22 RLCG-Parameter und charakteristische Impedanz von TSV Strukturen.**

Mit den gezeigten Eigenschaften haben die im Projekt entwickelten miTSVs bezüglich der DC- und HF-Eigenschaften ein sehr gutes Potential, für Hochfrequenzanwendungen nutzbar zu sein. Während für das HF-Grounding TSVs mit geringer Induktivität und geringem Widerstand zur Verfügung gestellt werden können, sind gleichzeitig TSVs für die Signalübertragung mit minimaler Dämpfung und guter Anpassung möglich. Dabei ist eine geringe Dämpfung mit geringen Reflektionsverlusten über einen weiten Frequenzbereich möglich.

Nach erfolgreichem Design wurden die TSV Strukturen mit den optimalen HF-Eigenschaften für den Technologiedemonstrator zur Verfügung gestellt.

## **Einfluss der Technologieparameter und Grenzen der Reproduzierbarkeit (B1\_C3\_IHP)**

Zur Untersuchung des Einflusses der TSV-Technologie auf die BiCMOS-Technologie wurden „Full-Flow“ Wafer ohne TSVs, mit TSVs ohne Oxid-Liner und mit TSVs und Oxid-Liner in der Pilotlinie des IHP produziert. Dadurch kann der Einfluss der Integration der TSVs in die Standard BiCMOS-Technologie ermittelt werden. Im Anschluss wurden die verschiedenen PCM-Daten (Process Control Monitor) untersucht und verglichen. Es zeigt sich, dass die Integration der TSVs in die BiCMOS Technologie aufgrund von Prozessanpassungen in den PCM Daten sichtbar ist. Speziell bei den Parametern zur Ladungsträgerdichte unter dem Gate-Oxid und bei den erreichten Widerständen im Kontaktmodul gibt es Unterschiede zwischen den Wafern. Dabei ist aber zu beachten, dass die Änderungen der Parameter und die Streuung der Parameter sehr gering sind, zum Teil sogar als positiv bewertet werden können und es zu keinen Verletzungen der Prozessspezifikationen kommt. Eine Übersicht der wichtigsten Parameter ist in Abbildung 23 gezeigt, wobei Wafer 1/8 ohne TSVs, Wafer 2-4 mit TSVs ohne Oxid-Liner und Wafer 5-7/11 mit TSVs und Oxid-Liner produziert wurden.



**Abbildung 23** Auswertung der PCM-Daten zeigt die Ladungsträgerdichte unter dem Gate-Oxid und den Kontaktwiderstand zwischen FEOL und BEOL für verschieden-prozessierte Wafer mit TSVs.

Speziell die Ladungsträgerdichte unter dem Gate-Oxid ist kritisch für die Langzeitstabilität der MOS-Transistoren, da eine hohe Ladungsträgerdichte das sogenannte „Hot-Carrier Injection“ begünstigt, was zum Ausfall des Bauelementes führen kann. Da speziell bei der Integration der TSVs mit Oxid-Liner kleinere Nit-Werte und geringere Streuungen erreicht werden, ist ein Einfluss auf die Lebensdauer der MOS-Transistoren unwahrscheinlich.

Um diese Annahme zu bestätigen, wurden Lebensdauermessungen an MOS-Transistoren durchgeführt. Dazu wurden die Bauelemente einem Hot-Carrier-Injection (HCI) Stresstest ausgesetzt, die Transistorkennlinien in regelmäßigen Abständen gemessen und Parameter wie die Schwellspannung und Ströme im linearen Arbeits- und Sättigungsbereich extrahiert. Eine Zusammenstellung der Ergebnisse ist in Abbildung 24 gezeigt.

Dabei ist in Spalte a die prozentuale Änderung des lineare Drainstroms, in Spalte b die prozentuale Änderung des Drainstroms in Sättigung und in Spalte c die prozentuale Änderung die Steilheit dargestellt wobei die HCI-Stresstests für Spannungen von 3.1 V, 3.7V und 4.0V durchgeführt wurden.

Es sind keine Unterschiede zwischen den Wafern ohne TSVs, mit TSVs ohne Oxid-Liner und mit TSVs und Oxid-Liner zu erkennen. Die Integration der TSVs hat offensichtlich keinen Einfluss auf das Alterungsverhalten der MOS-Transistoren. Dieses Ergebnis ist enorm wichtig, da ein negatives Ergebnis dazu geführt hätte, dass die Integrationstechnik hätte angepasst werden müssen bzw. eine erfolgreiche Integration in die BiCMOS-Technologie in der Form nicht möglich gewesen wäre.

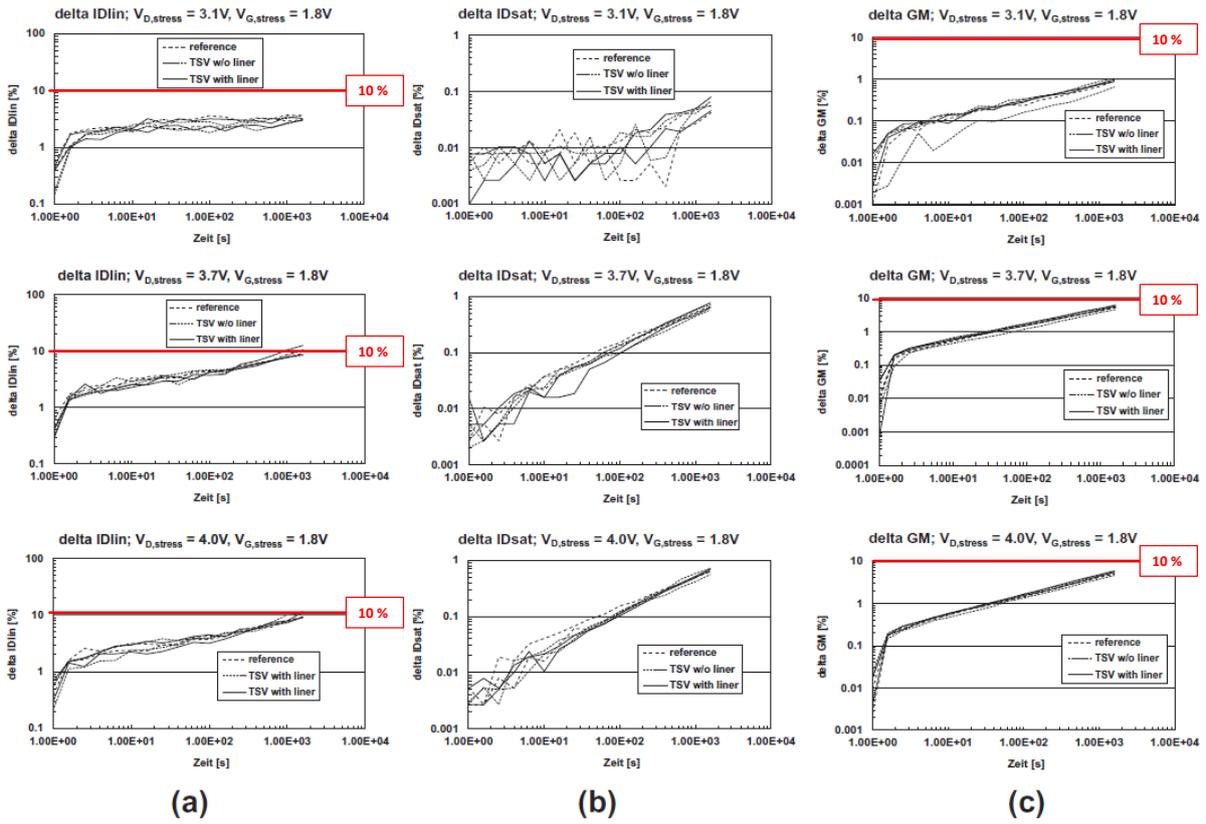


Abbildung 24 Messergebnisse der Lebensdauerests von MOS-Transistoren [3].

## Layout und Design-Rules von miTSVs (B1\_E3\_IHP)

Bezüglich der Layout-Regeln zur Realisierung von Schaltungsdesigns ist folgender Punkt zu beachten. Die Tiefe der TSVs hängt entscheidend vom TSV-Design ab. Um eine homogene TSV-Tiefe über den Wafer zu erreichen, muss eine definierte TSV-Struktur verwendet werden. Für zukünftige Anwendungen wurde anhand der Simulationsergebnisse ein TSV-Durchmesser von 25  $\mu\text{m}$  festgelegt. Damit lassen sich TSVs mit sehr guten Hochfrequenzeigenschaften realisieren.

Weiterhin sind bei der Integration in die bestehende BiCMOS-Technologie folgenden Spezifikationen im Layout einzuhalten (Abbildung 25):

- Minimaler Abstand von 25  $\mu\text{m}$  zwischen zwei benachbarten TSVs, um den Einfluss von Verspannungen zu minimieren (a)
- Verhinderung von Active- und Gate-Poly-Gebieten im Bereich der TSVs sowie Verhinderung der P-Well Implantation, um das Ätzen der Gräben nicht zu beeinflussen und die Leitfähigkeit des Siliziums durch Implantation nicht zu vergrößern (b)
- Minimaler Overlap von Metall-1 zum TSV-Hohlzylinder 3 $\mu\text{m}$ , um Ungenauigkeiten in der Lithografie zu kompensieren (c)

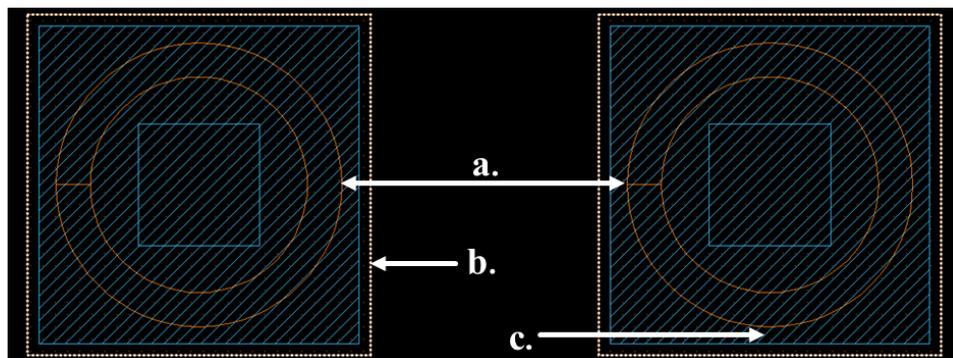


Abbildung 25 TSV-Layout mit Darstellung der TSV-Hohlzylinderstruktur (orange) und der ersten Metalllage (M1) zur Kontaktierung der TSVs.

Eine Übersicht über die verschiedenen Regeln des TSV Design-Kits ist in Abbildung 26 zusammengefasst. Anhand der Design-Rules wird bei jedem Layout, welches in der IHP Technologie realisiert wird, mittels Design-Rule Check untersucht.

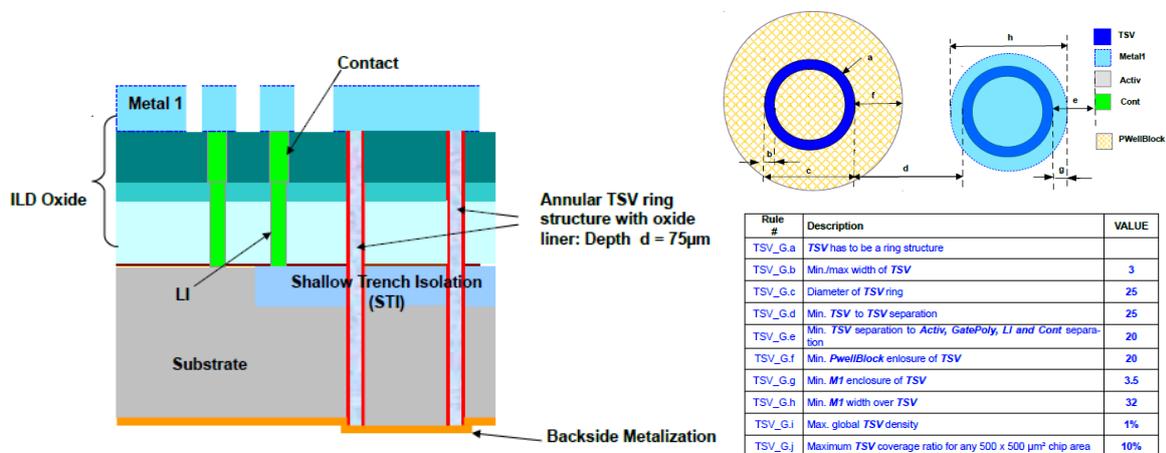


Abbildung 26 Auszug aus dem IHP TSV Design-Kit zeigt die verschiedenen Layout Parameter und den erforderlichen Werten.

## Konzeption WuRx (B1\_D1\_IHP)

Ausgehend von den Ergebnissen von NANETT I wurde das Konzept des Wake-up Receivers (WuRx) den Bedingungen für den Einsatz im Demonstrator in NANETT II angepasst. Der wesentliche Aufbau blieb dabei unverändert (siehe Abbildung 27). Neben dieser 2-Chip-Variante wurde ein Konzept mit externem Quarz als frequenzselektivem Element anstelle der MEMS-Struktur erarbeitet. Das RF-Frontend wird dabei mit dem Block zur Generierung des Wake-up-Signals auf einem Chip integriert.

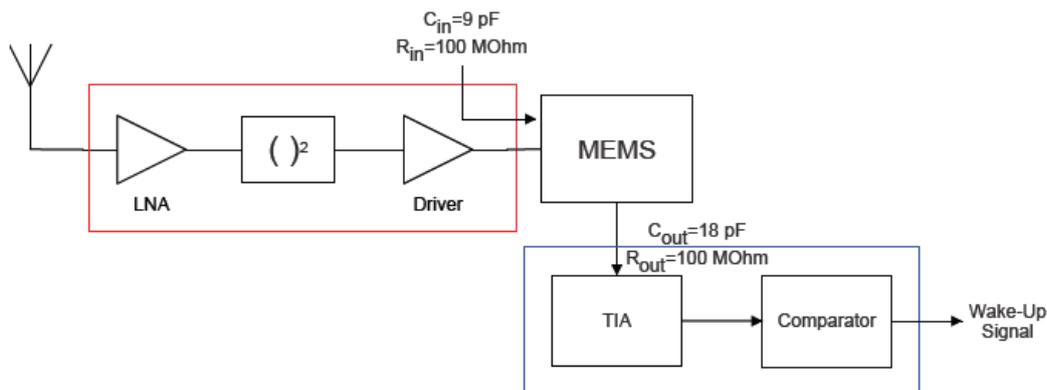


Abbildung 27 Blockschaltbild des WakeUp Receiver.

## Entwurf der Elektronikkomponenten Run1 (B1\_E4\_IHP)

In diesem Arbeitspaket wurden die einzelnen Schaltungen für den Einsatz im Demonstrator entwickelt. Auf Grund der Miniaturisierung eines Demonstrators, dem sogenannten eGrain, ergeben sich auch neue Anforderungen an die Aufbautechnologie. Deshalb wurden sämtliche integrierten Schaltungen für eine spätere Flipchip-Montage entworfen. Ein weiteres Ziel war die höchstmögliche Integration unter Minimierung der Anzahl und Größe notwendiger, externer Bauteile.

Die erste integrierte Schaltung (Chip 1) beinhaltet einen rauscharmen 2,4-GHz-Verstärker (LNA) und einen Hüllkurvendetektor (Envelopdetektor) mit anschließendem Pufferverstärker (Buffer) zur Ansteuerung der MEMS-Struktur. Abbildung 28 zeigt den schematischen Aufbau.

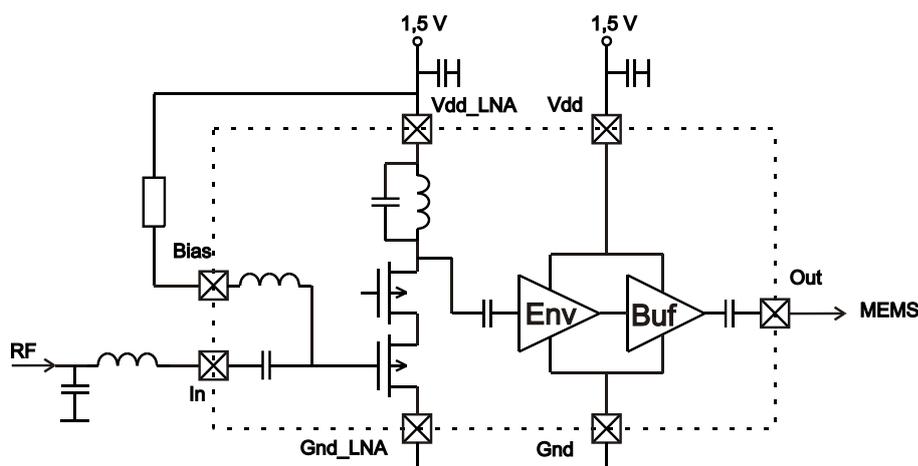


Abbildung 28. Schaltbild des 2,4 GHz LNA-Envelopdetektor-Buffer.

Chip 2 dient der Verstärkung des in der MEMS-Struktur erzeugten niederfrequenten Signals und Generierung eines prozessorkompatiblen Wake-up-Signals. Die Herausforderung ist hierbei die Verarbeitung des sehr kleinen Stromes von unter 1 nA am Eingang des Strom-Spannungswandlers (TIA). Nachfolgend wird das Signal mittels Komparator CMOS-kompatibel für die Ansteuerung des Prozessors aufbereitet. Abbildung 29 zeigt die Prinzipschaltung.

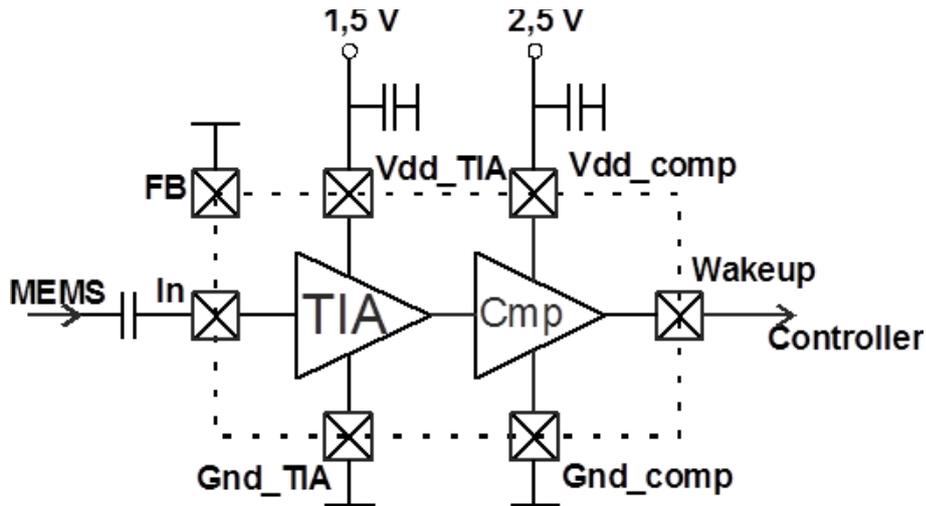


Abbildung 29 Schaltung des TIA-Komparators.

Die Integration des RF-Frontends zusammen mit der Wake-up-Generierung wird mit dem Chip 3 realisiert (s. Abbildung 30). Die Filterung der Hüllkurve übernimmt hier ein externer Quarz.

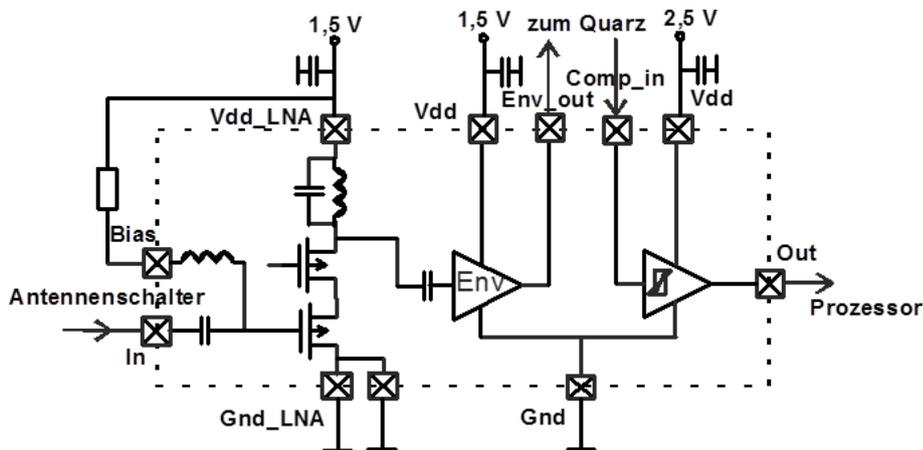


Abbildung 30 Prinzipschaltung von Chip 3.

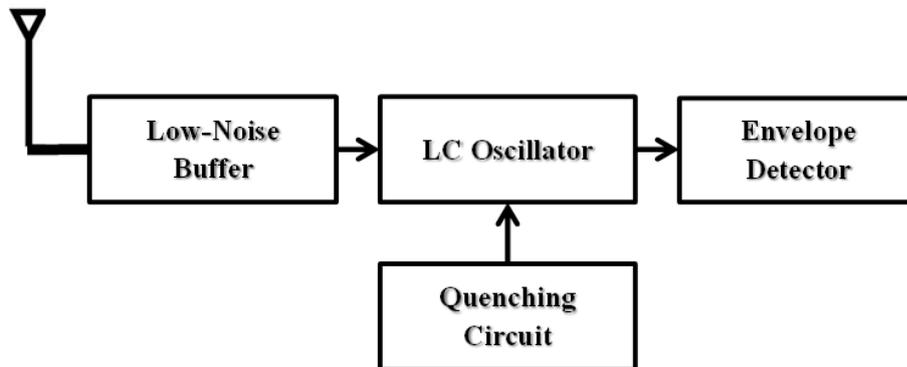
Alle 3 Chips wurden entworfen und im IHP in der Technologie SGB25V prozessiert. Die Evaluierungsergebnisse werden in Abschnitt B1\_T8\_IHP präsentiert.

## Entwurf der Elektronikkomponenten Run2 (B1\_E5\_IHP)

Die Konkretisierung der Entwürfe der Demonstratoren durch die anderen Projektpartner, insbesondere die Arbeiten am IZM an den zu integrierenden Antennen, führte zu dem Ergebnis, dass sich die geforderte Reichweite des Gesamtsystems kaum realisieren lassen würde. Insbesondere der Gewinn der Patchantennen war physikalisch bedingt schwächer als prognostiziert. Zudem war die erreichte Empfindlichkeit des RF-Frontends bei dem anvisierten Strom deutlich unterhalb des simulierten Wertes. Es galt eine Lücke von etwa 15 dB zu schließen. Neben Verbesserungen an den bestehenden Schaltungen und/oder einer höheren Verlustleistung wurde zum Dritten der Superregenerativempfänger als vielversprechender, alternativer Ansatz aufgenommen.

Durch seinen periodischen Betrieb kommt er einem geringen Leistungsverbrauch entgegen. Empfindlichkeiten von besser -100 dBm werden in der Literatur berichtet ([4], [5] und [6]). Problematisch sind hingegen die zuverlässige Einstellung sicherer Arbeitspunkte und der damit notwendige Mehraufwand. Zur Untersuchung der Realisierbarkeit solch eines Superregenerativempfängers im WuRx wurden in dieser Phase zwei wesentliche Kernschaltungen entwickelt und eingesteuert. Zum ersten wurde ein Frontend bestehend aus LNA, LC-Oszillator und Envelopdetektor entworfen. Ein externer

Zugriff auf die Arbeitspunkte sollte garantieren, dass das Verhalten der Schaltungen möglichst umfassend untersucht werden kann. Abbildung 31 verdeutlicht das Blockschaltbild des realisierten Superregenerativempfängers.



**Abbildung 31** Blockschaltbild des Superregenerativempfängers.

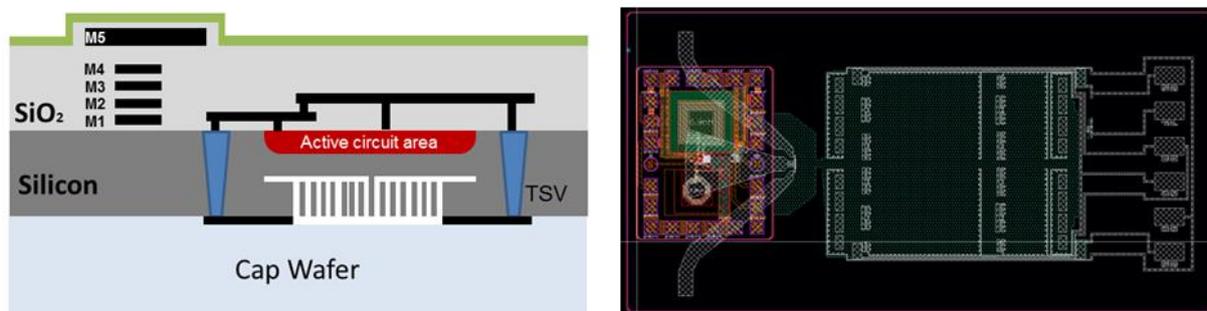
Weitere, für die Funktion von Wake-up-Receiver, wichtige Schaltungen betreffen die Einstellung optimaler Betriebsbedingungen. Zu diesem Zweck wurde eine Low-Power-Referenzspannungsquelle entwickelt. Sie liefert eine stabile Ausgangsspannung von etwa 435 mV über einen weiten Betriebsspannungs- und Temperaturbereich und ist damit auch für den Einsatz mit Spannungen von 1,0 V und kleiner geeignet.

Sowohl die Redesigns als auch Superregenerativempfänger und Referenzquelle wurden im IHP in der Technologie SGB25V prozessiert. Die Evaluierungsergebnisse werden in Abschnitt B1\_T9\_IHP präsentiert.

### Entwurf für finale Version der Elektronikkomponenten (B1\_E6\_IHP)

In diesem Arbeitspaket wurden die finalen Versionen der drei Chips für den eGrain und den Matrixknoten redesigned und prozessiert. Grundlage waren dafür die Ergebnisse der Evaluierungen aus den vorhergehenden Durchläufen Run1 und Run2. Es erfolgten Anpassungen der Schaltungen, um die zuvor festgestellten Unsicherheiten bezüglich technologischer Schwankungen zu vermeiden.

Für den zweiten Demonstrator, der den Nachweis der Integration von elektronischer Schaltung auf der Oberseite des Wafers, Durchkontaktierung mittels TSVs und HF-MEMS-Schalter auf der Rückseite des Wafers erbringen sollte, wurde ein rauscharmer Verstärker (LNA) in der SG25H1-Technologie des IHP entworfen (Abbildung 32).



**Abbildung 32** Aufbau und Layout des TSV Demonstrators.

Auch in dieser Phase des Projektes wurden alle Chips im IHP in der Technologie SGB25V, außer des TSV-Demonstratorchips in SG25H1, prozessiert. Die Evaluierungsergebnisse werden in den Abschnitten B1\_T8\_IHP und B1\_D2\_IHP präsentiert.

### Musterherstellung Run1 und Test (B1\_T8\_IHP)

Die Chips 1 bis 3 für den Demonstrator wurden im Mai 2013 eingesteuert und in der IHP-Technologie SGB25V prozessiert und standen ab September 2013 als Muster zur Evaluierung bereit und wurden im IHP für die Messungen auf eigene Messplatinen in Flipchip-Technologie aufgebaut.

Als wesentliche Aussage der Evaluierung war festzustellen, dass einige der wichtigen Parameter bei den Messungen nicht die simulierten Werte erreichten. Die Ursache für die Abweichung der gemessenen Werte bei der Empfindlichkeit und Stromaufnahme liegen in der Kopplung zwischen Envelopdetektor und Komparator. Aus Gründen der Minimierung des Leistungsverbrauchs wurde im Design eine galvanische Kopplung beider Stufen realisiert. Technologische Schwankungen, insbesondere die bei diesen kleinen Strömen und dem gewählten Arbeitsbereich der MOS-Transistoren stärkere Abhängigkeit von der Thresholdspannung, lassen diese Art der Kopplung als nicht vorteilhaft erscheinen.

Chip 2 erreicht nicht in vollem Umfang den Wert für den minimal wandelbaren Strom. Die Gründe dafür sind vergleichbar mit denen von Chip 1. Beim Chip 3 lagen die Messwerte infolge der überwiegend gleichartig verwendeten Schaltungen analog zu denen von Chip 1 und Chip 2.

Da es sich bei diesen Chips um Zwischenstände handelt, wird auf die Details der Messungen nicht weiter eingegangen, sondern auf den Jahresbericht 2013 verwiesen, der die erreichten Ergebnisse detailliert behandelt.

### Musterherstellung Run2 und Test (B1\_T8\_IHP)

Sowohl das Superregenerativempfänger- als auch das Referenzquellenchip wurden ab August 2013 im IHP-Reinraum in der Technologie SG13S prozessiert und ab Anfang 2014 evaluiert.

Die Messungen am Superregenerativempfängerchip erwiesen sich schwieriger als erwartet. Insbesondere die starke Beeinflussung durch die Messumgebung führte zu teilweise nicht reproduzierbaren Ergebnissen. Dennoch konnte die grundlegende Funktion der realisierten Schaltung nachgewiesen werden (s. Abbildung 33). Für zukünftige Entwicklungen von Superregenerativempfängern gilt es, die Evaluierungsbedingungen beim Schaltungsentwurf noch stärker zu berücksichtigen.

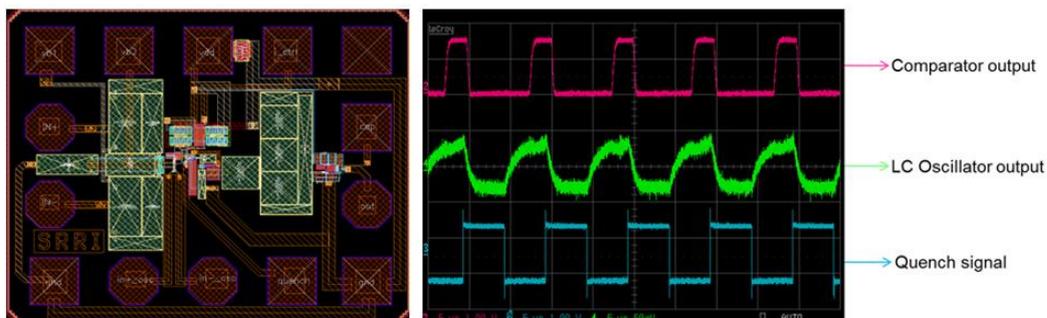


Abbildung 33 Superregenerativempfängerchip und Oszillogramme typischer Signale.

Für die realisierten Referenzquellen (Abbildung 34) listet Tabelle 1 die Messwerte auf.

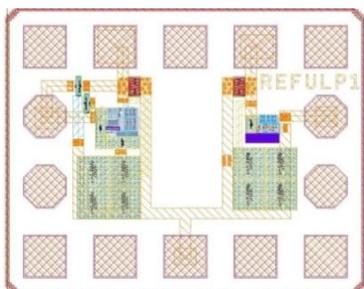


Abbildung 34 Layout der Referenzquellen.

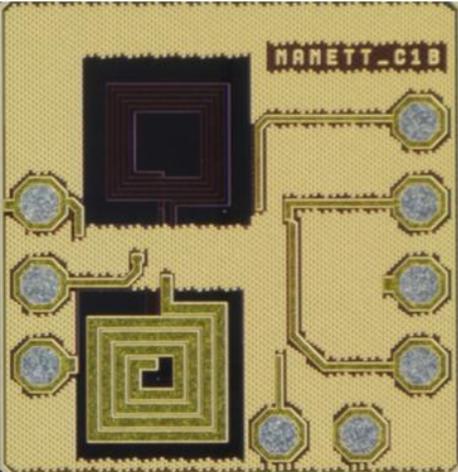
**Tabelle 1 Ausgewählte Messwerte der Spannungsreferenz.**

Parameter	Sim.	Mea.	Unit	Remarks
Reference output voltage	436	368	mV	VDD = 1.2 V, $\vartheta = 25\text{ }^{\circ}\text{C}$ , $R_L = 1\text{ M}\Omega$
Output voltage variation	$\pm 2.6$	1.8 20	% %	$0\text{ }^{\circ}\text{C} < \vartheta < 100\text{ }^{\circ}\text{C}$ , VDD = 1.2 V $0.8\text{ V} < VDD < 1.8\text{ V}$
Power supply rejection ratio	40	40	dB	VDD= 1.2 V, AC: 200 mVPP @25 kHz
Supply current	400	480 14	nA nA	VDD = 1.2 V, $\vartheta = 25\text{ }^{\circ}\text{C}$ , $R_L = 1\text{ M}\Omega$ VDD = 1.2 V, $\vartheta = 25\text{ }^{\circ}\text{C}$ , $R_L = \infty$

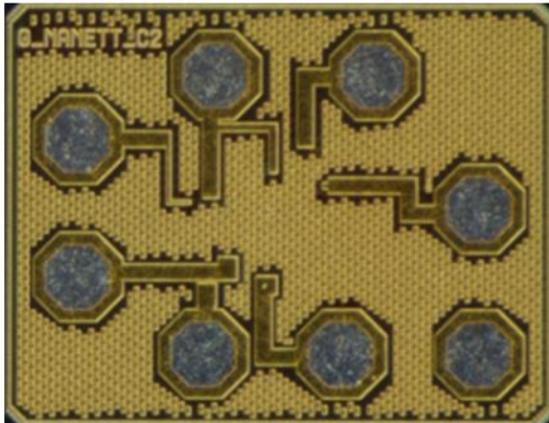
Als wesentliche Ursache für die Abweichung des absoluten Wertes der Referenzspannung vom berechneten Wert sind die zum Entwurfszeitpunkt noch unzureichende Modellierung der MOS-Transistoren insbesondere im Sub-Mikroamperebereich zu benennen. Die Arbeiten zu den Low-Power-Referenzen wurden 2014 mit Redesigns fortgeführt.

### Implementierung (B1\_D2\_IHP)

Die finalen Versionen der Chips 1 bis 3 für den e-Grain-Demonstrator wurden nach Auswertung des 1. und 2. Runs überarbeitet und zu Herstellung im November 2013 eingesteuert. Erste Muster standen im Februar 2014 zur Evaluierung bereit. In Abbildung 35 bis Abbildung 37 sind die Chipfotos der finalen Versionen sowie die gemessenen Parameter dieser Chips auf Evaluierungsboards gezeigt. Wegen der starken Abhängigkeit der Verstärkung des LNAs in den Chips 1 und 3 von der technologisch bedingt streuenden Thresholdspannung der MOS-Transistoren war eine Selektion auf der Scheibe von Chips mit der nötigen Performance notwendig (s. Abbildung 38). Die für gut bewerteten Chips innerhalb der sehr eng definierten Spezifikation wurden dem Projektpartner IZM im Scheibenverbund gekennzeichnet für den Aufbau der Demonstratoren zur Verfügung gestellt.

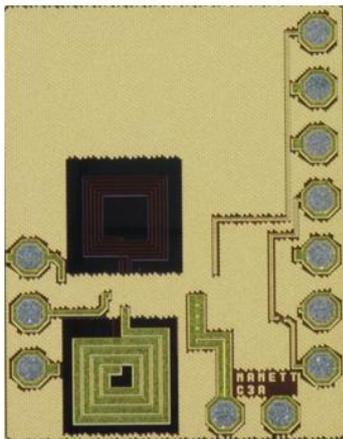
	Parameter	Value
	Power consumption w/o LNA [ $\mu\text{W}$ ]	60
	Center frequency [GHz]	2.31
	Sensitivity @ 435 $\mu\text{A}$ LNA [dBm]	-31
	Noise Figure [dB]	12

**Abbildung 35 Layout und Messwerte von Chip 1 (0,97 x 1,01 mm<sup>2</sup>, SGB25V).**



Parameter	Value
Power consumption [ $\mu\text{W}$ ]	90
Input Impedance TIA [ $\Omega$ ]	100
Min. detectable current [nA]	1
Corner Frequency [kHz]	50

Abbildung 36 Layout und Messwerte von Chip 2 (0.67 x 0.52 mm<sup>2</sup>, SGB25V).



Parameter	Value
Power consumption w/o LNA [ $\mu\text{W}$ ]	110
Center frequency [GHz]	2.4
Sensitivity @ 390 $\mu\text{A}$ SiGe LNA [dBm]	-57
Sensitivity @ 435 $\mu\text{A}$ CMOS LNA [dBm]	-40
Noise Figure [dB]	12

Abbildung 37 Layout und Messwerte von Chip 3 (1.06 x 1.34 mm<sup>2</sup>, SGB25V).

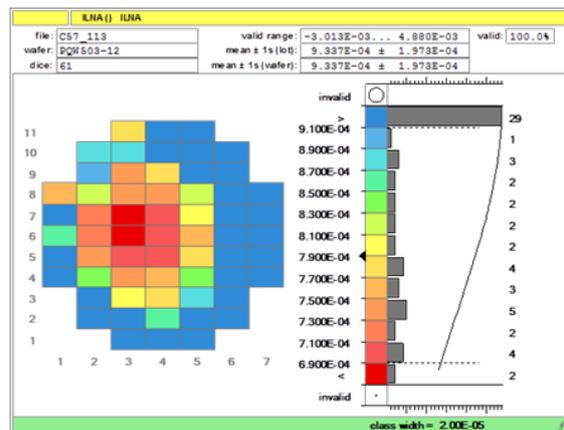
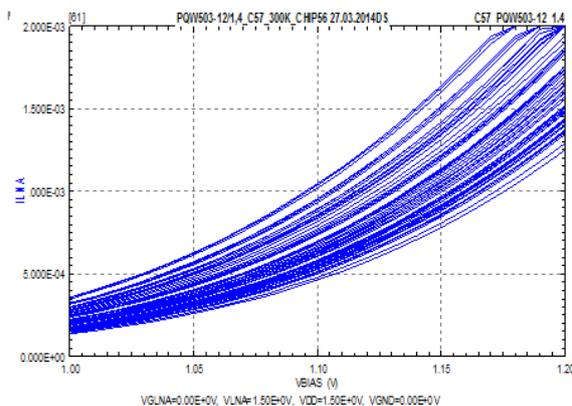


Abbildung 38 Streuung des LNA-Stromes und Verteilung auf einem Wafer.

Zwischenzeitliche Untersuchungen an einem LNA, der aus SiGe-HBT aufgebaut wurde, ergaben um etwa 30% bessere Verstärkungswerte bei gleichem Strom wie in Chip 1 und 3. Für das ebenfalls aufzubauende Matrixknoten-Netzwerk kam diese verbesserte Variante des Chips 3 zum Einsatz. Insbesondere die deutlich gesteigerte Empfindlichkeit kann man aus Tabelle Abbildung 37 entnehmen. Für den Matrixknotendemonstrator wurden WuRx-Adapterboards entworfen und im IHP hergestellt. Diese dienen den eigenen Evaluierungen und wurden jedoch hauptsächlich dem Projektpartner TU Chemnitz für Aufbau und Erprobung des Netzwerkes übergeben. Die Abbildungen Abbildung 39 bis Abbildung 41 zeigen Fotos der beiden Varianten des WuRx-Adapterboards und ein damit bestücktes Matrixknotenboard.

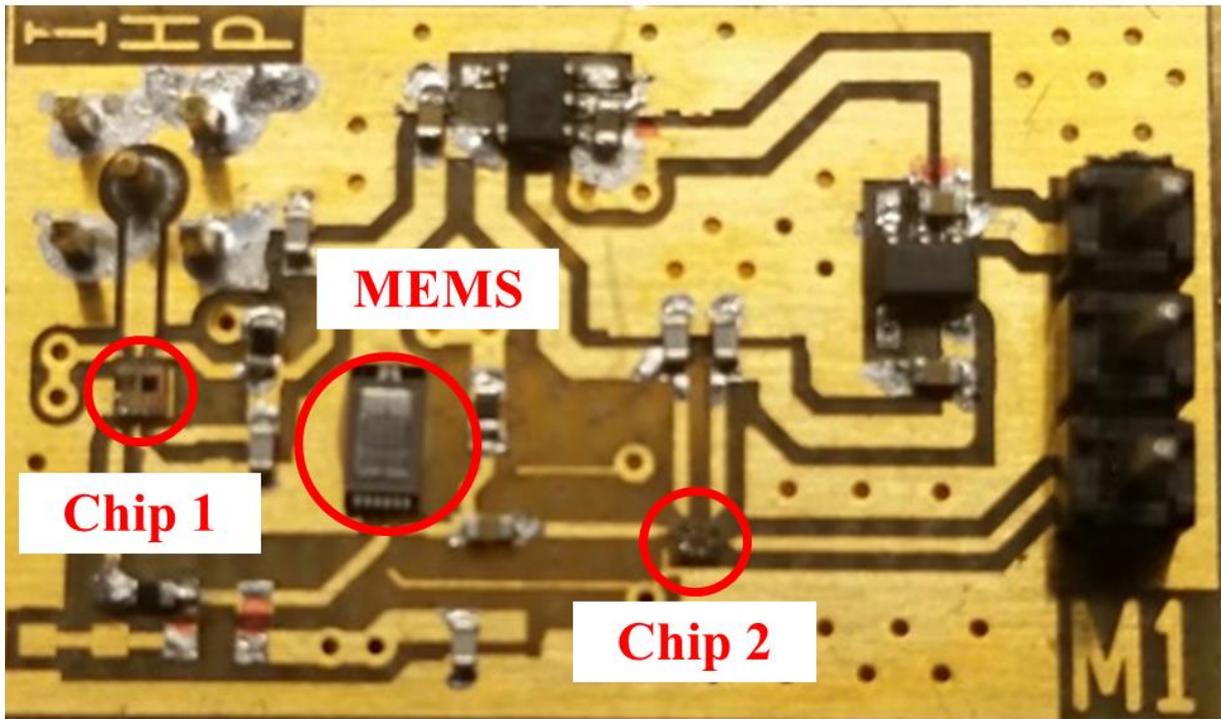


Abbildung 39 WuRx-Adapter-PCB mit MEMS.

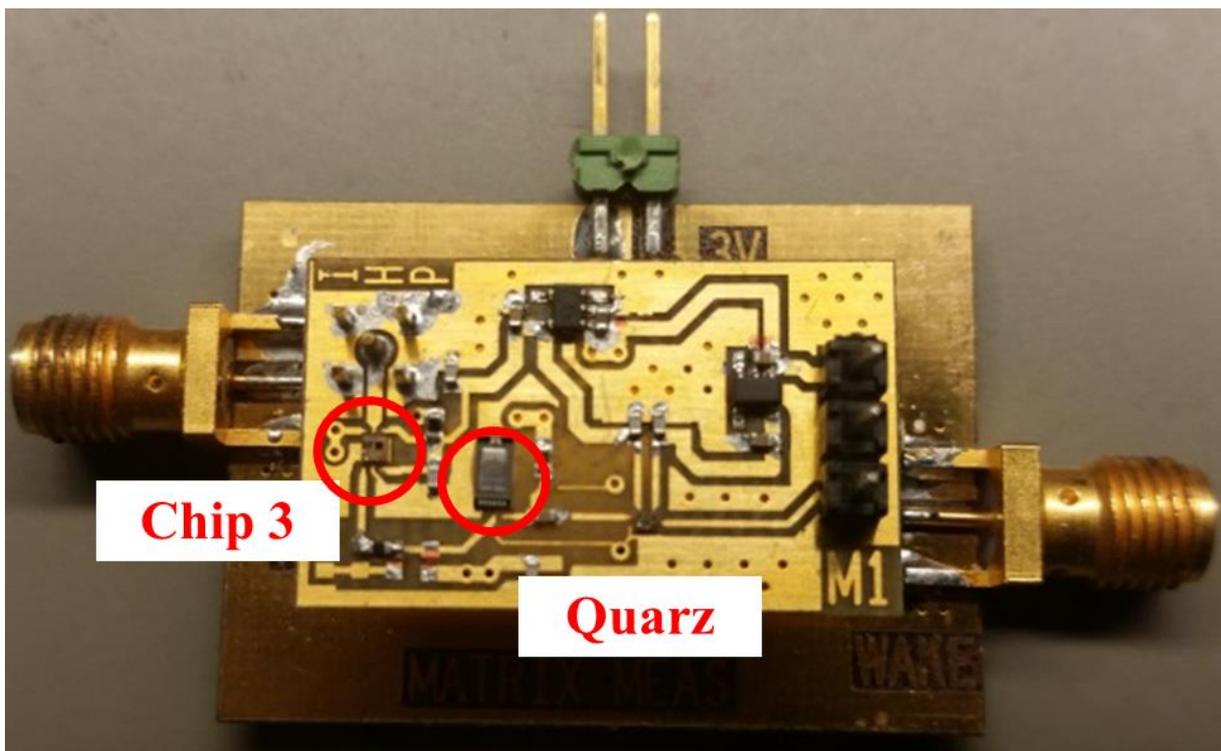


Abbildung 40 WuRx-Adapter-PCB mit Quarz.



Abbildung 41 Matrixknotenboard.

Der für den Technologiedemonstrator entwickelte, separat aufgebaute 2,4-GHz-LNA wurde im April 2014 gemessen und für den Demonstrator als geeignet bewertet. In Abbildung 42 ist das Layout und ein Vergleich von gemessener und simulierter Verstärkung gezeigt. Dieser LNA als Bestandteil des TSV-Demonstrators wurde zusammen mit den im IHP prozessierten TSVs im Scheibenverbund für den Projektpartner ENAS zur weiteren Bearbeitung zur Verfügung gestellt.

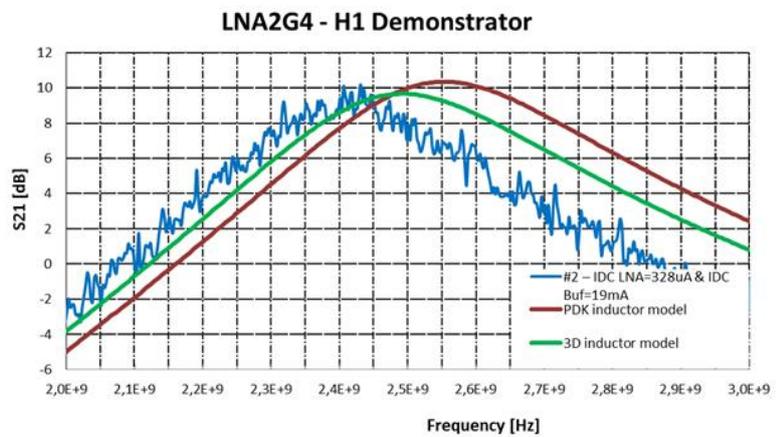
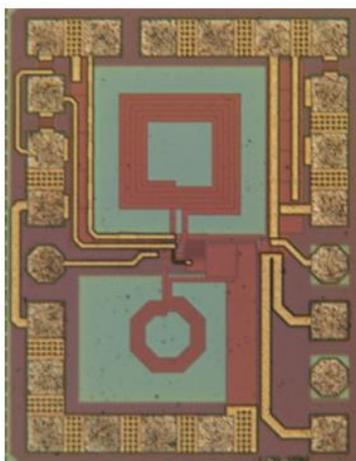


Abbildung 42 Layout und Verstärkermessung des TSV LNAs.

## Literaturverzeichnis

- [1] B. Heinemann, R. Barth, D. Bolze, J. Drews, G. Fischer, A. Fox, O. Fursenko, T. Grabolla, U. Haak, D. Knoll, R. Kurps, M. Lisker, S. Marschmeyer, H. S. Rücker, J. Schmidt, A. Schubert, B. Tillack, C. Wipf, D. Wolansky und Y. Yamamoto, „SiGe HBT Technology with  $f_T/f_{max}$  of 300 GHz/500 GHz and 2.0 ps CML, Gate Delay,“ *Proc. International Electron Devices Meeting, (IEDM 2010)*, 688 (2010), pp. 30.5.1 - 30.5.4, 2010.
- [2] A. Fox, B. Heinemann, R. Barth, S. Marschmeyer, C. Wipf und Y. Yamamoto, „SiGe:C HBT Architecture with Epitaxial External Base,“ *Proc. 25th IEEE Bipolar / BiCMOS Circuits and Technology Meeting (BCTM 2011)*, 70 (2011), pp. 70 - 73 , 2011.
- [3] S. Marschmeyer, J. J. Berthold, A. Krüger, M. Lisker, A. Scheit, S. Schulze, A. Trusch, M. Wietstruck und D. Wolansky, „Modular Integration of Annular TSV Structures filled with Tungsten in a 0.25  $\mu\text{m}$  BiCMOS Technology,“ *Microelectronic Engineering*, Bd. Vol. 137, p. 153, 2015.
- [4] A. Vouilloz, M. Declercq und C. Dehollain, „A low-power CMOS superregenerative receiver at 1 GHz,“ *IEEE Journal of Solid-State Circuits*, Bd. Vol. 36, pp. 440-451, 2001.
- [5] B. Otis, Y. Chee und Y. Rabaey, „A 400 $\mu\text{W}$ -RX, 1.6mW-TX super-regenerative transceiver for wireless sensor networks,“ *IEEE International Solid-State Circuits Conference*, pp. 396-397, 2005.
- [6] J.-Y. Chen, Flynn, M. P. und J. Hayes, „A fully integrated auto-calibrated super-regenerative receiver in 0.13- $\mu\text{m}$  CMOS,“ *IEEE Journal of Solid-State Circuits*, Bd. vol. 42, pp. 1976-1985, 2007.
- [7] P. Bar, S. Joblot, P. Coudrain, J.-F. Carpentier, B. Reig, C. Fuchs, C. Ferrandon, J. Charbonnier und H. Sibuet, „A silicon platform with Through-Silicon vias for heterogeneous RF 3D modules,“ *41st European Microwave Conference (EuMW)*, pp. 1173-1176, 2011.
- [8] T. Ebefors, J. Fredlund, D. Perttu, R. van Dijk, L. Cifola, M. Kaunisto, P. Rantakari und T. Vaha-Heikkila, „The development and evaluation of RF TSV for 3D IPD applications,“ *IEEE International 3D Systems Integration Conference (3DIC)*, pp. 1-8, 2013.
- [9] J. Kraft, F. Schrank, J. Teva und J. Siegert, „3D Sensor applications with open through silicon via technology,“ *IEEE 61st Electronic Components and Technology Conference*, pp. 560-566, 2011.
- [10] Y. Lamy, L. Dussopt, O. El Bouayadi, C. Ferrandon, A. Siligaris, C. Dehos und P. Vincent, „A compact 3D silicon interposer package with integrated antenna for 60 GHz wireless applications,“ *IEEE International 3D Systems Integration Conference (3DIC)*, pp. 1-6, 2013.
- [11] T. G. Lim, Y. M. Khoo, C. Selvanayagam und D. Ho, „Through Silicon Via interposer for millimetre wave applications,“ *IEEE 61st Electronic Components and Technology Conference (ECTC)*, pp. 577-582, 2011.
- [12] S. Ramalingam, „3D-ICs: Advances in the Industry,“ *Electronic Components and Technology Conference (ECTC)*, 2014.
- [13] T. Kirihata, „Three dimensional dynamic random access memory,“ *4th IEEE International Workshop on Low Temperature Bonding for 3D Integration (LTB-3D)*, 2014.
- [14] A. Kar-Roy, D. Howard, E. Preisler und M. Racanelli, „Recent developments using TowerJazz SiGe BiCMOS platform for mmWave and THz applications,“ *Proc. SPIE 8715, Passive and Active Millimeter-Wave Imaging*, 2013.

## **7. Voraussichtlicher Nutzen und Verwertbarkeit des Projektergebnisses**

Die Projektergebnisse haben dem IHP im Bereich Through-Silicon Via Integration für HF-Grounding und heterogener 3D Integration sowie der Schaltungsentwicklung für Low-Power Radios einen entscheidenden Forschungs- und Entwicklungsgewinn ermöglicht. Die Verwertbarkeit der Projektergebnisse des NANETT Projektes waren von Anfang an anwendungsorientiert und sollten für Forschung und Entwicklung über den MPW-Service des IHPs angeboten werden.

Die Projektergebnisse konnten in eine Pilotfertigung umgesetzt und somit für Forschungsinstitute und kommerzielle Kunden zugänglich gemacht werden. Damit besteht für externe Forschungseinrichtungen die Möglichkeit, die Projektergebnisse in eigene Forschungen speziell im Schaltkreis-Design nutzbar zu machen. Dadurch sind weitere nationale und internationale Kooperationen entstanden. Durch die Integration von Through-Silicon Vias in der BiCMOS-Technologie haben sich weiterhin vielversprechende neue Forschungs- und Anwendungsbereiche im Bereich Heterointegration und Millimeterwellen-Packaging ergeben. Anhand der aktuellen europäischen und weltweiten Forschung in der Mikroelektronik wird deutlich, dass ein wachsendes Interesse für diese Bereiche besteht und in Zukunft an Wichtigkeit zunehmen wird. Dem IHP wird damit ermöglicht, auch in diesen Bereichen in Zukunft weitere Forschungsaktivitäten leisten zu können und damit hochrangige Publikationen und Patente zu generieren. Eine stärkere Vernetzung mit Forschungseinrichtungen wie dem ENAS/ ZfM und dem IZM wurden erreicht, um die herausragenden Einzelkompetenzen der Partner zu verbinden und auch in Zukunft komplexe Forschungsaufgaben in Kooperationen bearbeiten zu können.

## **8. Fortschritt auf dem Gebiet des Vorhabens bei anderen Stellen**

Auf dem Gebiet der Entwicklung und Integration von Through-Silicon Vias zeigt sich ein verstärktes Interesse sowohl von Forschungseinrichtungen als auch kommerziellen Firmen. Die Entwicklung von Through-Silicon Vias wurde schon vor mehreren Jahrzehnten begonnen und wird seitdem für verschiedenste Anwendungen diskutiert ( [7], [8], [9], [10], [11]). Dabei wurden diverse Anwendungsgebiete wie zum Beispiel die 2.5D-Integration mittels Interposer sowie die 3D-Integration gezeigt und die Forschung und Entwicklung in diesen Forschungsgebieten in den letzten Jahren sehr stark intensiviert. Hier sind europa- und weltweit renommierte Forschungsinstitute wie z.B. das FhG IZM, CEA-LETI, IMEC und VTT als auch kommerzielle Firmen wie IBM, Globalfoundries, Tower Jazz und TSMC aktiv, um TSV-Technologien für Forschung und Produktentwicklung nutzbar zu machen.

Trotz intensiver Forschungsaktivitäten geht die Entwicklung zum kommerziellen Produkt sehr langsam voran und bisher gibt es nur wenige kommerzielle Produkte, die TSV-Technologien für hohe Frequenzen bzw. Datenraten nutzen. Als Beispiel wäre der VIRTEX-7 FPGA der Firma Xilinx zu nennen, welcher eine 2.5D-Integration mittels Interposer unter Anwendung der CoWoS-Technologie von TSMC nutzt [12], um verschiedene Chips sowie passive Bauelemente in einem System miteinander zu verbinden (Abbildung 43). Außerdem werden wie in Abbildung 43 dargestellt, zunehmend Speicher durch 3D Stacking miteinander kombiniert, um höhere Bandbreiten und geringere Energieverbräuche von Speicher zu ermöglichen [13].

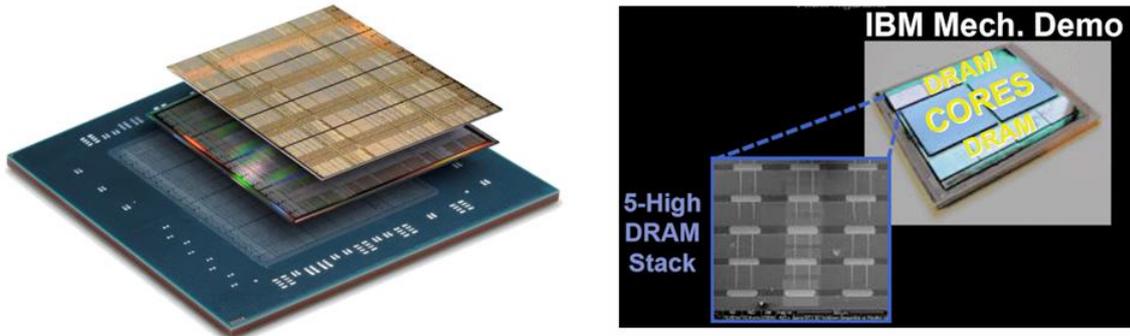


Abbildung 43: 2.5D Integration für Xilinx VIRTEX-7 FPGA [12] und 3D Integration für 3D DRAM von IBM [13].

Die Anwendung von TSVs für das Grounding von HF-Schaltkreisen wurde speziell von den Firmen IBM und TowerJazz verfolgt. Tower Jazz entwickelt derzeit ebenfalls eine TSV Technologie in ihrem 0.18  $\mu\text{m}$  SiGe BiCMOS Prozess, um damit verbessertes Grounding für HF-Schaltkreise zu ermöglichen [14]. Die Entwicklung der TSVs ist derzeit noch im Prototypen Status und soll danach ebenfalls Kunden zur Verfügung gestellt werden. Es wird deutlich, dass ein großes Interesse an der Entwicklung von TSVs besteht aber bisher nur wenige praktikable und kosteneffiziente Lösungen zur Verfügung stehen. Bezüglich der Entwicklung des WuRx wird auf die Berichte der anderen Partner verwiesen, da ein direkter Vergleich der Schaltkreisperformance mit anderen Einrichtungen nicht sinnvoll erscheint.

## 9. Erfolge und geplante Veröffentlichungen der Forschungsergebnisse

- [IHP1] M. Wietstruck, M. Kaynak, St. Marschmeyer, A. Göritz, S. Tolunay, S. Kurth, B. Tillack, „High-Frequency Optimization of BiCMOS Embedded Through-Silicon Vias for Backside-Integrated MEMS“, Proc. MEMSWAVE 2013, (2013)
- [IHP2] M. Wietstruck, M. Kaynak, R. Scholz, B. Tillack, „BiCMOS-integrierte RF-MEMS Technologien für mm-Wellen Anwendungen“, Proc. MST Workshop (2013), (2013)
- [IHP3] M. Wietstruck, M. Kaynak, St. Marschmeyer, A. Göritz, S. Tolunay, B. Tillack, „Monolithisch-integrierte Through-Silicon Vias für Grounding, Power Distribution Networks und System-on-Chip Anwendungen“, Proc. Mikrosystemtechnik Kongress 2013, 666 (2013)
- [IHP4] M. Wietstruck, M. Kaynak, St. Marschmeyer, Ch. Wipf, I. Tekin, K. Zoschke, B. Tillack, Modeling and Optimization of BiCMOS Embedded Through-Silicon Vias for RF-Grounding, Proc. 14<sup>th</sup> Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF 2014), 83 (2014)
- [IHP5] M. Wietstruck, M. Kaynak, St. Marschmeyer, K. Zoschke, B. Tillack, „Integration of Through-Silicon Vias in a High Performance BiCMOS Technology for RF-Grounding and 3D-Integration“, Proc. Design, Automation & Test in Europe (DATE 2014) (2014)
- [IHP6] St. Marschmeyer, J. Berthold, A. Krüger, M. Lisker, A. Scheit, S. Schulze, A. Trusch, M. Wietstruck, D. Wolansky, „Modular Integration of Annular TSV Structures filled with Tungsten in a 0.25  $\mu\text{m}$  BiCMOS Technology“, Microelectronic Engineering, vol. 137, p. 153 (2015)
- [IHP7] St. Marschmeyer, J. Berthold, A. Krüger, M. Lisker, A. Scheit, S. Schulze, A. Trusch, M. Wietstruck, D. Wolansky, „Modular Integration of Annular TSV Structures filled with Tungsten in a 0.25  $\mu\text{m}$  BiCMOS Technology“, Proc. MAM 2014, abstr. book, 181 (2014)
- [IHP8] M. Nenadovic, N. Fiebig (1), G. Fischer (2), „Low-Power, High-Gain Transimpedance Amplifier for Processing Ultra Low AC Current MEMS Output“, Proc. 1<sup>st</sup> URSI Atlantic Radio Science Conference (AT-RASC), 2015

## Anlage: Fortschreibung des Verwertungsplanes:

### Wirtschaftliche Erfolgsaussichten nach Projektende

Die Ergebnisse des NANETT Projektes wurden unmittelbar in den MPW Prototyping Service des IHPs überführt. Seit 2013 wird das zusätzliche Modul „TSV“ regelmäßig im MPW-Shuttle Service angeboten. Das Angebot für die Nutzung des TSV Moduls im MPW-Shuttle Service ist in Abbildung 44 dargestellt, wobei das TSV Modul rot markiert ist.

#### 2.2.2 Schedule for modules

TAPE IN	Shipment (standard)	GD	H3P	RF-MEMS switch	LBE <sup>1</sup>	TSV <sup>2</sup>	InP1 <sup>4</sup>
Nov 03, 14	March 15				x	x	
Feb 16, 15	May 25, 15	x			x		
Apr 13, 15	August 15	(x)	x		x	x	x
Aug 24, 15	Jan 16			x	x		
Sep 07, 15	Jan 18, 16	x	(x)		x	x	
Nov 02, 15	March 16	(x)	x <sup>3</sup>		x	x	
Dec 14, 15	May 16			x	x	x	

<sup>1</sup> Local Backside Etching shipment 21 days later than standard shipment

<sup>2</sup> TSV shipment 55 days later

<sup>3</sup> Run without priority

<sup>4</sup> InP1 Shipment 80 days later

#### 2.2.3 BEOL (only) runs/SG25\_PIC runs

TAPE IN	Shipment	SG25	SG13	RF-MEMS switch	LBE	SG25_PIC	TSV
Mar 23, 15	June 15	x			x		x
Aug 03, 15	Oct 15		x	x	x		x
Oct 05, 15	Dec 15	x			x	x	x

Abbildung 44 Auszug aus der Planung des MPW Shuttle Service des IHPs für 2015

Dabei erfolgt die Integration der verschiedenen Komponenten und Prozessschritte in die 0.25µm bzw. 0.13µm Technologie modular. Das heißt, dass aufbauend auf die 0.25µm und 0.13µm BiCMOS-Technologien zusätzliche Module integriert werden können. Aufgrund der guten Resonanz von internen und externen Forschungspartnern und kommerziellen Kunden wird erwartet, dass die Module auch in Zukunft von entscheidendem Interesse sind und damit neue Anwendungen und kommerzielle, über den MPW-Service angebotene Technologie-Module ermöglicht werden. Dies führt zur Einnahme von zusätzlichen Drittmitteln und trägt damit zum wirtschaftlichen Erfolg des IHP bei. Derzeit gibt es ein verstärktes Interesse speziell für die Thematik der heterogenen 3D-Integration. Damit werden voraussichtlich auch in Zukunft neue projektbasierte Forschungsförderungen ermöglicht, die auf die im NANETT Projekt entwickelten Technologien aufbauen.

## **Wissenschaftliche und technische Erfolgsaussichten nach Projektende**

Die Projektergebnisse im Bereich Through-Silicon Via Integration und Schaltungsentwicklung für Low-Power Radios sind essentiell für zukünftige Forschungsthemen. Aufgrund der gewonnenen Erfahrungen im Bereich Design und Integration von TSVs können zusätzliche Komponenten und Prozesse in der BiCMOS Technologie bei entscheidender Reduzierung der Entwicklungszeit realisiert werden. Aufbauend auf den Ergebnissen im NANETT Projekt konnten die nationalen/internationalen Beziehungen ausgebaut werden, wodurch weitere Forschungsförderungen im Bereich TSV ermöglicht wurden.

Die wissenschaftlichen Ergebnisse ermöglichen die Arbeit in neuen Forschungsgebieten zum Beispiel im Bereich der 3D-Integration. Das Forschungsgebiet der 3D-Integration zielt auf eine Realisierung von 3D-Systemen mit verbesserten elektrischen Eigenschaften bei kleinsten Abmessungen ab. Dabei sollen Mikrochips aus unterschiedlichen Technologien und Funktionalitäten (Prozessoren, Speicher, Sensoren, ...) durch Stapelung der Einzelchips miteinander kombiniert werden. Eine entscheidende Komponente sind die im Projekt entwickelten Through-Silicon Vias zur elektrischen Verbindung von der Vorder- zur Rückseite des SiGe HF-Chips. Zusammen mit einer stromsparenden Schaltungsentwicklung können somit miniaturisierte und intelligente Sensorknoten realisiert werden. Aufbauend auf diesen Ansätzen haben sich weitere Projektideen ergeben. Eine Weiterführung der Forschungsaktivitäten könnte in dem in 2015 gestellten Projektantrag für das Verbundprojekt „FAST-Imaging“ realisiert werden.