



## **Titel:**

# **GaN Dioden und selbstsperrende GaN Schalttransistoren für effiziente Leistungswandler (GaN Powerswitch)**

- Zuwendungsempfänger:** Ferdinand-Braun-Institut,  
Leibniz-Institut für Höchstfrequenztechnik  
im Forschungsverbund Berlin e.V.  
Gustav-Kirchhoff-Str. 4  
12489 Berlin
- Förderkennzeichen:** 13N10908
- Vorhabensbezeichnung:** Verbundprojekt  
Leistungswandler in GaN-Technologie zur Erschließung  
ungenutzter Energiepotentiale (PowerGaNPlus)  
Teilvorhaben:  
**GaN Dioden und selbstsperrende GaN  
Schalttransistoren für effiziente Leistungswandler  
(GaN Powerswitch)**  
im BMBF-Verbundvorhaben  
Leistungselektronik zur Energieeffizienz-Steigerung (LES)
- Laufzeit des Vorhabens:** 1. 06. 2010 bis 31. 05. 2013

## **Schlussbericht**

- Institutsleiter:** Prof. Dr. G. Tränkle
- Geschäftsbereichsleiter:** Dr.-Ing. Joachim Würfl
- Projektleiter:** Dr. Oliver Hilt
- Bearbeiter:** Dr. Eldat Bahat-Treidel  
Przemyslaw Kotara  
Rimma Zhytnytska  
Dr. Frank Brunner  
Dr. Arne Knauer

## Inhalt:

Schlussbericht .....	1
1 Kurzdarstellung / Aufgabenstellung und Rahmenbedingungen .....	4
1.1 Aufgabenstellung .....	4
1.2 Voraussetzungen .....	4
1.3 Planung und Ablauf .....	4
1.4 Wissenschaftlich / technischer Stand vor Projektbeginn .....	5
1.5 Zusammenarbeit mit anderen Stellen .....	5
1.5.1 Bauteillieferungen an Projektpartner .....	5
2 Ausführliche Darstellung der wissenschaftlich-technischen Ergebnisse .....	7
2.1 Einleitung und Übersicht .....	7
2.2 Selbstsperrende Hochspannungsschalttransistoren .....	7
2.2.1 p-GaN Gate Technologie und ihre DC-Eigenschaften .....	7
2.2.2 Technologien für hochspannungsfeste Transistoren .....	9
2.2.2.1 Vertikale Isolation .....	10
2.2.3 Transistoren mit kleinem Einschaltwiderstand .....	11
2.2.3.1 85 mΩ / 400 V Transistor mit GaN:C-Puffer .....	11
2.2.3.2 100 mΩ / 600 V Transistor mit GaN:Fe-Puffer .....	12
2.2.4 Schaltverhalten und dynamische Charakterisierung .....	14
2.2.5 Verhalten bei hohen Temperaturen .....	19
2.2.6 Selbstsperrende GaN-Transistoren auf Si-Substraten .....	20
2.2.7 Belastungstests .....	22
2.3 Laterale GaN Schottkydioden mit geringer Einsatzspannung .....	23
2.3.1 Recess-Schottkylanode .....	23
2.3.2 Diodenverhalten auf unterschiedlichen Substraten .....	24
2.3.3 Dioden mit geringem Einschaltwiderstand .....	25
2.3.4 Schaltverhalten .....	28
2.3.5 Verhalten bei hohen Temperaturen .....	29
2.3.6 Belastungstests .....	30
2.4 Zusammenfassung und Ausblick .....	31
2.5 Ergebnisse Dritter .....	32
3 Verwertungsplan .....	33
3.1 Positionen des zahlenmäßigen Nachweises .....	33
3.2 Notwendigkeit und Angemessenheit der Arbeiten .....	34
3.3 Fortschreibung des Verwertungsplans .....	34
3.3.1 Erfindungen, Schutzrechtsanmeldungen und erteilte Schutzrechte .....	36
3.3.2 Publikationen .....	36
3.3.2.1 Referierte Zeitschriften .....	36
3.3.2.2 Konferenzbeiträge .....	37
3.3.2.3 Eingeladene Vorträge .....	38
3.3.2.4 Abschlussarbeiten .....	40

### Abbildungsverzeichnis:

Abbildung 2.2 1:	Schematischer Aufbau einer p-GaN Gate GaN-HFET (links).....	8
Abbildung 2.2 2:	Transfercharakteristik und Gatestrom für p-GaN Gate HFETs .....	9
Abbildung 2.2 3:	Durchbruchspannung von p-GaN Gate HFETs.....	9
Abbildung 2.2 4:	Selbstsperrender 0.8 $\Omega$ / 1000 V GaN-Transistor mit p-GaN Gate.....	10
Abbildung 2.2 5:	Vertikaler Leckstrom von der Halbleiteroberfläche zum Substrat. ....	10
Abbildung 2.2 6:	Aufgebauter 85 m $\Omega$ / 400 V GaN-Schalttransistor .....	11
Abbildung 2.2 7:	Gepulstes Ausgangskennlinienfeld eines 85 m $\Omega$ / 400 V GaN Schalttransistors in p-GaN Gate Technologie und der extrahierte Einschaltwiderstand für verschieden Pulslängen .....	11
Abbildung 2.2 8:	Chiplayout und Chipfoto eines selbstsperrenden 100 m $\Omega$ / 600 V GaN-Transistors. ....	12
Abbildung 2.2 9:	Transfercharakteristik für unterschiedliche Drainspannungen eines selbstsperrenden GaN-Transistors mit 134 mm Gateweite . ....	13
Abbildung 2.2 10:	Ausgangskennlinienfeld und extrahierter Widerstand für 5 A Drainstrom für selbstsperrende p-GaN-Gate Transistoren mit 134 mm Gateweite und GaN:Fe-Puffer .....	13
Abbildung 2.2 11:	Drainleckstrom eines gesperrten Transistors (134 mm Gateweite)....	13
Abbildung 2.2 12:	12 A / 100 V Einschalttransienten und Ausschalttransient... ..	14
Abbildung 2.2 13:	6 A / 200 V Schalttransienten während des Einschaltens und Ausschaltens eines p-GaN-GateTransistors.....	15
Abbildung 2.2 14:	1 A / 1000 V Schaltmessplatz mit ohmscher Last zur dynamischen Charakterisierung der Schalttransistoren.....	15
Abbildung 2.2 15:	1 A / 350 V Schalttransient mit ohmscher Last (links) für den 85 m $\Omega$ / 400 V Transistor.....	16
Abbildung 2.2 16:	Gepulste on-state Ausgangskennlinien für Transistoren mit drei unterschiedlichen Pufferzusammensetzungen.....	16
Abbildung 2.2 17:	Zusammenhang zwischen Erhöhung des dynamischen Einschalt- widerstands und der Spannungsfestigkeit für unterschiedliche GaN-Pufferzusammensetzungen. ....	17
Abbildung 2.2 18:	Dynamischer $R_{ON}$ direkt nach dem Einschalten des Transistor nach 100 $\mu$ s langem 250 V Sperrspannungsstress. ....	18
Abbildung 2.2 19:	Zunahme des dynamischen $R_{ON}$ als Funktions des Sperrspannungsstress.....	18
Abbildung 2.2 20:	In der Ausgangskapazität gespeicherte Ladung und Energie des 100 m $\Omega$ / 400 V Transistors mit GaN:Fe-Puffer. ....	18
Abbildung 2.2 21:	Transferkennlinien und Ausgangskennlinien des eingeschalteten Transistors für Substrattemperaturen von 25 $^{\circ}$ C bis 200 $^{\circ}$ C. ....	19
Abbildung 2.2 22:	Relative $R_{ON}$ -Zunahme mit der Temperatur .....	20

Abbildung 2.2 23:	Transferkennlinien von 40 über einen 3" GaN-auf-Si-Wafer verteilten Testtransistoren in selbstsperrender p-GaN-Gate Technologie. ....	21
Abbildung 2.2 24:	Skalierung der Durchbruchspannung mit dem Gate-Drain-Abstand ...	21
Abbildung 2.2 25:	Leckstrom zwischen einem ohmschen (Source- oder Drain-) Kontakt und dem Si-Substrat (Masse). ....	22
Abbildung 2.2 26:	Step-Stress-Test eines 22 mm weiten selbstsperrenden p-GaN-Gate-Transistors bis 870 V. ....	23
Abbildung 2.3 1:	Schematischer Aufbau einer lateralen GaN-Diode mit seitlich an das 2DEG ankontakterter Anode (Recess-Schottkyanode).....	23
Abbildung 2.3 2:	Flusskennlinien von GaN-Dioden mit seitlich („with recess“) und senkrecht („without recess“) ankontakterter Anode. ....	24
Abbildung 2.3 3:	IU-Kennlinien in Fluss- und Sperrrichtung für Dioden auf Saphirsubstrat , n-SiC-Substrat und Si-Substrat.....	25
Abbildung 2.3 4:	Laterale 2 A / 600 V GaN-Diode. ....	25
Abbildung 2.3 5:	Flusskennlinie und daraus abgeleiteter differentieller Widerstand.....	26
Abbildung 2.3 6:	Laterale 6 A / 600 V GaN-Diode mit 134 mm Kanalweite in einem Testgehäuse .....	26
Abbildung 2.3 7:	Flusskennlinien einer 134 mm FBH GaN Diode im Vergleich mit einer kommerziellen SiC Schottkydiode von Cree .....	27
Abbildung 2.3 8:	Sperrkennlinien für drei Schottkydioden mit 134 mm Kanalweite.....	28
Abbildung 2.3 9:	2 A / 530 V Schalttransienten während des Ausschaltens einer lateralen 2 A / 600 V GaN-Diode im Vergleich zu einer 3 A / 600 V SiC Schottkydiode von Cree .....	28
Abbildung 2.3 10:	2 A / 300 V Schalttransienten eines Doppelpulsmessplatzes mit einem GaN-HEMT und einer GaN-Schottkydiode bei 25°C, 125°C und 175°C. ....	29
Abbildung 2.3 11:	Temperaturabhängigkeit der Diodenkennlinien.....	30
Abbildung 2.3 12:	Step-Stress-Test von 0.5 Ω GaN-Schottkydioden auf n-SiC Substrat und Si-Substrat.....	30

**Verzeichnis der Tabellen:**

Tabelle 2.2 1:	Vergleich von QG x RON als Kennzahl für die Schalteffizienz.....	14
Tabelle 2.3 1:	Vergleich der Kenngrößen in Flussrichtung für die 6 A / 600 V Dioden vom FBH und von Cree. ....	27
Tabelle 2.3 2:	Vergleich der kapazitiven Diodenladungen bei 25°C und 175 °C für die FBH GaN-Diode und eine 2 A / 600 V SiC-Schottkydiode von Cree .....	29
Tabelle 3.1 1:	Zusammenfassung der wichtigsten Positionen des zahlenmäßigen Nachweises.....	33

## 1 Kurzdarstellung / Aufgabenstellung und Rahmenbedingungen

### 1.1 Aufgabenstellung

Ziel des Projekts war, selbstsperrende GaN-basierte Schalttransistoren mit 600 V Spannungsfestigkeit und 30 A Stromtragfähigkeit zu entwickeln. Ferner sollte für den Konvertereinsatz neben dem GaN-basierten Schalter auch eine GaN-basierte Diode entwickelt werden. Mit Blick auf die Kommerzialisierung der Bauelemente war auch die Übertragung der Halbleitertechnologie von GaN-auf-SiC Substraten auf GaN-auf-Si Substrate eine Aufgabe.

### 1.2 Voraussetzungen

Zu Beginn des Projekts existierte am FBH eine Technologie zur Realisierung von GaN-basierten Mikrowellenleistungsverstärkern (Powerbars) für Anwendungen im L-Band Bereich, die u.a. durch das Projekt Projekt (01 BU 381 Technologie- und Epitaxieentwicklung von AlGaIn/GaN HFETs: Materialgüte, innovative Prozesstechnologie und Zuverlässigkeit“ gefördert wurde. Die Technologie zur Realisierung von GaN-MMICs war in den Grundzügen vorhanden und wurde mit dem Projekt 01 BU 605 (GaN-MMICs für Class-S Leistungsverstärker, GaN-Switchmode) weiterentwickelt.

Die Entwicklung der GaN-Transistortechnologie für Hochspannungsschaltanwendungen wurde durch die Firma TESAT Spacecom und die DLR unterstützt. So gab es zum Projektstart am FBH erste Ergebnisse zu selbstsperrenden GaN-HFETs auf Basis der p-GaN Gatetechnologie mit Einsatzspannungen zwischen 1 V und 2 V, mit maximal 10 A Stromtragfähigkeit und mit 380 V Durchbruchspannung. An selbstleitenden Transistoren wurden GaN-Puffer mit 1000 V Durchbruchspannung entwickelt. GaN-basierte Dioden lagen noch keine vor, allerdings lag ein GaN-Transistor mit einem Schottkykontakt als Drain vor, der das Potential der anvisierten GaN Schottkydioden mit zurückgesetzter Anode aufzeigte.

### 1.3 Planung und Ablauf

Die Projektarbeiten wurden in enger Abstimmung mit den Projektpartnern mit dem Ziel durchgeführt, termingerecht die einzelnen Bauelemente für den Aufbau der Demonstratoren zu liefern. GaN-basierte Halbleiterschichten auf 3“ SiC-Substraten wurden vollständig im FBH mittels MOCVD gewachsen. GaN-basierte HFET-Strukturen auf 3“ Si-Substraten wurden von der Firma EpiGaIn gekauft und für die selbstsperrenden Transistoren im FBH mit einer p-dotierten GaN-Schicht überwachsen. In der Regel wurden pro Jahr zwei bis drei Prozessiterationen mit entweder verbesserten Prozessmodulen oder mit optimierten Halbleiterschichten durchgeführt. Die entstandenen Bauelemente und Teststrukturen wurden im Waferverbund am FBH elektrisch sowohl statisch als auch dynamisch charakterisiert. Nach dem Vereinzeln wurden die Chips an die Projektpartner zur weiteren Verwertung und Charakterisierung geliefert, siehe Kapitel 1.5.1. Weitere Chips wurden am FBH für Schaltexperimente in Testgehäusen aufgebaut. Die Schaltexperimente wurden am FBH und an der TU Berlin, FG Leistungselektronik durchgeführt.

## 1.4 Wissenschaftlich / technischer Stand vor Projektbeginn

Zum Projektstart gab es am FBH erste Ergebnisse zu selbstsperrenden GaN-HFETs auf Basis der p-GaN Gatetechnologie mit Einsatzspannungen zwischen 1 V und 2 V, mit maximal 10 A Stromtragfähigkeit und mit 380 V Durchbruchspannung. An selbstleitenden Transistoren wurden GaN-Puffer mit 1000 V Durchbruchspannung entwickelt. GaN-basierte Dioden lagen noch keine vor, allerdings lag ein GaN-Transistor mit einem Schottkykontakt als Drain vor, der das Potential der anvisierten GaN Schottkydioden mit zurückgesetzter Anode aufzeigte.

## 1.5 Zusammenarbeit mit anderen Stellen

Die Projektarbeiten wurden in Kooperation mit folgenden Institutionen durchgeführt:

- Robert Bosch GmbH Reutlingen
  - Bauelementcharakterisierung und Belastungstests
- IXYS Semiconductor GmbH, Lampertheim
  - Aufbau- und Verbindungstechnik
- LEB, Uni Erlangen:
  - Einsatz der FBH-Dioden in einem Demonstrationskonverter
- Fraunhofer IAF, Freiburg:
  - Abstimmung der Bauelementmetallisierungen
- UMS GmbH, Ulm:
  - Diskussion der Bauelementtechnologien
- TU Berlin, FG Leistungselektronik
  - Bauelementcharakterisierung bei großen Strömen
- EpiGaN, Hasselt/Begien
  - Wachstum von GaN-auf-Si Wafern

### 1.5.1 Bauteillieferungen an Projektpartner

Folgende Bauteile wurden an die Projektpartner geliefert:

- Juli 2011: 50 Stück Diodenchips mit 0.5  $\Omega$  / 600 V Dioden auf n-SiC Substrat wurden an IXYS geliefert.
- Juli 2011: 50 Stück Diodenchips mit 0.5  $\Omega$  / 600 V Dioden auf n-SiC Substrat wurden an Bosch geliefert.
- Oktober 2011: 40 Chips als Lötummies wurden an IXYS geliefert

- Januar 2012: 30 Stück Transistorchips mit  $90 \text{ m}\Omega$  / 400 V Transistoren auf SiC-Substrat wurden an IXYS geliefert.
- Januar 2012: 59 Stück Diodenchips mit  $0.5 \text{ }\Omega$  / 600 V Dioden auf Si-Substrat wurden an IXYS geliefert.
- Januar 2012 60 Stück Diodenchips mit  $0.5 \text{ }\Omega$  / 600 V Dioden auf Si-Substrat wurden an Bosch geliefert.
- Oktober 2012: 80 Stück Diodenchips mit  $0.5 \text{ }\Omega$  / 600 V Dioden auf n-SiC Substrat wurden an IXYS geliefert.
- Juni 2013: 10 Stück Transistorchips mit selbstsperrenden  $100 \text{ m}\Omega$  / 600 V Transistoren mit geringerem dynamischen Einschaltwiderstand wurden an Bosch geliefert.
- Juli 2013: 10 Stück Diodenchips mit  $100 \text{ m}\Omega$  / 600 V Dioden auf n-SiC Substrat wurden an Bosch geliefert.

Der im Rahmen dieses Projekts vom Projektpartner LEB, Uni Erlangen aufgebaute kompakte Boostkonverter wurde mit den gelieferten  $0.5 \text{ }\Omega$  / 600 V Dioden bestückt.

## 2 Ausführliche Darstellung der wissenschaftlich-technischen Ergebnisse

### 2.1 Einleitung und Übersicht

Kapitel 2.2 berichtet über die Arbeiten zu den selbstsperrenden Transistoren und Kapitel 2.3 berichtet über die Arbeiten zu den Dioden. Bauelemente beider Typen wurden zum Einhäusen und zum Aufbau von Halbbrückenmodulen an den Projektpartner IXYS geliefert. Weitere Dioden und Transistorchips wurden zur Charakterisierung an den Projektpartner Bosch geliefert.

Bei der Entwicklung der Transistortechnologie zeigte sich im Projektverlauf, dass der erhöhte dynamische Einschaltwiderstand während des Schaltbetriebs die Einsetzbarkeit der zuerst favorisierten, auf einem kohlenstoffdotierten GaN-Puffer basierenden Transistoren, signifikant einschränkt (Kapitel 2.2.4). Dies erforderte intensive Arbeiten zur Entwicklung einer neuen weitgehend dispersionsfreien Pufferschicht während der Projektlaufzeit. Mit dem in Kapitel 2.2.3.2 vorgestellten auf einem eisendotierten GaN-Puffer basierenden selbstsperrenden Transistor konnte dieses Problem gelöst werden.

### 2.2 Selbstsperrende Hochspannungsschaltransistoren

GaN-Schaltransistoren finden nur dann Eingang in den Leistungselektronikmarkt, wenn sie selbstsperrendes Verhalten aufweisen. Allerdings weisen GaN HFETs von Natur aus selbstleitendes Verhalten auf. Das FBH übertrug für dieses Projekt die auf AlGaIn-Pufferstrukturen entwickelte p-GaN Gate Technologie für selbstsperrende GaN-HFETs auch auf HFET Strukturen mit kohlenstoffdotiertem Puffer (GaN:C) und auf HFET Strukturen mit eisendotiertem GaN-Puffer (GaN:Fe).

Um die nötigen Spannungsfestigkeiten bis 1000 V zu erhalten, wurde unterhalb des GaN-Kanals entweder ein dotierter GaN-Puffer (GaN:C oder GaN:Fe) oder ein AlGaIn-Puffer eingesetzt.

#### 2.2.1 p-GaN Gate Technologie und ihre DC-Eigenschaften

Durch den Einsatz von p-dotiertem GaN als Gate (Abbildung 2.2-1, links) bildet sich auch ohne angelegte positive Spannung am Gate eine ausreichend große Raumladungszone, die das zweidimensionale Elektronengas (2DEG) unterhalb des Gates verdrängt und somit den Transistorkanal unterbricht. Technologisch können derartige Gates mit 1.3  $\mu\text{m}$  Gatelänge hergestellt werden (Abbildung 2.2-1, rechts).

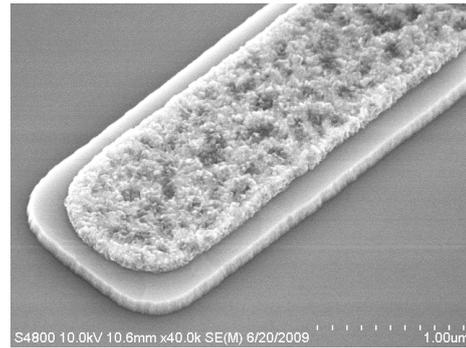
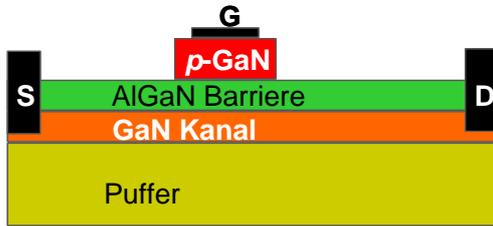


Abbildung 2.2-1: Schematischer Aufbau einer p-GaN Gate GaN-HFET (links). Elektronenmikroskopaufnahme eines p-GaN Gates auf der AlGaN-Barrierenoberfläche (rechts). Auf dem p-GaN-Gate befindet sich die Metallschicht für den ohmschen Kontakt

Die wesentlichen statischen Eigenschaften der p-GaN-Gate Transistoren sind aus ihrer Transferkennlinie ablesbar, die für drei verschiedene Pufferzusammensetzungen in Abbildung 2.2-2 dargestellt ist. Durch das p-GaN Gate wird die Einsatzspannung des Transistors auf +1 V und mehr verschoben. Das Gate kann bis 6.5 V und, wenn der dann ansteigende Gatestrom akzeptabel ist, auch darüber hinaus angesteuert werden. Oberhalb  $V_{GS} = 5 - 6$  V steigt der Gatestrom aufgrund der sich langsam öffnenden pin-Gatediode auf  $I_G > 10 \mu\text{A}/\text{mm}$  an, so dass im Schaltbetrieb 6 V Gatespannung für den eingeschalteten Transistorzustand nicht überschritten werden sollte. Der Drainleckstrom für den ausgeschalteten Transistor bei  $V_{GS} = 0$  V schwankt zwischen  $0.05 - 10 \mu\text{A}/\text{mm}$ . Teilweise ist bei  $V_{GS} = 0$  V der Transistor noch nicht vollständig geschlossen, so dass sich bei negativer Gatespannung ein noch geringerer Gateleckstrom ergibt. Durch eine Feinabstimmung der Dicke und der Al-Konzentration der AlGaN-Barriere kann aber die Einsatzspannung (auf Kosten des Einschaltwiderstands) zu positiveren Werten hin verschoben werden.

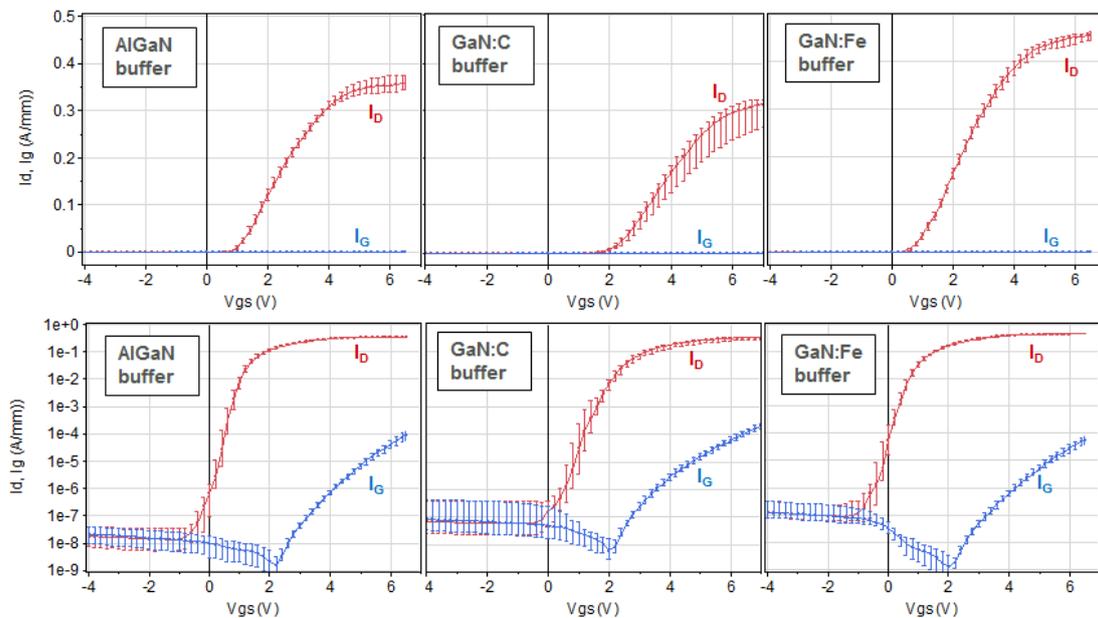


Abbildung 2.2-2: Transfercharakteristik (rot) und Gatestrom (blau) für p-GaN Gate HFETs mit unterschiedlichen Pufferzusammensetzungen in linearer (oben) und logarithmischer Darstellung (unten). Die Mediane und Quantilen von jeweils 30 Transistoren auf 3" Wafern sind dargestellt. Die Transistoren haben 2.1 mm Gateweite und einen Gate-Drain-Abstand von 15  $\mu\text{m}$ .  $V_{\text{DS}} = 10 \text{ V}$ .

Generell zeigt Abbildung 2.2-2, dass mit der p-GaN Gate Technologie selbstsperrende Transistoren auf unterschiedlichen Pufferstrukturen herstellbar sind. Somit kann die Pufferstruktur gemäß anderer Anforderungen gewählt werden.

## 2.2.2 Technologien für hochspannungsfeste Transistoren

Hohe Sperrspannungen können mit GaN-HFETs nur realisiert werden, wenn die Elektronen im gesperrten Transistoren nicht den Transistorkanal zum Puffer hin verlassen können um so die Raumladungszone des geschlossenen Gates zu umgehen, man spricht vom punch-through oder short-channel Effekt. Durch eine rückseitige Barriere zum Puffer kann dies verhindert werden. Pufferstrukturen auf Basis von kompensations-dotiertem GaN, wie GaN:C ode GaN:Fe oder aber AlGaN-Puffer weisen derartige Barrieren auf. Ist der Elektronentransport auf den Transistorkanal eingegrenzt, nimmt die Durchbruchspannung eines GaN-HFETs mit zunehmendem Gate-Drain-Abstand zu.

Abbildung 2.2-3:  
Durchbruchspannung von p-GaN Gate HFETs als Funktion des Gate-Drain-Abstands,  $d_{\text{GD}}$ . Dargestellt sind die Wafer-Mediane und Percentilen von Testtransistoren mit 0.25 mm Gateweite für drei unterschiedliche Pufferstrukturen. 1000 V ist die obere Spannungsgrenze des Messplatzes.

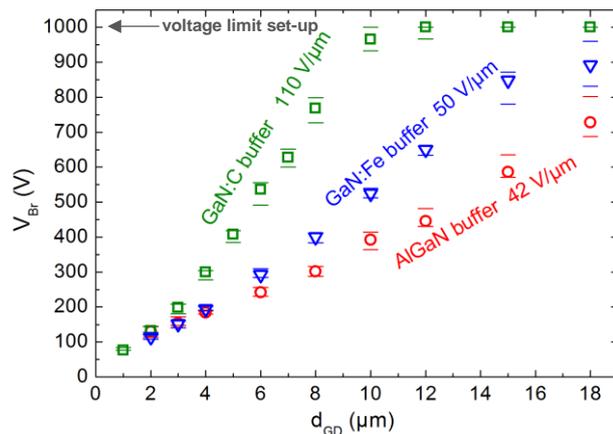


Abbildung 2.2-3 zeigt, wie sowohl für die beiden dotierten GaN-Pufferstrukturen (GaN:C, GaN:Fe) als auch für die AlGaN-Pufferstruktur die Durchbruchspannung annähernd proportional mit dem Gate-Drain-Abstand zunimmt. Die Spannungsfestigkeit der drei Pufferstrukturen unterscheidet sich signifikant, sie liegt für den AlGaN-Puffer bei 42  $\text{V}/\mu\text{m}$  Gate-Drain-Abstand, für den GaN:Fe-Puffer bei 50  $\text{V}/\mu\text{m}$  und für den GaN:C-Puffer bei 110  $\text{V}/\mu\text{m}$ . Offensichtlich ermöglicht der kohlenstoffdotierte Puffer die höchste Transistorspannungsfestigkeit, die bereits bei  $d_{\text{GD}} = 10 \mu\text{m}$  1000 V erreicht.

Ein auf dem GaN:C-Puffer beruhender selbstsperrender Transistor mit 22 mm Gateweite, 15  $\mu\text{m}$  Gate-Drainabstand bestätigt die hervorragenden Sperreigenschaften des GaN:C Puffers, siehe Abbildung 2.2-4. Der Transistor weist eine Einsatzspannung von 1.5 V und hat im eingeschalteten Zustand ( $V_{\text{GS}} = 5 \text{ V}$ ) einen Einschaltwiderstand von 0.8  $\Omega$  und einen maximalen Pulsstrom von 5 A. Er sperrt bis 1000 V mit Leckströmen  $< 25 \mu\text{A}$  oder  $< 1.2 \mu\text{A}/\text{mm}$ .

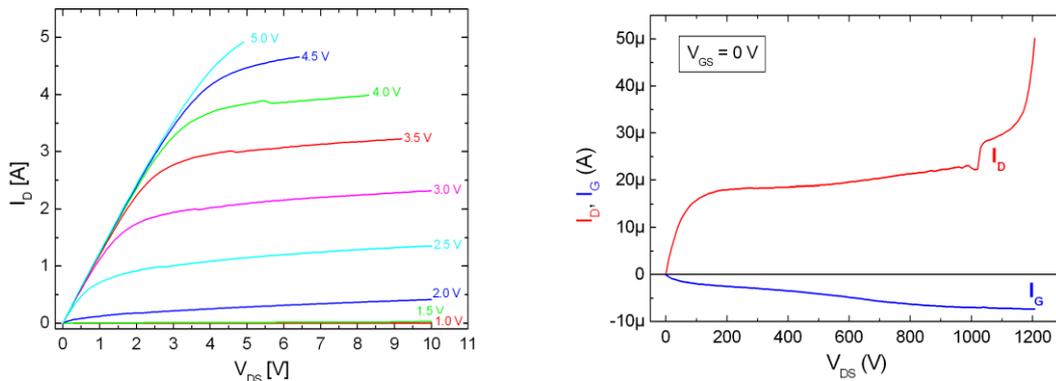


Abbildung 2.2-4: Selbstsperrender 0.8  $\Omega$  / 1000 V GaN-Transistor mit p-GaN Gate.  
Links: Ausgangskennlinienfeld; rechts: Drain und Gateleakströme des gesperrten Transistors bei 0 V Gatespannung

### 2.2.2.1 Vertikale Isolation

Da für das Projekt leitfähige Substrate eingesetzt werden, ist die vertikale Isolation der Halbleiterschichten für die Spannungsfestigkeit der Transistoren wichtig.

Abbildung 2.2-5: Vertikaler Leckstrom von der Halbleiteroberfläche zum Substrat.

Der Strom von einem Drainpad durch die GaN-basierten Halbleiterschichten hindurch zum auf Masse liegenden leitfähigen n-SiC Substrat als Funktion der Drainspannung ist als Wafermedian für die drei unterschiedlichen Puffertypen dargestellt.

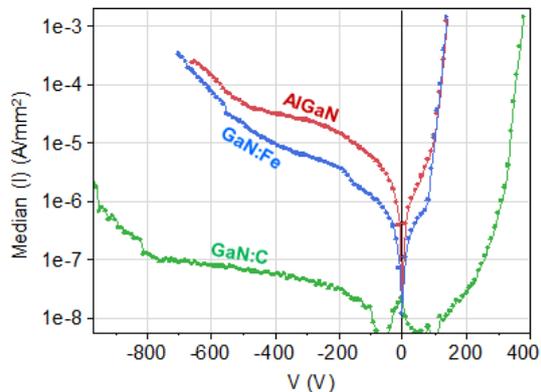


Abbildung 2.2-5 zeigt, dass bei auf Source-Potential liegendem Substrat die (positive) Drainspannung auf etwa 350 V für den GaN:C-Puffer und nur auf etwa 100 V für den GaN:Fe-Puffer bzw. den AlGaIn-Puffer begrenzt ist (Spannungswerte für  $1e-4$  A/mm<sup>2</sup>). Bei auf Drain-Potential liegendem Substrat reicht die vertikale Spannungsfestigkeit des GaN:Fe-Puffers und des AlGaIn-Puffers bis etwa 600 V und für den GaN:C-Puffer bis 1000 V. Bei einem elektrisch isoliertem Substrat addieren sich die Spannungsfestigkeiten beider Polaritäten. Die signifikant bessere vertikale Isolation für den kohlenstoffdotierten Puffer ist offensichtlich.

Die vertikalen Leckströme für die eingesetzten GaN-auf-Si Wafer sind in Abbildung 2.2-25 dargestellt. Hier reicht die vertikale Isolation für Source-verbundenes Substrat bis 350 V und für Drain-verbundenes Substrat bis etwa 300 V.

## 2.2.3 Transistoren mit kleinem Einschaltwiderstand

### 2.2.3.1 85 mΩ / 400 V Transistor mit GaN:C-Puffer

Auf Basis der guten lateralen und vertikalen Isolation des GaN:C-Puffers wurde ein Schalttransistor für 10 A und 600 V Sperrfähigkeit entworfen und realisiert (Abbildung 2.2-6). Der Transistor auf dem 4.5 mm x 2.4 mm großen n-SiC Substrat weist 155 mm Gateweite und 11 μm Gate-Drain-Abstand auf. Der Transistor liefert einen maximalen Pulsstrom 75 A und weist bis etwa 20 A einen Einschaltwiderstand von 85 mΩ auf (Abbildung 2.2-7). Aufgrund der gewählten  $d_{GD} = 11 \mu\text{m}$  wurde eine Spannungsfestigkeit von 600 - 700 V erwartet. Tatsächlich war die Spannungsfestigkeit auf 400 V begrenzt (siehe auch Abbildung 2.2-15). Die Ursache hierfür liegt in vereinzelt Materialdefekten, bei kleinen Testtransistoren mit weniger als 1 mm Gateweite statistisch nur selten auftreten, bei mehr als 100x größeren Transistoren mit hoher Wahrscheinlichkeit getroffen werden.

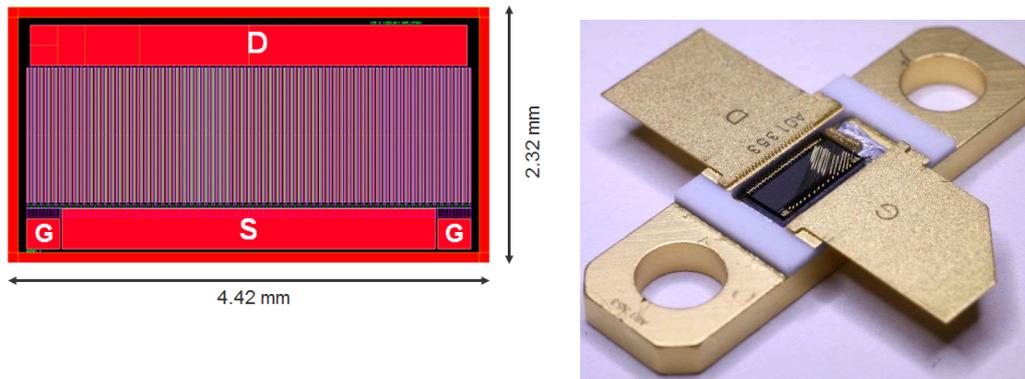


Abbildung 2.2-6: In einem A191 Gehäuse aufgebauter 85 mΩ / 400 V GaN-Schalttransistor mit 4.5 mm x 2.4 mm Chipgröße.

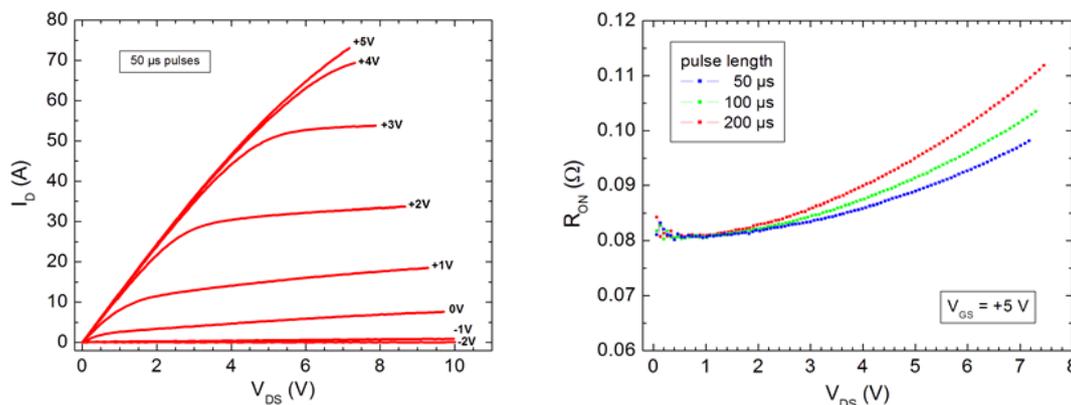


Abbildung 2.2-7: Gepulstes (50 μs) Ausgangskennlinienfeld eines 85 mΩ / 400 V GaN-Schalttransistors in p-GaN Gate Technologie (links) und der extrahierte Einschaltwiderstand ( $V_{GS} = 5 \text{ V}$ ) für verschieden Pulslängen (rechts)

### 2.2.3.2 100 m $\Omega$ / 600 V Transistor mit GaN:Fe-Puffer

Aufgrund der in Kapitel 2.2.4 ausführlich diskutierten ungenügenden dynamischen Eigenschaften der auf einem GaN:C-Puffer beruhenden Schalttransistoren wurden spätere Generationen der Schalttransistoren auf Basis eines GaN:Fe-Puffers hergestellt. In dem neu eingesetzten Layout wurde besondere Aufmerksamkeit darauf gelegt, die Kontaktfläche zwischen den hohe Spannung tragenden (drainverbundenen) Metallen und der Halbleiteroberfläche zu minimieren. So wurden z.B. die großflächigen Kontaktpads auf die zweite Passivierungsebene hochverlegt. Die Passivierung führt somit zu einer Verbesserung der vertikalen Isolation und reduziert die Wahrscheinlichkeit, dass ein Materialdefekt im Halbleiter einer hohen Spannung ausgesetzt ist.

Das eingesetzte Schmetterlingslayout (Abbildung 2.2-8) mit den von einem zentralen Drainpad abgehenden Transistorfingern reduziert weiterhin die auf hohem Drainpotential liegende Transistorfläche. Der Transistor hat 134 mm Gateweite bei 15  $\mu\text{m}$  Gate-Drain-Abstand.

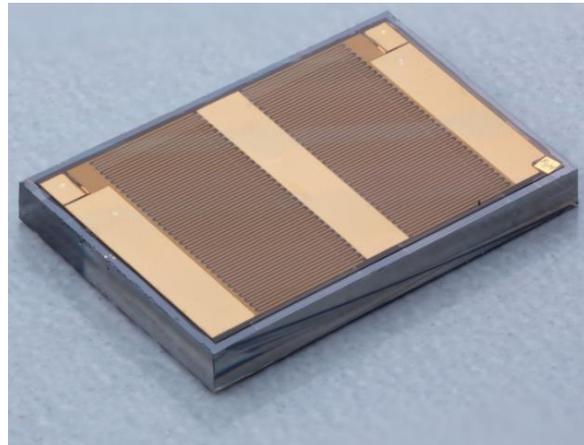
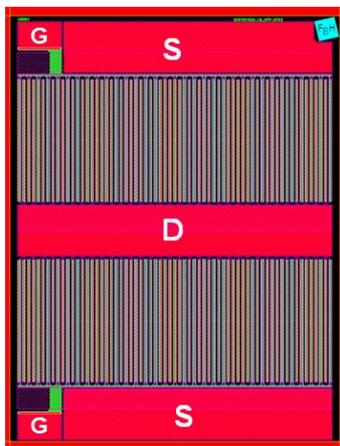


Abbildung 2.2-8: Chiplayout (links) und Chipfoto (rechts) eines selbstsperrenden 100 m $\Omega$  / 600 V GaN-Transistors.

Die 134,4 mm Gateweite sind über 128 einzelne Finger mit je 1,05 mm Gateweite verteilt. Die Chipfläche beträgt 2,90 mm x 3,76 mm.

Die Transferkennlinien dieses Transistors belegen mit  $V_{\text{th}} = 1 \text{ V}$  das selbstsperrende Verhalten (Abbildung 2.2-9), das Ausgangskennlinienfeld zeigt für den eingeschalteten Transistor ( $V_{\text{GS}} = 5 \text{ V}$ ) einen maximalen Pulsstrom von 60 A und einen Einschaltwiderstand von 100 m $\Omega$  (Abbildung 2.2-10). Die gesperrten Transistoren weisen eine Spannungsfestigkeit bis 600 V auf (Abbildung 2.2-11). Der Drainleckstrom bei 400 V Sperrspannung beträgt 250  $\mu\text{A}$  was einem spezifischen Strom von 2  $\mu\text{A}/\text{mm}$  entspricht.

Abbildung 2.2-9: Transfercharakteristik für unterschiedliche Drainspannungen eines selbstsperrenden GaN-Transistors mit 134 mm Gateweite (Abbildung 2.2-8)

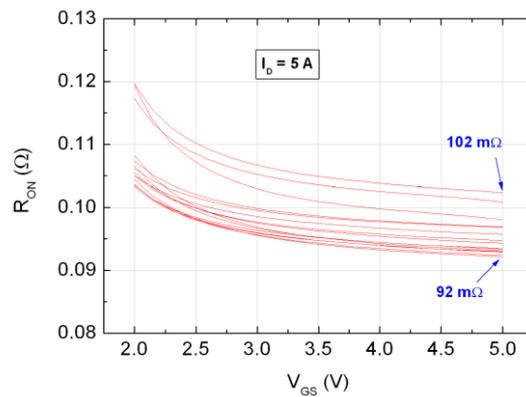
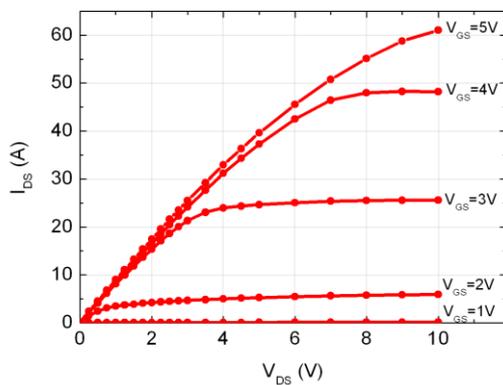
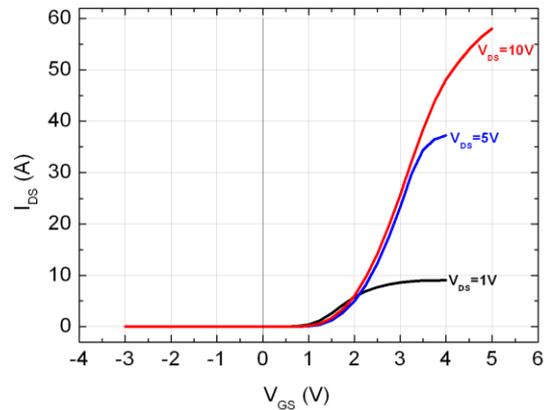
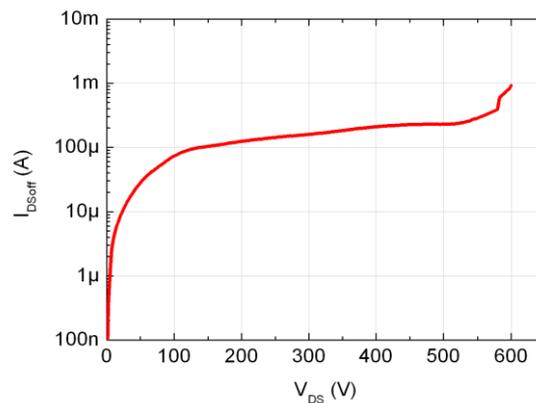


Abbildung 2.2-10: Ausgangskennlinienfeld (links) und daraus extrahierter Widerstand für 5 A Drainstrom für selbstsperrende p-GaN-Gate Transistoren mit 134 mm Gateweite und GaN:Fe-Puffer (Abbildung 2.2-8).

Abbildung 2.2-11: Drainleakstrom eines gesperrten Transistors mit 134 mm Gateweite (Abbildung 2.2-8).



### 2.2.4 Schaltverhalten und dynamische Charakterisierung

An einem 10 A / 100 V Doppelpulsmessplatz mit 0.75 mH induktiver Last (Abbildung 2.2-12, rechts) wurden mit dem 85 mΩ / 400 V Transistoren mit GaN:C-Puffer (Kapitel 2.2.3.1) Schaltexperimente durchgeführt. Die Transienten für Drainstrom, Drainspannung, Gatestrom und Gatespannung während des Einschaltens und des Ausschaltens des Transistors für 12 A / 100 V Schaltereignisse sind in Abbildung 2.2-12 links dargestellt.

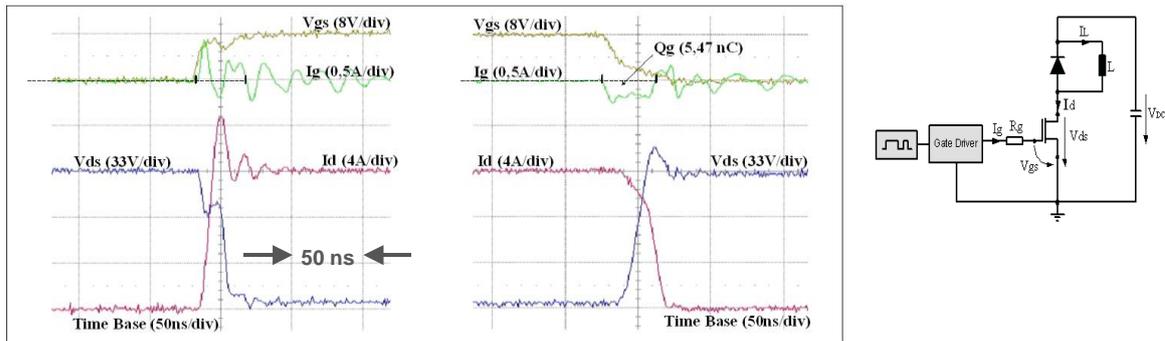


Abbildung 2.2-12: 12 A / 100 V Einschalttransienten (links) und Ausschalttransienten (rechts). Messung wurde an der TU Berlin, FG Leistungselektronik an einem Schaltmessplatz mit induktiver Last durchgeführt.

Die Stromanstiegszeiten und Abfallzeiten liegen bei etwa 20 ns, die Spannungsschaltzeiten liegen bei knapp 30 ns. Aus dem Verlauf der Gatespannung und des Gatestroms kann die nötige Gateladung für das Schalten mit 5.5 nC bestimmt werden. Das Produkt aus Gateladung und Einschaltwiderstand ist eine verbreitete Kenngröße für die Schalteffizienz eines Schalttransistor und sie liegt für diesen Transistor bei  $Q_G \times R_{ON} = 0.47 \text{ nC}\Omega$ .

	FBH p-GaN Gate GaN-HFET	Infineon Si-OptiMOS IPB600N25N3 G	Infineon Si-CoolMOS IPL65R130C7	Cree SiC-MOSFET CMF20120D
$V_{DSmax}$ (V)	400	250	650	1200
$R_{ON}$ (mΩ)	85	60	130	80
$Q_G$ (nC)	5.5	22	35	91
$Q_G \times R_{ON}$ (nCΩ)	0.47	1.3	4.5	7.3

Tabelle 2.2-1: Vergleich von  $Q_G \times R_{ON}$  als Kennzahl für die Schalteffizienz des FBH GaN-Transistors mit zwei Si-MOSFETs von Infineon und einem SiC-MOSFET von Cree.

Tabelle 2.2-1 vergleicht die Kenngröße  $Q_G \times R_{ON}$  des p-GaN Gate HFETs mit der von Si-basierten MOSFETs und einem SiC-basiertem MOSFET. Offensichtlich ist die nötige Gateenergie zum Stromschalten für den FBH-Transistor um mehrere Faktoren kleiner als für die Si-basierten MOSFETs und auch kleiner als für den SiC-MOSFET. Dies gilt auch bei Berücksichtigung der jeweiligen Spannungsfestigkeit ( $R_{ON} \sim V_{Br}^2$ ).

Während die Schalttransienten in Abbildung 2.2-12 bei einer niedrigen Spannung von 100 V ermittelt wurden, zeigt die 6 A / 200 V Schalttransiente entsprechend Abbildung 2.2-13 einen signifikanten Spannungsabfall von etwa 20 V am Transistor für den eingeschalteten Zustand. Dies entspricht einem Einschaltwiderstand von  $R_{ONdyn} = 3.3 \Omega$  und ist somit etwa 40x größer als der statisch ermittelte  $R_{ONstat} = 0.085 \Omega$ .

Ursache ist der erhöhte dynamische Einschaltwiderstand, welcher kurze Zeit nach dem Schalten von hohen Sperrspannungen aus große Werte annehmen kann. Der erhöhte dynamische  $R_{ON}$  beim Hochspannungsschalten wurde mittlerweile als generelles Problem von lateral aufgebauten GaN-HFETs erkannt [1].

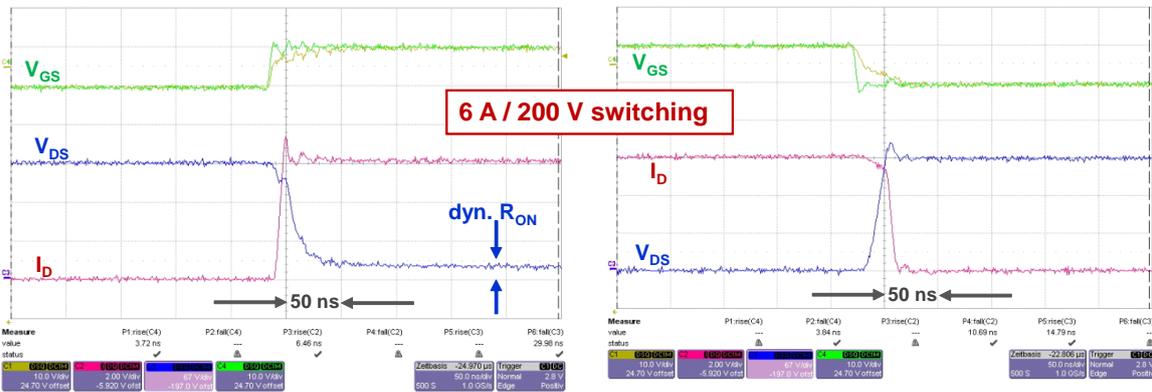


Abbildung 2.2-13: 6 A / 200 V Schalttransienten während des Einschaltens (links) und Ausschaltens (rechts) eines p-GaN-GateTransistors. Die Anstiegs- und Abfallzeiten liegen bei jeweils 20 ns. Messung wurde an der TU Berlin, FG Leistungselektronik durchgeführt.

Am FBH wurde ein 1 A / 1000 V Schaltmessplatz mit ohmscher Last aufgebaut (Abbildung 2.2-14), um die dynamischen Transistoreigenschaften und insbesondere den erhöhten dynamischen  $R_{ON}$  genauer zu untersuchen. Der Messplatz ist besonders niederinduktiv konzipiert und erlaubt Messungen bis zu 10 ns Zeitauflösung, um den besonders schnell schaltenden GaN-Transistoren gerecht zu werden.

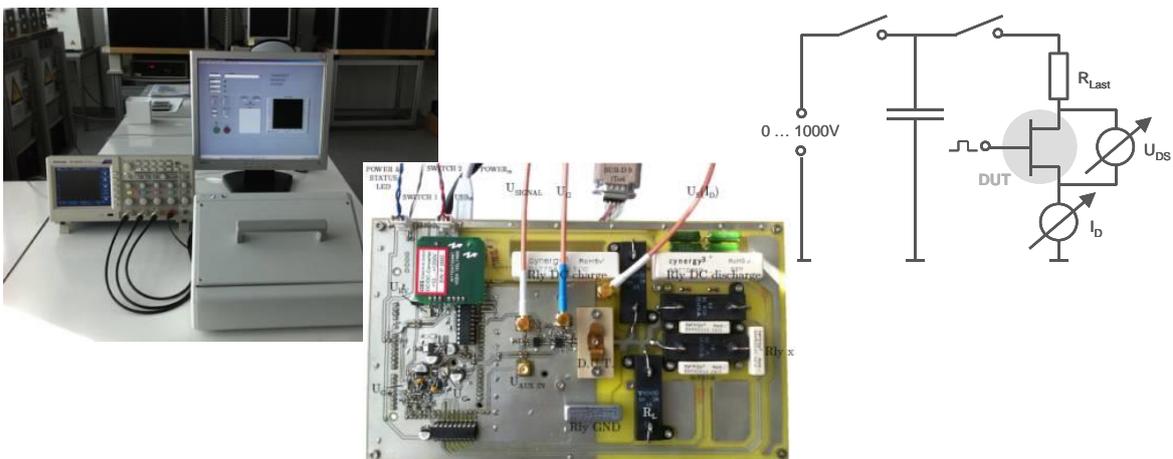


Abbildung 2.2-14: 1 A / 1000 V Schaltmessplatz mit ohmscher Last zur dynamischen Charakterisierung der Schalttransistoren.

Die Analyse des Spannungsabfalls im eingeschalteten Zustand mit den  $0.85 \text{ m}\Omega / 400 \text{ V}$  Transistoren (Abbildung 2.2-15, links) ergab, dass sich der dynamische Einschaltwiderstand stark abhängig von der Sperrspannung erhöht, siehe Abbildung 2.2-15 rechts. So verzehnfacht sich der Einschaltwiderstand nach 100 V Sperrspannung und verhundertfacht sich nach 200 V Sperrspannung. Feldplatten (GFP in Abbildung 2.2-15 rechts) konnten zwar die Erhöhung des dynamischen  $R_{ON}$  etwa auf die Hälfte

reduzieren, was aber angesichts der vorliegenden Größenordnung des erhöhten dynamischen  $R_{ON}$  keine ausreichende Lösung darstellte.

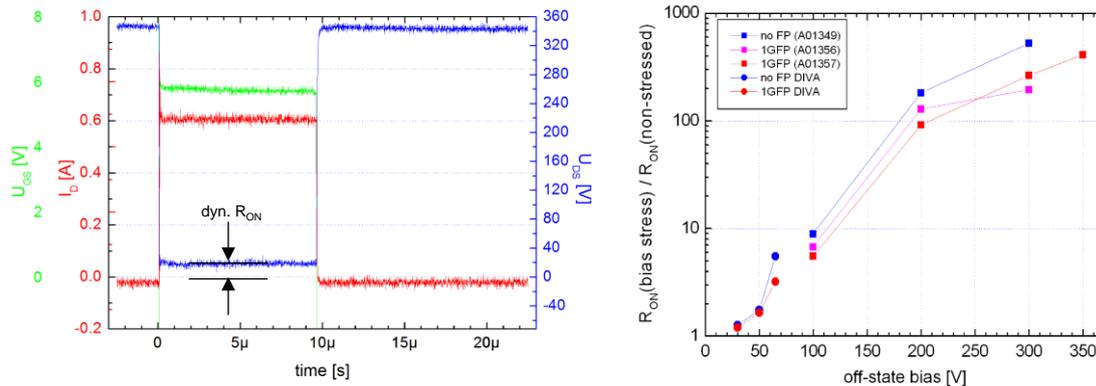


Abbildung 2.2-15: 1 A / 350 V Schalttransient mit ohmscher Last (links) für den 85 m $\Omega$  / 400 V Transistor.

Aus dem Spannungsabfall des eingeschalteten Transistors lässt sich der dynamische Einschaltwiderstand ( $dyn. R_{ON}$ ) ermitteln. Die rechte Grafik zeigt die Erhöhung des dynamischen Einschaltwiderstands als Funktion der Sperrspannung für Transistorvarianten mit (GFP) und ohne (no FP) Feldplatten.

Da diese Messungen belegen, dass der eingesetzte kohlenstoffdotierte GaN-Puffer für Schalttransistoren nicht zielführend war, wurden unterschiedliche alternative Pufferkonzepte auf ihren Einfluss auf das dynamische Transistorverhalten untersucht.

Um zu schnellen Ergebnissen zu kommen, wurden die Messungen an unterschiedlichen Pufferstrukturen bereits auf der Waferebene an kleinen Transistoren mit 0.25 mm Gateweite durchgeführt. Dabei wurde die Transistoren im gesperrten Zustand bei unterschiedlichen Drainspannungen zwischen 0 V (ungestresst) und 65 V (gestresst) gehalten und aus diesen Bias-Arbeitspunkten heraus die Ausgangskennlinie für den eingeschalteten Transistor mit 0.2  $\mu$ s langen Pulsen abgefahren. Abbildung 2.2-16 zeigt derart aufgenommene Ausgangskennlinien für einen Testtransistor mit hochdotierten GaN:C-Puffer, wie er für den 0.85 m $\Omega$  / 400 V Transistor eingesetzt wurde (links) und für Testtransistoren mit AlGaN-Puffer (mitte) und GaN:Fe-Puffer (rechts).

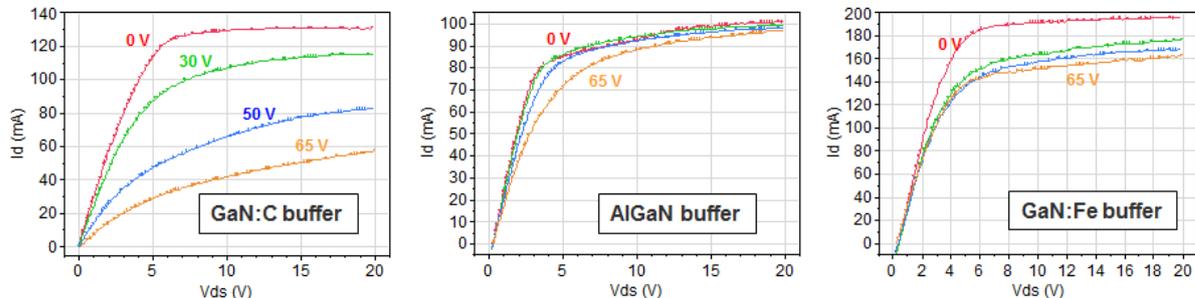


Abbildung 2.2-16: Gepulste on-state Ausgangskennlinien für Transistoren mit 3 unterschiedlichen Pufferzusammensetzungen.

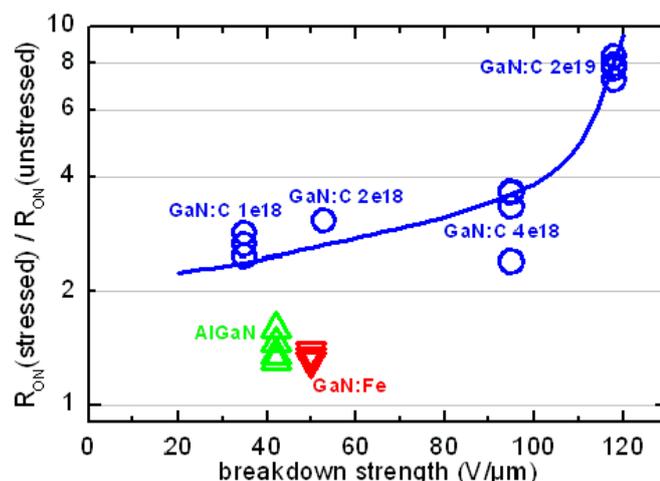
Die 0.2  $\mu$ s langen Pulse in den eingeschalteten Transistorzustand hinein werden aus unterschiedlichen Sperrspannungen zwischen  $V_{DS} = 0$  V und  $V_{DS} = 65$  V heraus gepulst.

Für den Transistor mit GaN:C-Puffer ist das Einbrechen des Drainstroms bei Sperrspannungsstress auf weniger als die Hälfte des Wertes des ungestressten Transistors deutlich zu erkennen. Entsprechend steigt mit zunehmendem Sperrspannungsstress der Einschaltwiderstand ( $R_{ON} = \Delta V_{ds} / \Delta I_d$  im Proportionalteil der Kennline). Für die hochdotierten ( $2 \times 10^{19} \text{cm}^{-3}$ ) GaN:C-Pufferstruktur erhöhte sich der dynamische  $R_{ON}$  nach 65 V Sperrspannungsstress um den Faktor 8. Ähnliche Effekte sind auch für die Transistoren mit den anderen Pufferzusammensetzungen zu erkennen, allerdings in einem wesentlich geringeren Ausmaß. So kommt es für die AlGaN-Pufferstruktur nur zu einer 50%igen Erhöhung und für die GaN:Fe-Pufferstruktur nur zu einer 30%-igen Erhöhung des dynamischen Einschaltwiderstands.

Zusätzlich zu den in Abbildung 2.2-16 gezeigten Pufferstrukturen wurden auch GaN:C-Puffer mit niedrigeren Kohlenstoffdotierung untersucht. Die Erhöhung des dynamischen  $R_{ON}$  reduzierte sich zwar bei geringeren Konzentrationen, war aber immer noch höher als für die AlGaN-Puffer oder GaN:Fe-Pufferstrukturen. Die Ergebnisse dieser Untersuchungen sind in Abbildung 2.2-17 zusammengefasst, wo für die unterschiedlichen Pufferstrukturen die Erhöhung des dynamischen  $R_{ON}$  nach 65 V Sperrspannungsstress gegen die Spannungsfestigkeit der entsprechenden Strukturen aufgetragen ist. Eine reduzierte Kohlenstoffkonzentration in den GaN-Puffern führt zwar zu einer Reduzierung des dynamischen  $R_{ON}$ , aber zusätzlich auch zu einer Reduzierung der Spannungsfestigkeit. Bei  $1 \times 10^{18} \text{cm}^{-3}$  Kohlenstoffkonzentration liegt die Spannungsfestigkeit bei nur  $38 \text{V}/\mu\text{m}$  und ist damit niedriger als für die AlGaN-Puffer und GaN:Fe-Pufferstrukturen. Trotzdem ist die Erhöhung des dynamischen  $R_{ON}$  mit einem knappen Faktor 3 signifikant größer.

Abbildung 2.2-17 zeigt deutlich, dass die GaN:Fe-Pufferstruktur das günstige Verhältnis aus dynamischen  $R_{ON}$  und Spannungsfestigkeit aufweist. Als Konsequenz wurden die nachfolgenden Transistorgenerationen mit einem eisendotierten GaN-Puffer realisiert, siehe Kapitel 2.2.3.2.

Abbildung 2.2-17: Zusammenhang zwischen Erhöhung des dynamischen Einschaltwiderstands und der Spannungsfestigkeit für unterschiedliche GaN-Pufferzusammensetzungen. Für die GaN:C-Puffer ist die Kohlenstoffkonzentration in  $\text{cm}^{-3}$  angegeben. (0.2  $\mu\text{s}$  Pulsdauer aus 65 V Sperrspannung heraus)



Mit den in Kapitel 2.2.3.2 näher beschriebenen  $100 \text{m}\Omega / 600 \text{V}$  Transistoren mit GaN:Fe-Puffer wurden Schaltexperimenten durchgeführt. Abbildung 2.2-18 zeigt die zeitliche Entwicklung des Einschaltwiderstands nach  $100 \mu\text{s}$  Sperrspannungsstress von  $250 \text{V}$ .  $0.5 \mu\text{s}$  nach dem Einschalten ist  $R_{ON}$  noch etwa 7x erhöht, während nach  $5 \mu\text{s}$  die Erhöhung des dynamischen  $R_{ON}$  bei 270% liegt. Dieser Wert ist für einen  $100 \text{kHz}$  Konverterbetrieb relevant. Die Erhöhung des dynamischen  $R_{ON}$  ist auch mit dem GaN:Fe-Puffer noch das größte Problem der GaN-Transistoren, allerdings ist nun der dynamische

$R_{ON}$  auf eine Größe reduziert, die denn sinnvollen Aufbau von Konvertern zulässt. Dies war für den GaN:C-basierten Transistor aus Kapitel 2.2.3.1 nicht der Fall. Nach wie vor ist die Erhöhung des dynamischen  $R_{ON}$  eine Funktion des Sperrspannungsstress. So erhöht sich  $R_{ON}$  5  $\mu$ s nach 200 V Sperrspannung nur um 150%, siehe Abbildung 2.2-19.

Abbildung 2.2-18: Dynamischer  $R_{ON}$  direkt nach dem Einschalten des Transistor nach 100  $\mu$ s langem 250 V Sperrspannungsstress. Die Zeitauflösung des Messplatzes liegt bei etwa 0.4  $\mu$ s. Es wurde ein 100 m $\Omega$  / 600 V Transistor mit GaN:Fe-Puffer (Kapitel 2.2.3.2) untersucht.

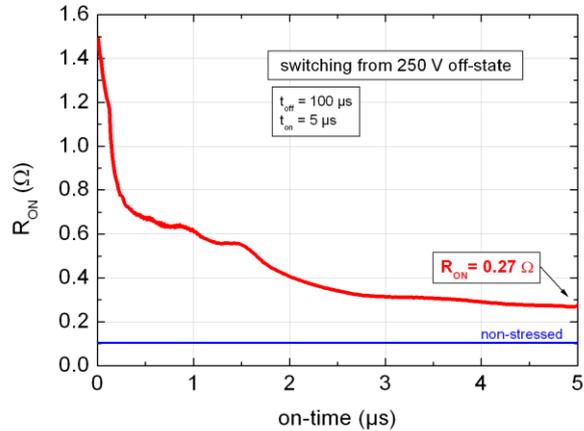


Abbildung 2.2-19: Zunahme des dynamischen  $R_{ON}$  als Funktion des Sperrspannungsstress.  $R_{ON}$  wurde für 2 Transistoren 5  $\mu$ s nach Einschalten des Transistors bestimmt.

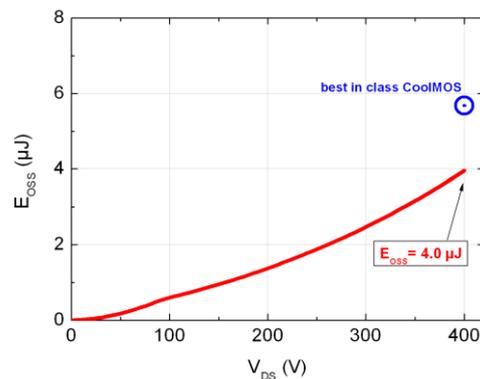
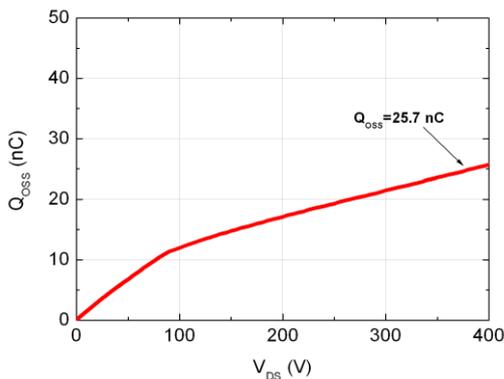
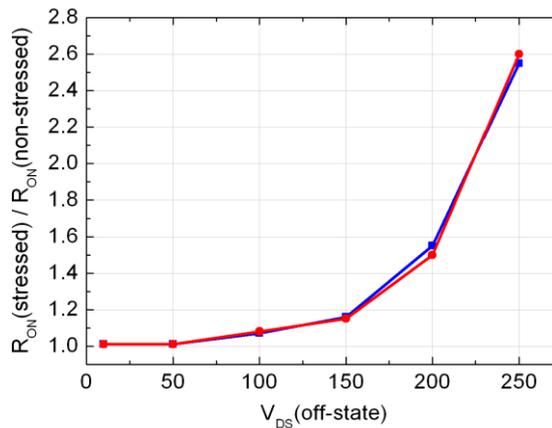


Abbildung 2.2-20: In der Ausgangskapazität gespeicherte Ladung (links) und Energie des 100 m $\Omega$  / 400 V Transistors mit GaN:Fe-Puffer. Blauer Punkt aus Datenblatt Infineon, 160 m $\Omega$  / 600 V CoolMOS IPP60R160 P6

Als Maß für Schaltverluste wird für Schalttransistoren die in der Ausgangskapazität gespeicherte Ladung  $Q_{OSS}$  herangezogen (Abbildung 2.2-20, links) und die daraus abgeleitete Energie  $E_{OSS}$ , die beim Schalten dissipiert (Abbildung 2.2-20, rechts).  $E_{OSS}$  liegt für den 100 m $\Omega$  / 400 V Transistor bei 4  $\mu$ J und liegt damit um 40% niedriger als für die besten Si-basierten Superjunction-MOSFETs.

Es konnte somit gezeigt werden dass die selbstsperrenden p-GaN Gate Transistoren vom FBH eine geringe Schaltenergie am Gate benötigen als die besten Si-basierten MOSFETs und dass sie beim Schalten weniger Energie zwischen Source und Drain dissipieren als die besten Si-basierten MOSFETs.

[1] D. Jin and J.A. del Alamo, „Methodology for the Study of Dynamic ON-Resistance in High-Voltage GaN Field-Effect Transistors“, IEEE Trans. Electron Devices, Vol. 60(10), pp. 3190-3196, 2013.

## 2.2.5 Verhalten bei hohen Temperaturen

Der hohe Bandabstand von 3.4 eV für GaN ermöglicht prinzipiell den Transistorbetrieb bei höheren Temperaturen als im Vergleich zu Si-basierten Transistoren, bei denen der Betrieb auf Kanaltemperaturen von 175°C oder Gehäusetemperaturen von 125-150°C begrenzt ist. Um die Temperaturabhängigkeit der Transistorkennlinien zu untersuchen wurde ein 3" Wafer auf dem Chuck eines Waferprobers erwärmt und die Transferkennlinien und die Ausgangskennlinien für den eingeschalteten Transistor für 20 p-GaN Gate Testtransistoren mit 0.25 mm Gateweite für verschieden Chucktemperaturen bis 200°C aufgenommen (Abbildung 2.2-21). Durch die kurze Kanalweite der Transistoren kann die Eigenerwärmung durch die Ströme vernachlässigt werden. Nach den Messungen bei erhöhten Temperaturen wurden die Kennlinien noch einmal bei Raumtemperatur aufgenommen und es wurde keine Degradation der Kennlinien gegenüber den Messungen vor der Erwärmung gefunden.

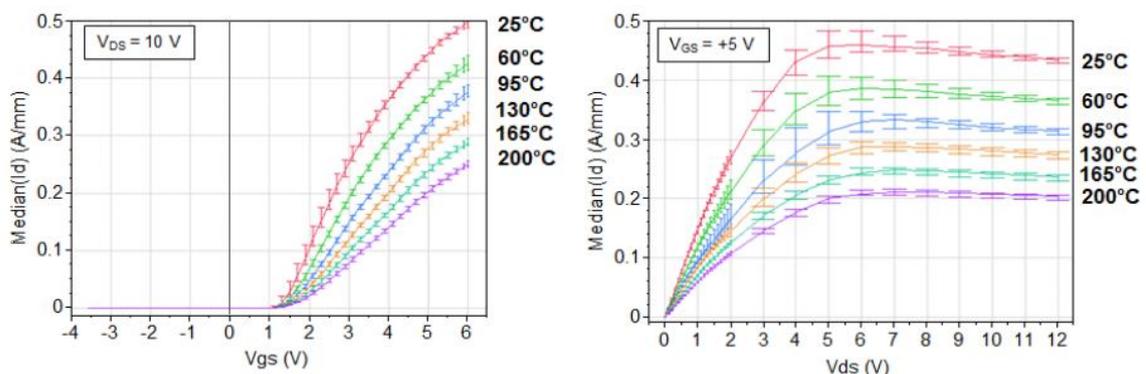


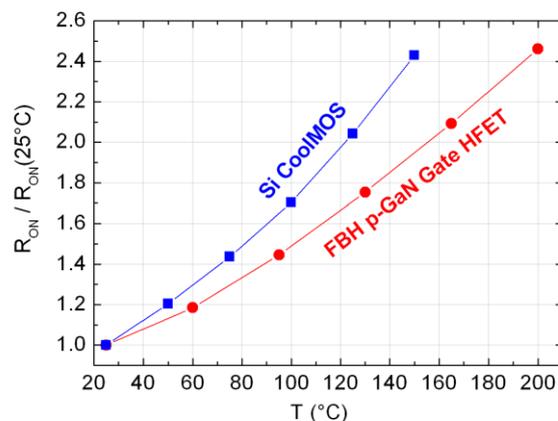
Abbildung 2.2-21: Transferkennlinien (links) und Ausgangskennlinien des eingeschalteten Transistors (rechts) für Substrattemperaturen von 25 °C bis 200 °C. Angezeigt ist der Median von 20 Testtransistoren auf einem 3" Wafer.

Mit zunehmender Temperatur sinkt die Stromtragfähigkeit der Transistoren und erreicht bei 200°C noch 48% des maximalen Drainstroms bei Raumtemperatur. Entsprechend steigt der Einschaltwiderstand mit der Temperatur an und ist bei 200°C knapp 2.5x so groß wie bei Raumtemperatur (Abbildung 2.2-22). Die Temperaturabhängigkeit von  $I_{DSmax}$  und  $R_{ON}$  ist hauptsächlich auf die mit der Temperatur abnehmende Elektronenbeweglichkeit im 2DEG zurückzuführen. Für den Transistorbetrieb ist ein

negativer Temperaturkoeffizient von  $I_D$  erwünscht, da umgekehrt ein positiver Temperaturkoeffizient zu einer Stromkonzentration in besonders heißen Segmenten des Transistors führen würde und sich das Bauelement katastrophal aufschaukeln könnte.

Die Transferkennlinien bei unterschiedlichen Temperaturen (Abbildung 2.2-21 links) zeigen, dass die Einsatzspannung der Transistoren sich nicht mit der Temperatur ändert. Diese wichtige Eigenschaft ermöglicht unabhängig von der Temperatur ein sicheres Ein- und Ausschalten des Transistors im Schaltbetrieb. Die Ursache für die temperaturunabhängige Einsatzspannung liegt einerseits in der Tatsache, dass die Elektronenkonzentration im 2DEG sich nur unwesentlich mit der Temperatur ändert und andererseits die Gatediodenbarriere des p-GaN Gate Moduls mit etwa 3 eV groß genug ist, dass temperaturaktivierter Ladungstransport über die Barriere nicht relevant ist.

Abbildung 2.2-22: Relative  $R_{ON}$ -Zunahme mit der Temperatur für selbstsperrende FBH-Transistoren (rot) (aus Abbildung 2.2-22) und für einen Si-basierten Superjunction MOSFET IPW60R160 P6 (blau, Werte aus Datenblatt entnommen).



Der Vergleich der Temperaturabhängigkeit von  $R_{ON}$  zwischen den FBH Transistoren und kommerziellen Si-basierten MOSFETs (Abbildung 2.2-22) zeigt für den GaN-Transistor eine geringere Zunahme des Einschaltwiderstands mit der Temperatur. Die Leitungsverluste für den Betrieb bei erhöhten Temperaturen sind daher für diese GaN-Transistoren geringer.

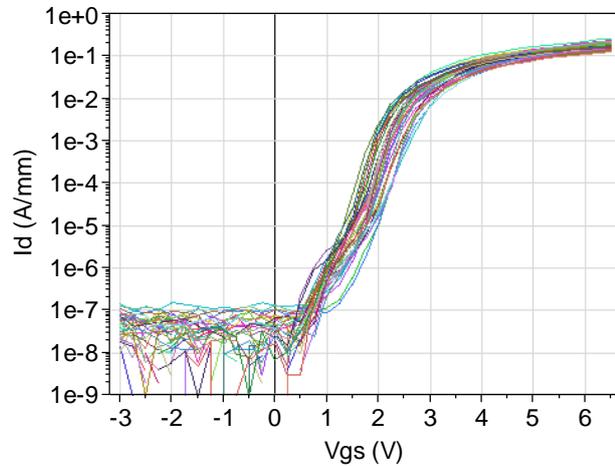
## 2.2.6 Selbstsperrende GaN-Transistoren auf Si-Substraten

Zur Entwicklung von selbstsperrenden GaN-Transistoren auf Si-Substraten wurden von der Firma EpiGaN (Belgien) 3"-Wafer mit gewachsener AlGaIn/GaN HFET-Struktur erworben. Diese Wafer wurden am FBH mit dem Mg-dotierten p-leitfähigem GaN epitaktisch überwachsen um selbstsperrende Transistoren in der p-GaN-Gate Technologie zu realisieren. Abbildung 2.2-23 zeigt die Transferkennlinienschar von 40 über den Wafer verteilten Testtransistoren, die den erfolgreichen Transfer der pGaN-Gate Technologie von SiC-Substraten auf Si-Substrate belegen.

Die Einsatzspannung liegt bei etwa 2 V, der maximale Strom für den eingeschalteten Transistor bei 0.2 A/mm und der Leckstrom des ausgeschalteten Transistors liegt mit ~100 nA/mm 6 Größenordnungen niedriger. Im Vergleich zu den komplett am FBH gewachsenen Bauelementen auf SiC-Substraten ist die erreichte Stromdichte etwa nur halb so groß und die Einsatzspannung etwa 0.5 V höher. Beide Eigenschaften korrelieren klar mit dem gemessenen höheren Schichtwiderstand des zweidimensionalen

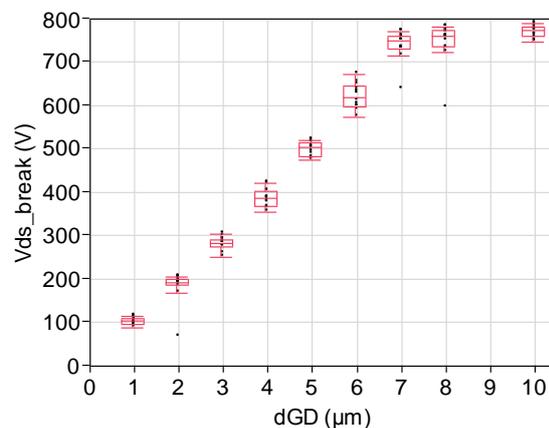
Elektronengases. Dies kann durch eine höhere Al-Konzentration in der AlGaN-Barriere gegenkompensiert werden.

Abbildung 2.2-23: Transferkennlinien von 40 über einen 3" GaN-auf-Si-Wafer verteilten Testtransistoren in selbstsperrender p-GaN-Gate Technologie.  
 $V_{DS} = 10 \text{ V}$ .



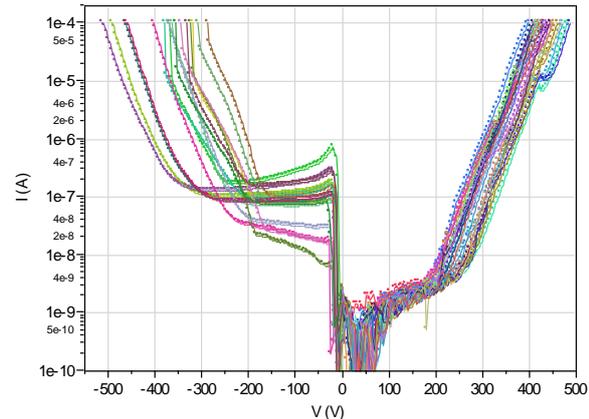
Im ausgeschalteten Zustand skaliert die Spannungsfestigkeit der Testtransistoren mit dem Gate-Drainabstand und einer Steigung von  $95 \text{ V}/\mu\text{m}$  (Abbildung 2.2-24). Die Streuung der Durchbruchspannung für einen Gate-Drainabstand über einen 3"-Wafer ist kleiner als 20%. Die Durchbruchspannungsskalierung endet bei  $d_{GD} = 7 \mu\text{m}$  und ist auch für höheres  $d_{GD}$  bei  $\sim 750 \text{ V}$  gesättigt. Die Ursache liegt in dem vertikalen Leckstrom zwischen den Source- und Drainkontakten auf der Waferoberfläche und dem (leitfähigen) Si-Substrat (Abbildung 2.2-25), wie er bereits in Kapitel 2.2.2.1 für die Transistoren auf n-SiC Substraten diskutiert wurde.

Abbildung 2.2-24: Skalierung der Durchbruchspannung mit dem Gate-Drain-Abstand  $d_{GD}$ .  
Je 20 Testtransistoren auf einem 3" GaN-auf-Si-Wafer wurden gemessen.



Auf einem nicht kontaktierten (floatenden) Substrat konnte bei den in Abbildung 2.2-24 dokumentierten Durchbruchmessungen eine Spannungsfestigkeit erreicht werden, welche der Spannungsdifferenz zwischen beiden Armen der Leckströme bei negativer und positiver Polarität entspricht. Wird das Substrat auf Drain- bzw. Sourcepotential gelegt, reduziert sich die mit dieser Epitaxie erzielbare Spannungsfestigkeit eines Transistors auf  $\sim 350 \text{ V}$  bzw.  $\sim 250 \text{ V}$ . Dies wäre für die Projektziele unzureichend. Abhilfe ist durch eine Erhöhung der Pufferdicke des HFET-Schichtenstapels möglich, sofern dann die Verbiegung der Wafer nicht auf ein nicht akzeptables Maß ansteigt.

Abbildung 2.2-25: Leckstrom zwischen einem ohmschen (Source- oder Drain-) Kontakt und dem Si-Substrat (Masse). Die Kontaktfläche beträgt  $2500 \mu\text{m}^2$ .

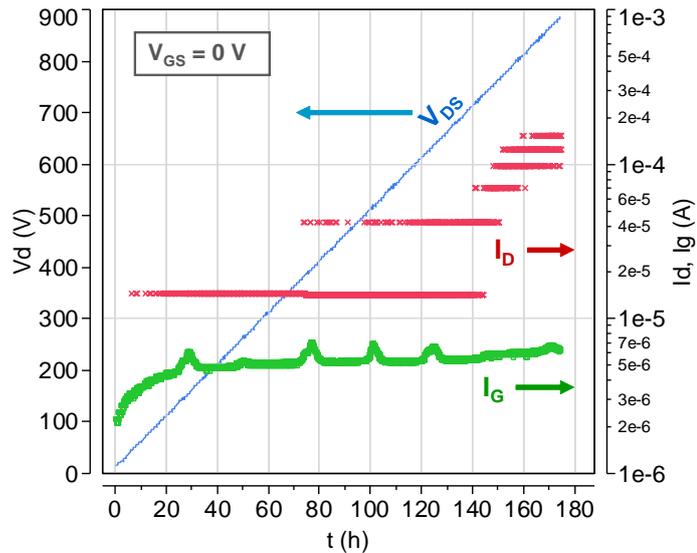


## 2.2.7 Belastungstests

Sowohl GaN-Transistoren als auch GaN-Schottkydioden (Kapitel 2.3.6) wurden Belastungstests unterzogen. Für die Transistoren wurde in sogenannten Step-Stress-Tests bei gesperrtem Gate jeweils die Drainspannung von 0 V an in Schritten mit 5 V/h erhöht und die resultierenden Gate- und Drain-Leckströme zeitabhängig gemessen. Als Transistor wurde ein selbstsperrender  $0.8 \Omega / 1000 \text{ V}$  p-GaN Gate Transistor ausgewählt (DC-Kennlinien in Abbildung 2.2-4). Abbildung 2.2-26 zeigt die Strom- und Spannungstransienten im Verlauf einer Woche.

Bei 0 V Gatespannung konnte die Drainspannung schrittweise bis 870 V erhöht werden, bevor das Bauteil spontan ausfiel. Während der Drainleckstrom  $I_D$  oberhalb 500 V kontinuierlich anstieg und bei  $V_{DS} = 800 \text{ V}$   $100 \mu\text{A}$  (bzw.  $5 \mu\text{A}/\text{mm}$ ) erreichte, erhöhte sich der Gateleckstrom ( $I_G$ , grün) minimal und blieb auch bei den höchsten Spannungen mit  $7 \mu\text{A}$  (bzw.  $0.3 \mu\text{A}/\text{mm}$ ) deutlich unterhalb des Drainleckstroms. Die im Transienten sichtbaren Gatestromausschläge konnten auf an einigen Tagen wiederkehrende Sonneneinstrahlung auf den Messplatz und die dadurch erzeugte Erwärmung zurückgeführt werden. Diese Messungen belegen, dass die Bauelementdegradation über den Drainstrom allein und nicht über den Gatestrom erfolgte. Dies belegt die besondere Robustheit des eingesetzten p-GaN Gatemoduls.

Abbildung 2.2-26: Step-Stress-Test eines 22 mm weiten selbstsperrenden p-GaN-Gate-Transistors bis 870 V. Drainspannung in blau, Drainstrom in rot und Gatestrom in grün. Die isolierten Linien des Drainstroms rühren von der begrenzten digitalen Auflösung der Strommessung. Das Bauteil wurde nach einer knappen Woche bei 870 V spontan zerstört.



## 2.3 Laterale GaN Schottkydioden mit geringer Einsatzspannung

Neben Transistoren wurden in diesem Projekt GaN-Dioden als zusätzliche Elemente einer GaN-basierten Leistungselektronik entwickelt. So können dann z.B. komplett GaN-basierte Halbbrücken realisiert werden. Ziel sind Dioden mit hoher Sperrfähigkeit, kleiner Einsatzspannung und geringer Kapazität, um schnelles verlustarmes Schalten zu ermöglichen. Um für die Dioden eine besonders geringe Einsatzspannung bei gleichzeitig hoher Sperrfähigkeit zu erhalten, wurde ein Schottky-Anodenmodul entwickelt, bei der das zweidimensionale Elektronengas (Diodenkanal) von der Seite ankontaktiert wird (Recess-Schottkyanode). Durch das laterale Bauelementkonzept kann analog zu GaN HFETs die hohe Leitfähigkeit des 2DEG ausgenutzt werden.

### 2.3.1 Recess-Schottkyanode

Bei der Recess-Schottkyanode wird an der Anodenposition die AlGaN Barriere vollständig mit einem trockenchemischen Ätzprozess entfernt. Das danach aufgebrauchte Schottky-Metall bildet einen seitlichen Kontakt zum 2DEG mit einer geringeren Barriere als bei einer horizontalen Ankontaktierung über die AlGaN Barriere, siehe Abbildung 2.3-1. Durch die Erweiterung des Anodenmetalls in Kathodenrichtung kommt es im Sperrbetrieb sowohl zu einer effektiven Ausräumung des Diodenkanals als auch zu reduzierten Spitzenwerten des elektrischen Felds (Feldplatteneffekt) und somit zu einer hohen Sperrwirkung.

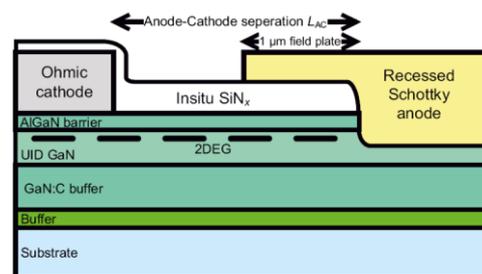
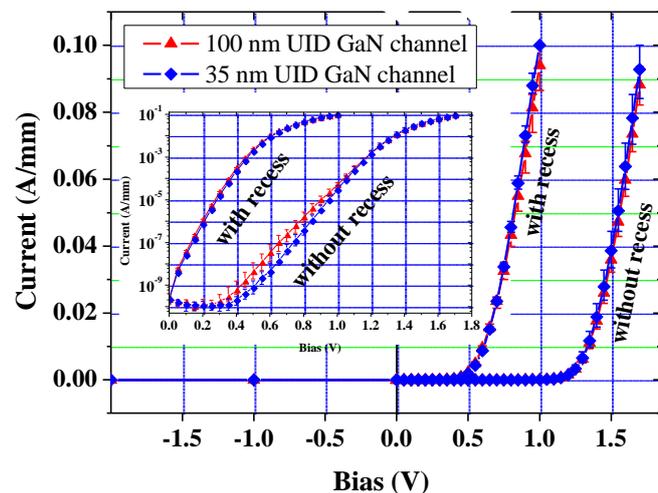


Abbildung 2.3-1: Schematischer Aufbau einer lateralen GaN-Diode mit seitlich an das 2DEG ankontaktierter Anode (Recess-Schottkyanode).

In einem Prozessdurchlauf auf Saphirsubstraten wurde erstmals die anvisierte Technologie des anodenseitig seitlichen Ankontaktierens des 2-dimensionalen Elektronengases (2DEG) realisiert. Abbildung 2.3-2 zeigt die Flusskennlinien für Dioden mit seitlich ankontaktierter Anode („with recess“) und Standard Schottky-Kontakt („without recess“). Deutlich ist die Reduzierung der Einsatzspannung um 0.7 V auf 0.5 V für die neue Diodentechnologie zu erkennen. Dabei ergibt sich keine Verschlechterung des Einschaltwiderstands ( $R_{ON} \sim 2.7 \Omega/\text{mm}$ ).

Abbildung 2.3-2: Flusskennlinien von GaN-Dioden mit seitlich („with recess“) und senkrecht („without recess“) ankontaktierter Anode. (2  $\mu\text{m}$  Anoden-Kathoden-Abstand, 100  $\mu\text{m}$  Kanalweite)



### 2.3.2 Diodenverhalten auf unterschiedlichen Substraten

GaN Schottkydioden mit Recess-Anode wurden neben Saphirsubstraten auch auf n-SiC und Si-Substraten realisiert, deren Verhalten in Abbildung 2.3-3 verglichen wird. Die thermische Begrenzung des maximalen Flussstroms für das Si-Substrat oberhalb  $\sim 2 \text{ W/mm}$  und für das Saphirsubstrat oberhalb  $\sim 0.8 \text{ W/mm}$  im Vergleich zum SiC-Substrat ist deutlich. In Sperrichtung (Abbildung 2.3-3 rechts) sind die Dioden mit 15  $\mu\text{m}$  Anoden-Kathodenabstand auf Saphir und n-SiC bis oberhalb 900 V spannungsfest, die Dioden auf Si-Substraten bis etwa 700 V. Die Spannungsfestigkeit der letzteren ist analog zu den auf Si-Substraten prozessierten Transistoren (Kap. 2.2.6) durch den Substratleckstrom (siehe Abbildung 2.2-25) begrenzt.

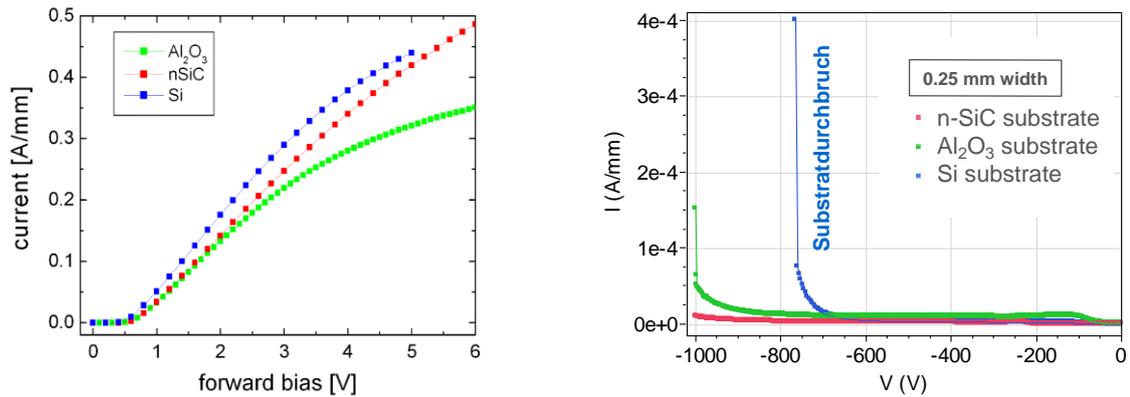
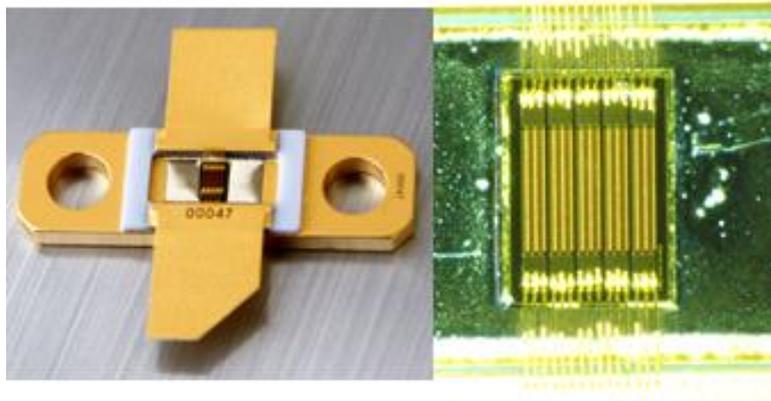


Abbildung 2.3-3: IU-Kennlinien in Fluss- (links) und Sperrichtung (rechts) für Dioden auf Saphirsubstrat (grün), n-SiC-Substrat (rot) und Si-Substrat (blau). Der Anoden-Kathoden-Abstand beträgt 15  $\mu\text{m}$ .

### 2.3.3 Dioden mit geringem Einschaltwiderstand

Auf n-SiC-Substraten wurden GaN-Dioden mit 25 mm Kanalweite und 15  $\mu\text{m}$  Anoden-Kathodenabstand gefertigt, siehe Abbildung 2.3-4. Diese Dioden liefern 2 A Strom bei 1.6 V Flussspannung und haben dort einen differentiellen Widerstand von 0.5  $\Omega$  (Abbildung 2.3-5). Diodenchips dieses Typs wurden an den Projektpartner IXYS zum Aufbau von Halbbrückenmodulen geliefert. Ferner wurden mit diesen Dioden die in Abbildung 2.3-9 gezeigten 2 A / 530 V Schalttransienten aufgenommen.

Abbildung 2.3-4: Laterale 2 A / 600 V GaN-Diode. 25 mm Kanalweite in einem Testgehäuse (links). rechts: Chipvergrößerung



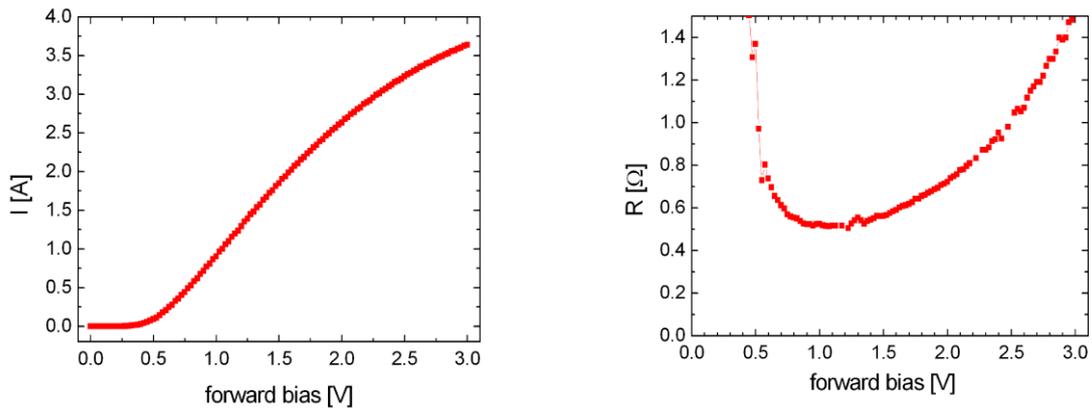


Abbildung 2.3-5: Flusskennlinie und daraus abgeleiteter differentieller Widerstand einer lateralen 25 mm weiten GaN-Diode mit 2 A / 0.5  $\Omega$  bei 1.6 V Flussspannung und 600 V Spannungsfestigkeit

Weiterhin wurden Dioden mit 134 mm Kanalweite und einer Chipgröße von 4.4 x 2.3 mm<sup>2</sup> gebaut (Abbildung 2.3-6), die einen differentiellen Widerstand von 100 m $\Omega$  aufweisen und damit zu den gelieferten Transistoren (Kapitel 2.2.3.2) größenangepasst sind.

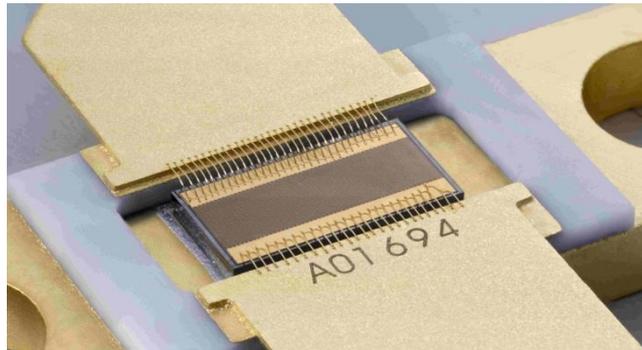


Abbildung 2.3-6: Laterale 6 A / 600 V GaN-Diode mit 134 mm Kanalweite in einem Testgehäuse

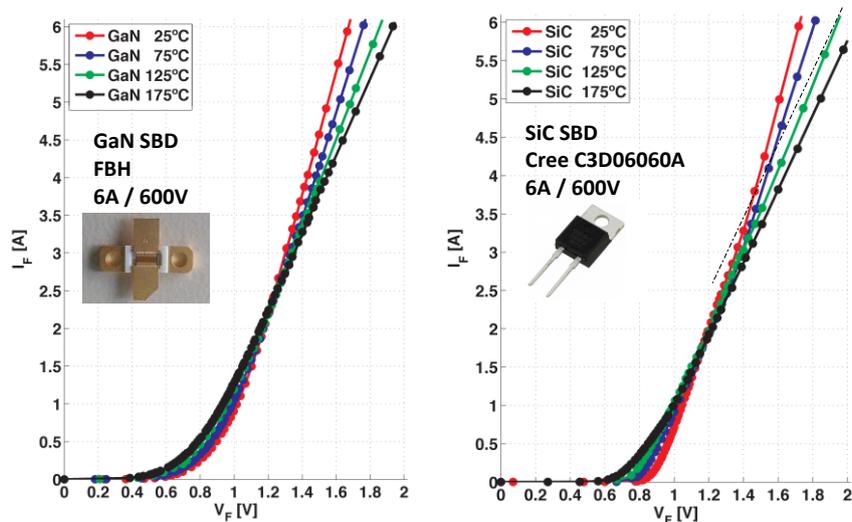


Abbildung 2.3-7: Flusskennlinien einer 134 mm FBH GaN Diode (links) im Vergleich mit einer kommerziellen SiC Schottkydiode von Cree (rechts) mit den gleichen 6 A / 600 V Kenngrößen. Kennlinien für unterschiedliche Gehäusetemperaturen sind dargestellt. Messung wurde an der TU Berlin, FG Leistungselektronik durchgeführt.

	GaN @ 25°C	GaN @ 175°C	SiC @ 25°C	SiC @ 175°C
$V_{ON}$ (V)	0.6	0.4	0.8	0.6
$R_{ON}$ @ 6 A (mΩ)	280	320	290	340
ZTCP (A)	2.2		1.8	

Tabelle 2.3-1: Vergleich der Kenngrößen in Flussrichtung für die 6 A / 600 V Dioden vom FBH und von Cree gemäß der Kennlinien aus Abbildung 2.3-7.

Der Vergleich der Flusskennlinien in Abbildung 2.3-7 zeigt, dass die Flusseigenschaften der FBH GaN-Diode denen einer SiC-basierten Schottkydiode stark ähneln. Die Parameterextraktion (Tabelle 2.3-1) zeigt aber, dass die FBH GaN-Diode eine etwas kleinere Einsatzspannung aufweist und die Widerstände für 6 A Stromfluss geringer liegen. Außerdem nimmt der Widerstand der FBH GaN-Diode mit der Temperatur weniger zu. Dies führt dann zu einem höheren Strom für den Arbeitspunkt, der keine temperaturabhängige Drift aufweist (ZTCP). Somit sind im Vergleich mit der Cree SiC-Schottkydiode einige Vorteile für die FBH GaN-Diode zu erkennen.

Die Sperrkennlinien der 134 mm weiten GaN-Dioden (Abbildung 2.3-8) zeigen, dass die Durchbruchspannung oberhalb 1000 V liegt. Der Sperrstrom bei 600 V liegt unterhalb 4 mA, was einer Stromdichte von 30  $\mu\text{A}/\text{mm}$  entspricht. Hier weisen die SiC-Dioden mit < 50  $\mu\text{A}$  absolut für die C3D06060A Cree-Diode allerdings wesentlich geringere Sperrströme auf.

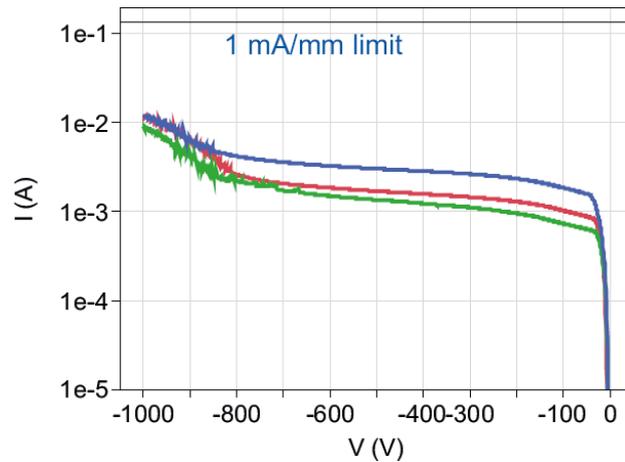


Abbildung 2.3-8:  
Sperrkennlinien für drei  
Schottkydioden mit 134 mm  
Kanalweite.

### 2.3.4 Schaltverhalten

Messungen des 2 A / 530 V Schalttransienten mit den 25 mm weiten GaN-Dioden (siehe Abbildung 2.3-4 und Abbildung 2.3-5) zeigen eine Abschaltzeit von knapp 20 ns (Abbildung 2.3-9). Dabei erwiesen sich die GaN-Dioden vergleichbar schnell wie eine 3 A SiC-Schottkydiode von Cree. Der auf interne Speicherladungen zurückzuführende Stromunterschwinger am Ende des Abschaltvorgangs ist schwächer als bei der SiC-Schottkydiode ausgeprägt, was auf besonders geringe Schaltverluste schließen lässt.

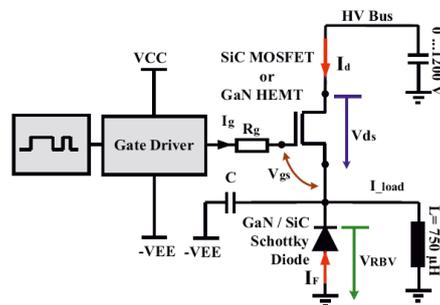
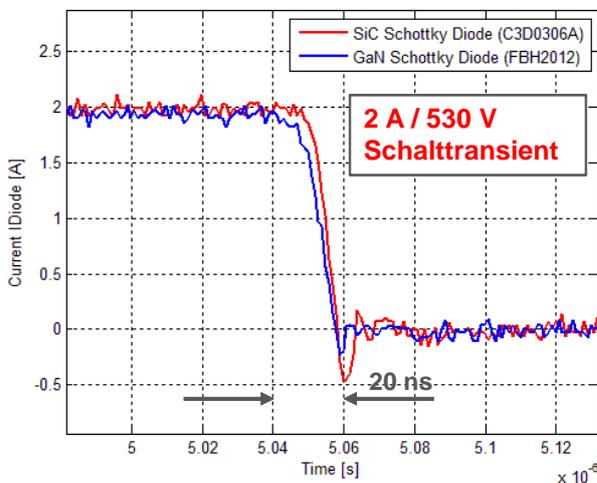


Abbildung 2.3-9: 2 A / 530 V Schalttransienten während des Ausschaltens einer lateralen 2 A / 600 V GaN-Diode (blau) im Vergleich zu einer 3 A / 600 V SiC Schottkydiode von Cree (rot). Die Stromanstiegszeiten liegen jeweils bei knapp 20 ns. Messung wurde an der TU Berlin, FG Leistungselektronik durchgeführt, das Blockschaltbild ist rechts dargestellt.

In einem Schaltmessplatz mit 750 µH induktiver Last wurde für 2 A / 300 V Schalten mit einer Schaltrate von 1.5 MHz das Zusammenspiel eines selbstleitenden 200 mΩ / 400 V FBH GaN-Transistors mit der 6 A / 600 V FBH GaN\_Diode getestet. Die Schaltzeiten betragen 9-10 ns für den Spannungstransienten und 5-6 ns für den Stromtransienten. Daraus ergibt sich eine sehr hohe Spannungsteilheit von 30 V/ns und eine sehr hohe Stromsteilheit von 360 A/µs.

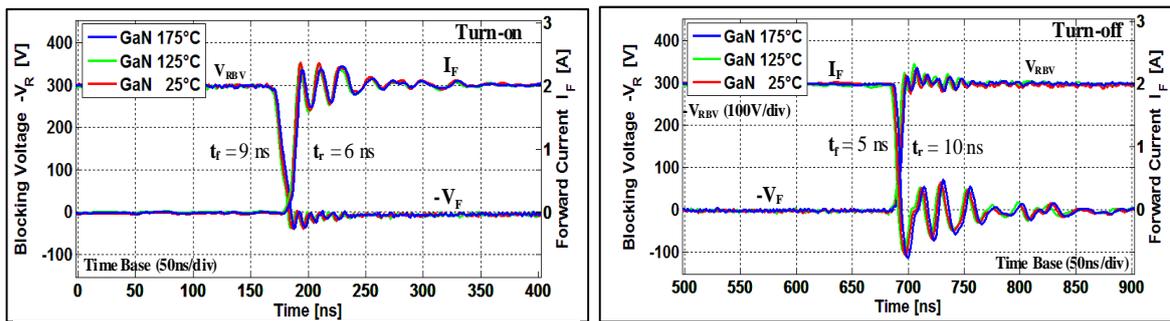


Abbildung 2.3-10: 2 A / 300 V Schalttransienten eines Doppelpulsmessplatzes mit einem GaN-HEMT und einer GaN-Schottkydiode bei 25°C, 125°C und 175°C. Messung wurde an der TU Berlin, FG Leistungselektronik durchgeführt.

Aus dem Stromunterschwinger während des Schaltvorgangs kann die kapazitive Ladung der GaN-Diode mit 5.5 - 5.7 nC bestimmt werden (Tabelle 2.3-2). Analoge Schalttransienten wurden mit einer 2 A / 600 V Cree Schottkydiode durchgeführt und praktisch ununterscheidbare Diodenladungen wurden ermittelt (Tabelle 2.3-2).

	GaN @ 25°C	GaN @ 175°C	SiC @ 25°C	SiC @ 175°C
$Q_{rr}$ (nC)	5.57	5.70	5.62	5.67

Tabelle 2.3-2: Vergleich der kapazitiven Diodenladungen bei 25°C und 175 °C für die FBH GaN-Diode und eine 2 A / 600 V SiC-Schottkydiode von Cree (C3D06060A).

Im Gegensatz zu Si-basierten HV-Dioden, die wegen ihres Elektronen-Loch-Plasmas einen wesentlich größeren Stromunterschwinger aufweisen, ist dabei die Diodenladung nahezu temperaturunabhängig.

Zusammenfassend wurde somit gezeigt, dass die FBH GaN-Dioden schnelles und verlustarmes Schalten ermöglichen und dabei als eine ernstzunehmende Alternative für SiC-basierte HV Schottkydioden betrachtet werden können, welche zur Zeit die erste Wahl für effizientes HV-Schalten sind.

### 2.3.5 Verhalten bei hohen Temperaturen

An kleinen (0.25 mm Kanalweite) Testdioden mit n-SiC Substraten wurden die Fluss- und Sperrkennlinien für Substrattemperaturen zwischen 25°C und 200°C gemessen (Abbildung 2.3-11). Die Einsatzspannung erweist sich dabei als unabhängig von der Temperatur, was für die Auslegung von effizienten Konvertern vorteilhaft ist. Der Einschaltwiderstand erhöht sich von 4.0  $\Omega$ mm bei 25°C auf 9.1  $\Omega$ mm bei 200°C. Ähnliches Verhalten wird auch bei lateralen GaN-basierten Transistoren beobachtet (Kapitel 2.2.5) und ist hauptsächlich auf die Temperaturabhängigkeit der Elektronenbeweglichkeit im zweidimensionalen Elektronengas (2DEG) zurückzuführen. Der Sperrleckstrom bis 200 V Sperrspannung steigt von 25°C auf 200 °C etwa um das Dreifache an.

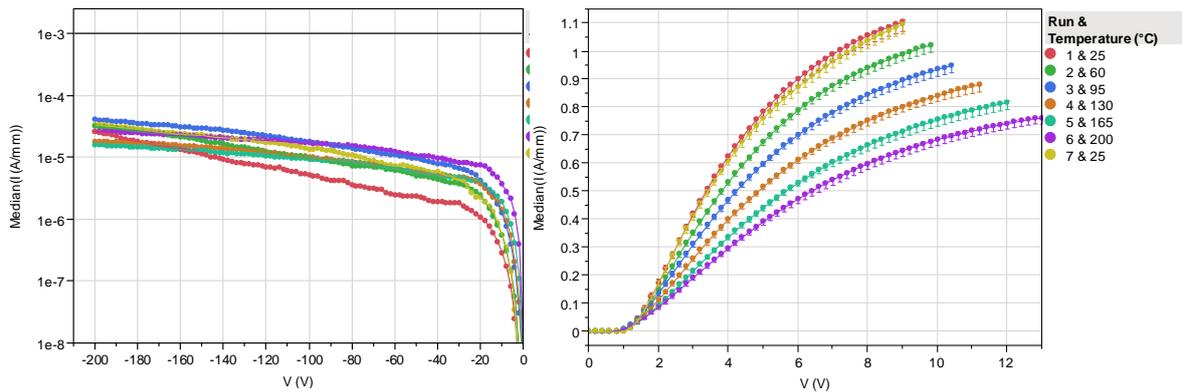


Abbildung 2.3-11: Temperaturabhängigkeit der Diodenkennlinien. links in Sperrrichtung und rechts in Flussrichtung

Die hier beschriebene Temperaturabhängigkeit im Flussbereich wurde auch für die „großen“ Dioden mit 134 mm Kanalweite im Temperaturbereich zwischen 25°C und 175°C bestätigt, wie aus Abbildung 2.3-7 zu erkennen ist. Allerdings konnte dort eine Reduzierung der Einsatzspannung von 0.6 V auf 0.4 V beobachtet werden. Der direkte Vergleich mit den SiC-basierten Schottkydioden zeigt aber für die GaN-Dioden eine schwächere Temperaturabhängigkeit, siehe Tabelle 2.3-1. Für die aus den Schalttransienten extrahierten (sehr geringen) Speicherladungen (Tabelle 2.3-2) konnte keine signifikante Temperaturabhängigkeit erkannt werden.

### 2.3.6 Belastungstests

GaN-Dioden mit 25 mm Kanalweite auf n-SiC Substraten und auf Si-Substraten (Abbildung 2.3-4 und Abbildung 2.3-5) wurden analog zu den Transistorbelastungstests (Kapitel 2.2.7) in Step-Stress-Tests auf ihre Stabilität im Sperrbetrieb getestet. Dabei wird die Sperrspannung von 0 V an in Schritten mit 5 V/h erhöht und der Sperrstrom kontinuierlich gemessen, siehe Abbildung 2.3-12.

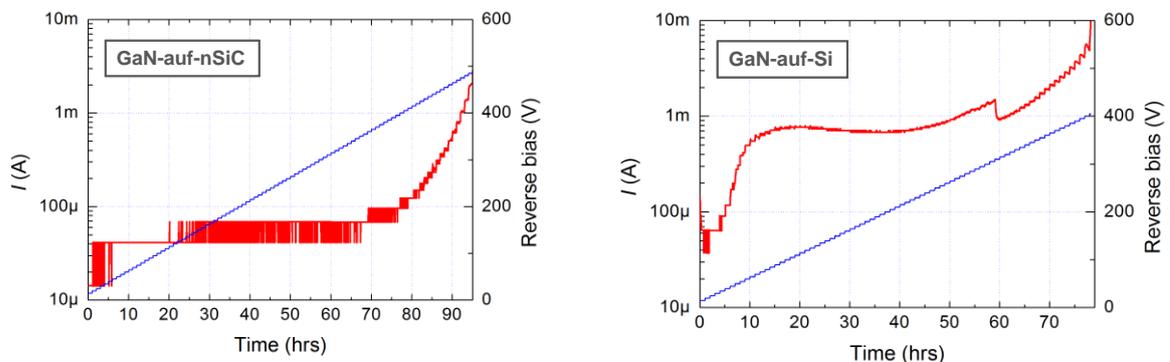


Abbildung 2.3-12: Step-Stress-Test von 0.5 Ω GaN-Schottkydioden auf n-SiC Substrat (links) und Si-Substrat (rechts). Sperrspannung in blau und Sperrleckstrom in rot. Die Sperrspannung wurde in 5V/h-Schritten bis 500 V bzw. 400 V erhöht.

Für beide Typen ist oberhalb etwa 300 V – also nach etwa 60 Stunden – ein deutlicher Anstieg des Leckstroms festzustellen. Dieser Leckstrom ist weniger auf die Dauer der Sperrspannungsbelastung zurückzuführen sondern auf den bei diesen Spannungen dominierend werdenden vertikalen Leckstrom zum leitfähigen und auf Massepotenzial liegenden Substrat (Abbildung 2.2-25). Diese Messungen belegen somit, wie wichtig das Wachstum von GaN-Schichten mit hoher vertikaler Isolation für den Einsatz von GaN-Bauelementen in der Leistungselektronik ist.

## 2.4 Zusammenfassung und Ausblick

Im Rahmen dieses Projekts wurden GaN-basierte laterale Dioden mit geringer Einsatzspannung und GaN-basierte intrinsisch selbstsperrende Transistoren für den Einsatz in Schaltkonvertern für leistungselektronische Anwendungen entwickelt, realisiert und an die Projektpartner geliefert. Die gefertigten Bauelemente wurden elektrisch sowohl statisch als auch dynamisch charakterisiert.

Die wesentlichen Ergebnisse für die Transistoren sind:

- Basierend auf dem p-GaN-Gate Modul wurden selbstsperrende 100 mΩ / 600 V Transistoren mit 1 V Einsatzspannung realisiert.
- Durch den Einsatz eines eisendotierten GaN-Puffers (GaN:Fe) konnte die Erhöhung des dynamischen Einschaltwiderstands für das 250 V Schalten auf den Faktor 2.6 reduziert werden.
- Das für das selbstsperrende Verhalten eingesetzte p-GaN-Gate Modul weist eine hohe eingangsseitige Schalteffizienz mit einem niedrigerem Produkt  $Q_g \times R_{on}$  als für Si-basierte Schalttransistoren auf.
- Die ausgangsseitigen Schaltverluste  $E_{oss}$  sind kleiner als für Si-basierte Superjunction MOSFETs
- Die Einsatzspannung der selbstsperrenden Transistoren bleibt zwischen Raumtemperatur und 200 °C konstant.
- Das eingesetzte p-GaN-Gate Modul limitiert nicht Zuverlässigkeit bei hohen Sperrspannungen

Die wesentlichen Ergebnisse für die Dioden sind:

- Durch die Entwicklung des zurückgesetzten Anodenkontaktes konnten 300 mΩ / 600 V Dioden mit 0.5 V Einsatzspannung realisiert werden.
- Die Schaltgeschwindigkeit ist so hoch und die Schaltverluste ( $Q_{rr}$ ) sind so klein wie bei SiC-basierten HV-Schottkydioden.
- Die temperaturabhängige Drift des Nennstroms ist geringer als bei SiC-Schottkydioden
- Die realisierten lateralen GaN-Schottkydioden können für viele Schaltanwendungen als Alternative für SiC-Schottkydioden betrachtet werden.
- Die Dioden wurden erfolgreich im Boost-Konverter (Systemdemonstrator) der Uni Erlangen eingesetzt.

Zur Etablierung und Kommerzialisierung der GaN-basierten leistungselektronischen Bauelemente in der 600 V Klasse müssen Verbesserungen in folgenden Punkten erreicht werden:

- Die vertikalen Leckströme zum leitfähigen (Si-) Substrat müssen reduziert werden.
- Der erhöhte dynamische Einschaltwiderstand beim Hochspannungsschalten muss weiter reduziert werden.
- Die Bauelementzuverlässigkeit bei hohen Sperrspannungen und bei hohen Temperaturen muss demonstriert werden.

## 2.5 Ergebnisse Dritter

- Die Firma Panasonic (Japan) entwickelt ihre selbstsperrenden "Gate-Injection" GaN-Transistoren auf Basis von 6" GaN-auf-Si Wafern für den Einsatz als selbstsperrender 600 V Schalter weiter und erzielt mittlerweile hervorragende Ergebnisse bezüglich eines besonders geringen dynamischen Einschaltwiderstands [1]. Das Gatemodul von Panasonic ist mit dem hier eingesetzten p-GaN Gate vergleichbar.
- Auch die Firma Samsung (Korea) veröffentlicht Daten von auf einem p-GaN Gate basierenden GaN-HFETs [2]. Durch eine neue Ankontaktierung des p-GaN Gates konnte die Einsatzspannung auf über 2 V angehoben werden.
- Die Firma Transphorm (USA) demonstriert effiziente Boost-Konverter und Motor-Inverter mit ihren (selbstleitenden) GaN-basierten 600 V Transistoren [3]. Die Bauteile werden an Pilotkunden verkauft. Selbstsperrendes Verhalten wird durch eine Kaskode-Schaltung mit einem Si-basierten Niederspannungs-MOSFET in Hybridbauweise erzwungen.

[1] M. Ishida, T. Ueda, T. Tanaka and D. Ueda, "GaN on Si Technologies for Power Switching Devices", IEEE Transactions on Electron Devices, vol. 60, no. 10, pp. 3053-3059, 2013.

[2] J. Kim, S. Hwang, I. Hwang, H. Choi, W. Jeon, H. S. Choi, J. Y. Kim, Y. H. Park, K. Y. Kim, J. Park, J. Ha, K. Y. Park, J. Oh, J. K. Shin, U.-I. Chung, I. Yoo, and K. Kim, "High Threshold Voltage p-GaN Gate Power Devices on 200mm Si," Proc. ISPSD 2013, pp. 315-318, 2013.

[3] Y. Wu, "GaN offers advantages to future HEV", Transphorm Presentation APEC2013 (<http://www.apec-conf.org/wp-content/uploads/2013/09/is1.1.1.7.pdf>), 2013.

### 3 Verwertungsplan

Am FBH prozessierte Transistoren- und Diodenchips wurden zum Bauelementeaufbau, zur elektrischen Charakterisierung und zum Aufbau eines Systemdemonstrators an Projektpartner geliefert, siehe auch Kapitel 1.5.1.

#### 3.1 Positionen des zahlenmäßigen Nachweises

Die im Projekt abgerechneten Ausgaben belaufen sich auf 599.900,00 €. Tabelle 3.1-1 gibt eine Übersicht über die wichtigsten Positionen:

Tabelle 3.1-1: Zusammenfassung der wichtigsten Positionen des zahlenmäßigen Nachweises		
Ausgabenart	Erläuterung	Zahlbetrag (€)
<b>Personal (Wiss. Ma.) (812)</b>	Insgesamt 67 Personenmonate in den Bereichen Epitaxie (12), Bauelementprozess (35) und Charakterisierung (20)	357.216,95
<b>Personal (Techn. Ma.) (817)</b>	Insgesamt 33 Personenmonate in den Bereichen Bauelementprozess (28) sowie Schaltungsentwurf und Charakterisierung (5)	102.545,94
	Summe Personal	459.762,89
<b>Vergabe von Aufträgen (835)</b>		
<b>Verbrauchsmaterial (843)</b>	GaN-auf-Si Wafer, SiC-Substrate, Materialien für Epi-Wachstum, Prozesschemikalien, Metalle, Gehäuse, Messspitzen	128.844,23
<b>Dienstreisen (846)</b>	Projekttreffen, Besuch von Tagungen	11.292,88
<b>Investitionen (850)</b>		
	<b>Gesamtprojektsumme</b>	<b>599.900,00</b>

### 3.2 Notwendigkeit und Angemessenheit der Arbeiten

Das FBH hat im Rahmen dieses Projekts die Bauelementtechnologien für selbstsperrende GaN-basierte Schalttransistoren und für GaN-basierte Schottkydioden weiterentwickelt. Beide Aktivitäten waren mit einem hohen wirtschaftlichen und wissenschaftlich-technischen Risiko verbunden und es wurde dabei technologisches Neuland betreten.

Zu Projektbeginn war nicht klar, ob mit diesen Bauelementen ein effizientes Stromschalten möglich ist, dies wurde erst im Laufe des Projekts durch die am FBH und bei Partnern durchgeführten Messungen und Schaltexperimente belegt. Der in der Anfangsphase des Projekts aufgedeckte erhöhte dynamische Einschaltwiderstand der GaN-Hochspannungstransistoren ist ein Beispiel für die wissenschaftlich-technischen Risiken, die der neuartigen Bauelementtechnologie innewohnen und die daher eine staatliche Förderung notwendig machen. Durch gezielte Weiterentwicklung der Bauelementtechnologie innerhalb der Projektlaufzeit konnte der dynamische Einschaltwiderstand der Transistoren signifikant reduziert werden.

### 3.3 Fortschreibung des Verwertungsplans

#### Wirtschaftliche Erfolgsaussichten

Es besteht ein erhebliches wirtschaftliches Interesse an den neuen GaN-basierten leistungselektronischen Komponenten, da sie bei einem vernünftigen Kosten-zu-Leistungsverhältnis effizientere und kompaktere Leistungskonverter als mit den etablierten Si-basierten Bauelementtechnologien ermöglichen werden. Dies ist durch das Engagement der etablierten Leistungselektronik-Halbleiterhersteller in die GaN-basierte Bauelementtechnologie sowohl auf nationaler (Infineon), europäischer (NXP, STM) und internationaler (International Rectifier, Panasonic) Ebene belegt. Die höchsten Einsatzpotenziale der neuen GaN-basierten Konverter werden in der Automobilelektronik (Bosch, Audi, Toyota) und in Wechselrichtern für PV-Konverter (SMA, Kaco) gesehen.

Da das FBH im Rahmen dieses Projekts seine Fähigkeit zum Entwurf und zur Herstellung von GaN-basierten Hochspannungsbaulementen demonstriert und verbessert hat, werden die Chancen zur Beauftragung aus der Industrie und für neue Förderprojekte zur weiteren Technologieentwicklung nachhaltig erhöht. Dabei steht zur Zeit der Transfer der Technologie für selbstsperrende GaN-Transistoren in die deutsche Halbleiterindustrie im Vordergrund.

#### Wissenschaftlich/technische Erfolgsaussichten

In dem Projekt konnten selbstsperrende GaN-basierte Hochspannungstransistoren zum verlustarmen Schalten demonstriert werden. Insbesondere für die Technologie der intrinsisch selbstsperrenden Transistoren besitzt das FBH ein europaweites Alleinstellungsmerkmal. Die Technologie besitzt einen Reifegrad, der einen Transfer zu industriellen Bauelementherstellern erlaubt.

Zukünftige technologische Optimierungen zielen auf eine noch höhere Einsatzspannung, eine weitere Reduktion des dynamischen Einschaltwiderstands eine höhere Sperrspannung (1200 V) und eine Verringerung der parasitären Kapazitäten.

Die im Projekt entwickelten GaN-basierten Dioden erlauben besonders schnelles und verlustarmes Hochspannungsschalten und können als Alternative für die (teuren) SiC-

basierten Hochspannungsschottkydioden eingesetzt werden. Dioden und Schalttransistoren können dabei auf einem GaN-Chip integriert werden.

Die Diodentechnologie lässt sich durch die geringen parasitären Kapazitäten bei niedrigeren Spannungen (<100 V) auch für den Mikrowellenbereich (Envelope Tracking Verstärker) einsetzen und ergänzt damit hervorragend die FBH-Kompetenz im Mikrowellenbereich.

Die höchsten Einsatzpotenziale der neuen GaN-basierten Transistoren und Dioden liegen in besonders kompakten Leistungskonvertern bis 600 V und bis etwa 10 kW. Hierbei kann durch den Einsatz der GaN-Bauelemente die Schaltfrequenz auf mehrere 100 kHz gesteigert werden was zu einer Volumen- und Gewichtsreduktion der Konverter führt. Die Demonstration einer hinreichenden Bauelementzuverlässigkeit bei Hochspannungsschaltbetrieb ist Voraussetzung für den Einsatz sowohl der Transistoren als auch der Dioden in Konverterschaltungen von Kunden und Kooperationspartnern.

#### Wissenschaftliche und wirtschaftliche Anschlussfähigkeit

Das FBH hat im Verlauf des Vorhabens umfangreiche Kompetenz im Bereich der GaN-basierten Hochspannungsschalttransistoren und Dioden aufgebaut und besitzt dabei ein Alleinstellungsmerkmal für intrinsisch selbstsperrende Transistoren. Dies ist, wie u.a. anhand der Publikationen und Tagungsbeiträge (Kapitel 3.3.2) dokumentiert, auch international sichtbar. Die Arbeiten des FBH werden dabei auf internationaler Ebene als sehr relevant eingestuft, was durch die vielen eingeladenen Vorträge (Kapitel 3.3.2.3) belegt ist. Diese Position ermöglicht es dem FBH, durch zukünftige Kooperationsprojekte den technologischen Stand in der GaN-Elektronik weiter auszubauen und so die entsprechende Systemkompetenz in Deutschland zu sichern. Im Rahmen des BMBF LES2-Programms beteiligt sich das FBH am ZuGaNG-Projektantrag.

Durch die sehr gute internationale Anerkennung der Arbeiten zu GaN-Leistungstransistoren ist das FBH sowohl auf nationaler, europäischer als auch weltweiter Ebene sehr gut vernetzt, so dass sich auch aus diesen Konstellationen heraus neue Ansätze für Folgeprojekte bieten.

Neben der Weiterentwicklung der lateralen 600 V und 1200 V GaN-Schalttransistoren wird das FBH in Zukunft auch sehr spezifischen Themen wie strahlungsharte GaN-Bauelemente für den Einsatz in Satelliten untersuchen.

Da für die in diesem Vorhaben entwickelte Bauelementtechnologie der Transfer in die Industrie bereits einsetzt, muss sich das FBH zukünftig vermehrt den noch in einem sehr explorativen Stadium befindlichen Technologien widmen. So erlauben mittlerweile verfügbare freistehende GaN-Substrate die Entwicklung von vertikalen GaN-Hochspannungs-transistoren für höhere Spannungen und Ströme.

#### Details zu Erfindungen, Publikationen und Vorträgen

In den folgenden Abschnitten sind die im Rahmen des Vorhabens gemachten Erfindungen sowie die auf das Vorhaben zurückgehenden Veröffentlichungen und Vorträge aufgelistet.

### 3.3.1 Erfindungen, Schutzrechtsanmeldungen und erteilte Schutzrechte

- J. Würfl, O. Hilt, F. Brunner, E. Bahat-Treidel, E. Cho, „Heterostruktur-Pufferschicht für Heterostruktur-Feldeffekttransistoren“, Offenlegungsschrift, Deutsches Patentamt, DE 10 2011 004 080 A1, 2012.
- O. Hilt, R. Zhytnytska and J. Würfl, „Halbleiterschichtenstruktur“, Offenlegungsschrift, Deutsches Patentamt, DE 10 2012 207 501 A1, 2013.

### 3.3.2 Publikationen

#### 3.3.2.1 Referierte Zeitschriften

- F. Brunner, E. Bahat-Treidel, M. Cho, C. Netzel, O. Hilt, J. Würfl and M. Weyers, "Comparative study of buffer designs for high breakdown voltage AlGaIn/GaN HFETs" , physica status solidi (c), Vol. 8, no. 1-3, pp. 2427-2429, 2011.
- P. Kotara, O. Hilt, H. Kirmse, J. Würfl, W. Neumann and G. Tränkle, "Electrical and EDX-analysis of CF<sub>4</sub> and Ar plasma treated AlGaIn/GaN HEMTs" , physica status solidi (c), Vol. 8, no. 7-8, pp. 2207-2209, 2011.
- J. Würfl, E. Bahat-Treidel, F. Brunner, M. Cho, O. Hilt, A. Knauer, P. Kotara, M. Weyers and R. Zhytnytska, „High voltage normally-off transistors and efficient Schottky diodes based on GaN technology“, ECS transactions, Vol 41(8), pp. 127-138, 2011.
- E. Cho, F. Brunner, R. Zhytnytska, P. Kotara, J. Würfl, and M. Weyers, "Enhancement of channel conductivity in AlGaIn/GaN heterostructure field effect transistors by AlGaIn:Si back barrier", Appl. Phys. Lett., vol. 99, no. 103505, 2011.
- J. Würfl, E. Bahat-Treidel, F. Brunner, E. Cho, O. Hilt, P. Ivo, A. Knauer, P. Kupas, R. Lossy, M. Schulz, S. Singwald, M. Weyers, R. Zhytnytska, "Reliability issues of GaN based high voltage power devices", Microelectron. Reliab., vol. 51, no. 9-11, pp. 1710-1716, 2011.
- E. Bahat-Treidel, O. Hilt, R. Zhytnytska, A. Wentzel, C. Meliani, J. Würfl, and G. Tränkle, „ Fast-Switching GaN-Based Lateral Power Schottky Barrier Diodes With Low Onset Voltage and Strong Reverse Blocking “, IEEE Electron Device Letters, Vol. 33, No. 3, pp. 357-359, 2012.
- J. Würfl, E. Bahat-Treidel, F. Brunner, M. Cho, O. Hilt, A. Knauer, P. Kotara, M. Weyers, R. Zhytnytska, „Device breakdown and dynamic effects in GaN power switching devices: Dependencies on material properties and device design“, ECS transactions Vol. 50(3), pp. 211-222, 2012.
- E. Bahat-Treidel, O. Hilt, A. Wentzel, J. Würfl, and G. Tränkle, "Fast GaN based Schottky diodes on Si(111) substrate with low onset voltage and strong reverse blocking", phys. stat. sol. (c), vol. 10, no. 5, pp. 849-852, 2013.
- J. Würfl, O. Hilt, E. Bahat-Treidel, R. Zhytnytska, K. Klein, P. Kotara, F. Brunner, A. Knauer, O. Krüger, M. Weyers, G. Tränkle, "Technological approaches towards

high voltage, fast switching GaN power transistors", ECS Trans., vol. 52, no. 1, pp. 979-989, 2013.

- P. Kotara, R. Zhytnytska, O. Hilt, E. Cho, F. Brunner, A. Thies, E. Bahat-Treidel, and J. Würfl, "Vertical Blocking Voltage Improvement of GaN HEMT Structures on n-SiC by Pre-Epitaxial Substrate Implantation", ECS Journal of Solid State Science and Technology, vol. 2, no. 8, pp. N3064-N3067, 2013.
- O. Hilt, P. Kotara, F. Brunner, A. Knauer, R. Zhytnytska, und J. Würfl, "Improved Vertical Isolation for Normally-off High Voltage GaN-HFETs on n-SiC Substrates", IEEE Transactions on Electron Devices, vol. 60, no. 10, pp. 3084-3090, 2013.
- J. Würfl, O. Hilt, E. Bahat-Treidel, R. Zhytnytska, P. Kotara, O. Krüger, F. Brunner, and M. Weyers, "Breakdown and dynamic effects in GaN power switching devices", phys. stat. sol. (c), vol. 10, no. 11, pp. 1393-1396, 2013.
- O. Hilt, E. Bahat-Treidel, F. Brunner, A. Knauer, R. Zhytnytska, P. Kotara and J. Würfl, "Normally-off GaN Transistors for Power Switching Applications", ECS Trans., vol. 58, no. 4, pp. 145-154, 2013.

### 3.3.2.2 Konferenzbeiträge

- E. Bahat Treidel, O. Hilt, R. Zhytnytska, E. Cho, J. Würfl and G. Tränkle, "GaN-based Schottky diodes with low onset voltage and strong reverse blocking", 38th Int. Symp. on Compound Semiconductors (ISCS), Berlin, Germany, May 22-26, pp. 246-247 (2011).
- O. Hilt, F. Brunner, E. Cho, A. Knauer, E. Bahat-Treidel and J. Würfl, "Normally-off High-Voltage p-GaN Gate GaN HFET with Carbon-Doped Buffer", Proc. Int. Symp. on Power Semiconductor Devices & ICs (ISPSD), San Diego, CA, May 23-26, pp. 239-242 (2011).
- E. Bahat Treidel, O. Hilt, R. Zhytnytska, E. Cho, J. Würfl and G. Tränkle, "AlGaIn/GaN/GaN:C back-barrier Schottky diodes for power switching", 35rd Workshop on Compound Semiconductor Devices and Integrated Circuits (WOCS-DICE), Catania, Italy, May 29 - Jun 1, ISBN 978-88-8080-123-8, pp. 165-166 (2011).
- O. Hilt, E. Bahat-Treidel, E. Cho, S. Singwald and J. Würfl, "Impact of Buffer Composition on the Dynamic On-State Resistance of High-Voltage AlGaIn/GaN HFETs", 24th Int. Symp. on Power Semiconductor Devices and ICs (ISPSD), Bruges, Belgium, Jun. 3-7, pp. 345-348, 2012.
- R. Zhytnytska, E. Cho, E. Bahat-Treidel, O. Hilt, P. Kotara, J. Würfl and G. Tränkle, "Comparison of vertical breakdown properties of C-doped GaN and AlGaIn buffer structures on conductive SiC substrates", Proceedings of 36th Workshop on Compound Semiconductor Devices and Integrated Circuits (WOCS-DICE), 2012.
- P. Kotara, R. Zhytnytska, E. Cho, A. Thies, E. Bahat-Treidel, O. Hilt, J. Würfl and G. Tränkle, "Improvement of vertical breakdown using pre-epitaxial implantation on n-SiC substrates", Proceedings of 36th Workshop on Compound Semiconductor

Devices and Integrated Circuits (WOCSDICE), 2012.

- E. Bahat-Treidel, O. Hilt, A. Wentzel, J. Würfl, and G. Tränkle, "Fast GaN based Schottky diodes on Si(111) substrate with low onset voltage and strong reverse blocking", 39th Int. Symposium on Compound Semiconductors (ISCS), Santa Barbara, USA, 27.-30.08.2012.
- N. Badawi, O. Hilt, E. Bahat-Treidel, S. Dieckerhoff, H.-J. Würfl, "Switching Characteristics of 200 V Normally-off GaN HEMTs", Int. Exhibition and Conf. for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM Europe), Nürnberg, ISBN 978-3-8007-3505-1, pp. 319-324, 14-16.05.2013.
- N. Badawi, O. Hilt, S. Dieckerhoff, E. Bahat-Treidel, R. Aguirre, J. Würfl, "Switching Performance of 400 V Normally-On and Normally-Off GaN HEMTs", 37th Workshop on Compound Semiconductor Devices and Integrated Circuits (WOCSDICE), Warnemünde, Germany, May 26-29, ISBN 978-3-00-041435-0, pp. 47-48 (2013).
- J. Würfl, "Overview on Project 'GaN-Based Normally-Off High Power Switching Transistors for Efficient Power Converters' (HIPOSWITCH)", 37th Workshop on Compound Semiconductor Devices and Integrated Circuits (WOCSDICE), Warnemünde, Germany, May 26-29, ISBN 978-3-00-041435-0, p. 55 (2013).
- E. Bahat-Treidel, O. Hilt, J. Würfl, "AlGaIn/GaN/AlGaIn/GaN:C on n-SiC Power HEMT with Low Switching Dynamic  $R_{ON}$  and High Breakdown Voltage", 37th Workshop on Compound Semiconductor Devices and Integrated Circuits (WOCSDICE), Warnemünde, Germany, May 26-29, ISBN 978-3-00-041435-0, pp. 61-62 (2013).
- R. Zhytnytska, O. Hilt, J. Würfl and G. Tränkle, "Influence of device periphery design on breakdown and ON-state resistance of AlGaIn/GaN HEMTs", Proceedings of 37th of Workshop on Compound Semiconductor Devices and Integrated Circuits (WOCSDICE 2013), 2013, p.65.
- N. Badawi, E. Bahat-Treidel, S. Dieckerhoff, O. Hilt and J. Würfl, „Evaluation of 600V GaN and SiC Schottky Diodes at Different Temperatures”, 15<sup>th</sup> Conf. on Power Electronics and Applications (EPE'13 ECCE), Lille, Frankreich, 03-05.09.2013.

### 3.3.2.3 Eingeladene Vorträge

- O. Hilt, E. Bahat-Treidel, R. Zhytnytska, P. Kotara und J. Würfl, "Bauteile aus GaN – Sicht auf die Halbleitertechnologie", 6. ETG Fachtagung Bauelemente der Leistungselektronik und ihre Anwendungen, Bad Nauheim, 13.04.2011, ETG-Fachbericht 128, Paper 1.5, ISBN 978-3-8007-3341-5, pp. 47-56 (2011).
- O. Hilt, „GaN Transistoren und Dioden in der Leistungselektronik“, IALB, Universität Bremen, 22.06.2011.
- J. Wuerfl, E. Bahat-Treidel, F. Brunner, M. Cho, O. Hilt, A. Knauer, P. Kotara, M. Weyers and R. Zhytnytska, „High voltage normally-off transistors and efficient

Schottky diodes based on GaN technology“, 220<sup>th</sup> ECS Meeting, Boston, USA, 09.-14.10.2011.

- O. Hilt, E. Bahat-Treidel and J. Würfl, "Normally-off GaN Transistors and Diodes for Power Applications" 3rd Global COE Int. Symp. Electronic Devices Innovation (EDIS 2011), Osaka, Japan, Dec. 16.-17.12.2011.
- J. Würfl, E. Bahat-Treidel, F. Brunner, M. Cho, O. Hilt, A. Knauer, P. Kotara, M. Weyers, R. Zhytnytska, „Device breakdown and dynamic effects in GaN power switching devices: Dependencies on material properties and device design“, Pacific RIM Meeting (PRiME 2012), Honolulu, USA, 07-12.10.2012.
- E. Bahat Treidel, O. Hilt, A. Wentzel, J. Würfl and G. Tränkle, „Fast switching GaN based Schottky diodes with low onset voltage and strong reverse blocking“, RWTH Aachen, 09.11.2012.
- J. Würfl, O. Hilt, E. Bahat-Treidel, R. Zhytnytska, P. Kotara, und F. Brunner, „GaN - Perspektive für die Leistungselektronik“, DLR EEE-Bauteilekonferenz, Frankfurt(Oder), 05.-06.02.2013.
- J. Würfl, O. Hilt, "Power Electronic Devices based on GaN: Advantages and Perspectives", Int. Conf. and Exhibition on Automotive Power Electronics, Paris, Frankreich, 03.- 04.04.2013.
- J. Würfl, "GaN Power Devices (HEMT): Basics, Advantages and Perspectives", ECPE Workshop: SiC & GaN User Forum 'Potential of Wide Bandgap Semiconductors in Power Electronic Applications', München, 02.-03.05.2013.
- J. Würfl, O. Hilt, E. Bahat-Treidel, R. Zhytnytska, K. Klein, P. Kotara, F. Brunner, A. Knauer, O. Krüger, M. Weyers, G. Tränkle, "Technological approaches towards high voltage, fast switching GaN power transistors", China Semiconductor Technology International Conference (CSTIC 2013), Shanghai, China, 17.- 18.03.2013.
- J. Würfl, O. Hilt, E. Bahat-Treidel, R. Zhytnytska, P. Kotara, O. Krüger, F. Brunner, and M. Weyers, "Breakdown and dynamic effects in GaN power switching devices", 40<sup>th</sup> International Symposium on Compound Semiconductors, Kobe, Japan, 19.-23.05.2013.
- O. Hilt, E. Bahat-Treidel, F. Brunner, A. Knauer, R. Zhytnytska, P. Kotara, J. Würfl, „Normally-off GaN Transistors for Power Applications“, Microtechnology and Thermal Problems in Electronics (MicroTherm) 2013, Lodz, Polen, 26.- 28.06.2013.
- J. Würfl, O. Hilt, E. Bahat-Treidel, P. Kurpas, S.A. Chevchenko, O. Bengtsson, E. Ersoy, A. Liero, A. Wentzel, W. Heinrich, N. Badawi, S. Dieckerhoff, "Enabling GaN High Speed Devices: Microwave Meets Power Electronics - and vice versa", Proc. 8th European Microwave Integrated Circuits Conf. (EuMIC 2013), Nürnberg, pp. 176-179, 06-08.10.2013.
- O. Hilt, E. Bahat-Treidel, F. Brunner, A. Knauer, R. Zhytnytska, P. Kotara and J. Würfl, "Normally-off GaN Transistors for Power Switching Applications", 224th ECS Meeting, San Francisco, USA, Oct. 27.10.- 01.11.2013.

- J. Würfl, O. Hilt, E. Bahat-Treidel, P. Kotara und R. Zhytnytska, „GaN-Schalttransistoren und Dioden für die Leistungselektronik: Stärken, Schwächen und mittelfristige Perspektiven“, ETG-Workshop Schaltungstechnik für GaN-Bauelemente in der Leistungselektronik, Berlin, 04.11.2013.
- O. Hilt, E. Bahat-Treidel, F. Brunner, A. Knauer, R. Zhytnytska, P. Kotara and J. Würfl, „Normally-off GaN-based Switching Transistors for Power Applications“, NCTU University, Shinchu, Taiwan, 07.11.2013.
- O. Hilt, E. Bahat-Treidel, F. Brunner, A. Knauer, R. Zhytnytska, P. Kotara und J. Würfl, „Selbstsperrende GaN-basierte Schalttransistoren für den Einsatz in der Leistungselektronik“, Lehrstuhl für Elektronenphysik, Technische Universität München, 02.12.2013.
- J. Würfl, O. Hilt, E. Bahat-Treidel, R. Zhytnytska, P. Kotara, F. Brunner, O. Krueger, M. Weyers, „Techniques towards GaN power transistors with improved high voltage dynamic switching properties“, International Electron Device Meeting (IEDM), Washington, USA, 08.-12.12.2013.
- O. Hilt, E. Bahat-Treidel, F. Brunner, A. Knauer, R. Zhytnytska, P. Kotara und J. Würfl, „Selbstsperrende GaN Transistoren für Anwendungen in der Leistungselektronik“, Leistungselektronik Kolloquium, Fraunhofer IISB, Erlangen, 16.12.2013.

#### 3.3.2.4 Abschlussarbeiten

- W. T. Selvanathan, „Entwicklung monolithisch integrierter Heizelemente zur Charakterisierung des Temperaturverhaltens von GaN-Transistoren“, Studienarbeit, TU Berlin, 2011.
- S. Singwald, „Aufbau und Untersuchung eines Messplatzes zur dynamischen Charakterisierung von Leistungstransistoren“, Diplomarbeit, TU Berlin, 2011.
- F. Eberspach, „Spezifische Charakterisierung von GaN-HFETs zur Einsatzbarkeit als Schalttransistor in der Leistungselektronik“, Bachelorarbeit, TH Wildau, 2012.
- K. Klein, „Pre-epi Implantation von leitfähigen SiC-Substraten zur Erhöhung der vertikalen Durchbruchspannung von GaN-Leistungstransistoren“, Masterarbeit, TU Berlin 2012.

## Berichtsblatt

1. ISBN oder ISSN geplant	2. Berichtsart (Schlussbericht oder Veröffentlichung) Schlussbericht
3. Titel GaN Dioden und selbstsperrende GaN Schalttransistoren für effiziente Leistungswandler (GaN Powerswitch)	
4. Autor(en) [Name(n), Vorname(n)] Hilt, Oliver	5. Abschlussdatum des Vorhabens 31.5.2013
	6. Veröffentlichungsdatum geplant
	7. Form der Publikation Bericht
8. Durchführende Institution(en) (Name, Adresse) Ferdinand-Braun-Institut, Leibniz-Institut für Höchstfrequenztechnik im Forschungsverbund Berlin e.V. Gustav-Kirchhoff.Str. 4 12489 Berlin	9. Ber. Nr. Durchführende Institution -
	10. Förderkennzeichen 13N10908
	11. Seitenzahl 41
12. Fördernde Institution (Name, Adresse) Bundesministerium für Bildung und Forschung (BMBF) 53170 Bonn	13. Literaturangaben 4
	14. Tabellen 4
	15. Abbildungen 38
16. Zusätzliche Angaben -	
17. Vorgelegt bei (Titel, Ort, Datum) -	
18. Kurzfassung Es wurden GaN-basierte laterale Dioden mit geringer Einsatzspannung und intrinsisch selbstsperrende Transistoren für den Einsatz in Schaltkonvertern realisiert. Transistorergebnisse: - Basierend auf dem p-GaN-Gate Modul wurden selbstsperrende 100 mΩ / 600 V Transistoren mit 1 V Einsatzspannung realisiert. - Durch den Einsatz eines eisendotierten GaN-Puffers konnte die Erhöhung des dynamischen Einschaltwiderstands für das 250 V Schalten auf den Faktor 2.6 reduziert werden. - Die Schaltverluste sind kleiner als für Si-basierte Superjunction MOSFETs. Diodenergebnisse: - Durch die Entwicklung des zurückgesetzten Anodenkontaktes konnten 300 mΩ / 600 V Dioden mit 0.5 V Einsatzspannung realisiert werden. - Die Schaltverluste sind so klein wie bei SiC-basierten HV-Schottkydioden. - Die Dioden wurden erfolgreich im Boost-Konverter (Systemdemonstrator) der Uni Erlangen eingesetzt.	
19. Schlagwörter GaN, Transistor, Diode, Schaltkonverter, Schalttransistor, Schottkydiode, Leistungselektronik	
20. Verlag -	21. Preis -

## Document Control Sheet

1. ISBN or ISSN planned	2. type of document (e.g. report, publication) final report
3. title GaN Dioden und selbstsperrende GaN Schalttransistoren für effiziente Leistungswandler (GaN Powerswitch)	
4. author(s) (family name, first name(s)) Hilt, Oliver	5. end of project 31.05.2013
	6. publication date planned
	7. form of publication report
8. performing organization(s) (name, address)	9. originator's report no. -
	10. reference no. 13N10908
	11. no. of pages 41
12. sponsoring agency (name, address)  Bundesministerium für Bildung und Forschung (BMBF) 53170 Bonn	13. no. of references 4
	14. no. of tables 4
	15. no. of figures 38
16. supplementary notes -	
17. presented at (title, place, date) -	
18. abstract  GaN-based lateral diodes with low onset voltage and intrinsically normally-off transistors for the use in switch-mode power converters have been realized.  Results for the transistors: <ul style="list-style-type: none"> <li>- Normally-off 100 mΩ / 600 V transistors with 1 V threshold voltage have been realized by using a p-GaN gate module.</li> <li>- The increase in dynamic on-state resistance for 250 V switching was reduced to a factor 2.6 by introducing an iron-doped GaN buffer.</li> <li>- The switching losses are smaller than for Si-based superjunction MOSFETs</li> </ul> Results for the diodes: <ul style="list-style-type: none"> <li>- 300 mΩ / 600 V Schottky diodes with 0.5 V onset voltage have been realized by developing the recessed anode contact.</li> <li>- The switching losses are as small as for SiC-based high voltage Schottky diodes.</li> <li>- The diodes have successfully been used in the boost converter of Erlangen university (system demonstrator).</li> </ul>	
19. keywords GaN, transistor, switch mode converter, switching transistor, Schottky diode, power electronic	
20. publisher -	21. price -