

Abschlussbericht

zum Teilvorhaben:

**Nichtlineare thermo-mechanische Analysen
für die Kompaktmodellierung elektronischer Komponenten und Systeme**

im Rahmen des Verbundprojekt:

COMPAS

**Kompakte Modellierung mikroelektronischer Produkte zur Optimierung
entlang der Wertschöpfungskette**

**Zuwendungsempfänger: Fraunhofer Institut für
Elektronische Nanosysteme (Fraunhofer ENAS)
Förderkennzeichen: 01IS20074F**

**Förderzeitraum:
01.10.2020 bis 30.09.2023**

**Berichtszeitraum:
01.10.2020 bis 30.09.2023 (verlängert bis 31.12.2023)**

Ansprechpartner:

Birgit Brämer
Fraunhofer Institut für Elektronische Nanosysteme (ENAS)
Technologie-Campus 3
09126 Chemnitz
Tel.: +49 371 45001 415
Email: birgit.braemer@enas.fraunhofer.de

*Das diesem Bericht zugrunde liegende Vorhaben wurde mit Mitteln des Bundesministeriums für Bildung und Forschung unter dem Förderkennzeichen 01IS20074F gefördert.
Die Verantwortung für den Inhalt dieser Veröffentlichung liegt bei den Autoren.*

Inhaltsverzeichnis

1	Wissenschaftlich-technische Ergebnisse und andere wesentliche Ereignisse	3
1.1	Anforderungsanalyse (für Kompaktmodelle).....	3
1.2	Kompaktmodell - Extraktionsmethodik für nichtlineare thermo-mechanische Modelle	4
1.2.1	Kompaktes Modell auf Basis der Response Surface Methode	5
1.2.2	Kompaktmodell auf Basis der 'Statistics on Structures (SoS)'	7
1.2.3	Kompaktmodell auf Basis des 'Static ROM Builder'	8
1.3	Integration der Simulationen in die Arbeitsabläufe zur Designuntersuchung und -optimierung	10
1.3.1	Auf Statistics-on-Structures (SoS) basiertes Kompaktmodell für die Design Exploration.....	11
1.4	Demonstratoren und Anwendungsfälle.....	13
1.4.1	Physikalische Tests zur Modellvalidierung	13
1.4.2	Lebensdauertest.....	15
1.5	Dokumentierung der 'Best Practice' - Guideline	18
2	Notwendigkeit und Angemessenheit der geleisteten Arbeit.....	18
3	Fortschreibung des Verwertungsplans	19
4	Während der Durchführung des Vorhabens dem Zuwendungsempfänger bekannt gewordenen Fortschritts auf diesem Gebiet bei anderen Stellen	20
5	Veröffentlichungen.....	20
6	Abkürzungen	20

1 Wissenschaftlich-technische Ergebnisse und andere wesentliche Ereignisse

"COMPAS" hat die Entwicklung von Werkzeugen zum Ziel, die sowohl das effiziente Co-Design von Elektroniksystemen unter Verwendung neuartiger kompakter Modellierungstechniken ermöglichen als auch "prognostic health"-Analysen unter Verwendung digitaler Zwillinge zu bieten. Die Entwicklungen sollen auf dem Gebiet des Zuverlässigkeitsmanagements elektronischer Systeme einsatzfähig sein, wobei thermo-mechanische Schädigungseinflüsse im Fokus stehen. Die Nutzung der Kompaktmodellierung soll auch einen IP-sicheren Daten- und Modellaustausch entlang industrieller Lieferketten ermöglichen. Fraunhofer ENAS wird wesentliche Beiträge zur Erstellung der Ergebnisse der nichtlinearen thermo-mechanische Modellierung erbringen und die genaue thermische und Dehnungs-/Spannungsfeldrekonstruktion aus reduzierten Modellen damit validieren. Dies sollte es ermöglichen, Berechnungen drastisch zu beschleunigen und zeitraubende Validierungstests zu unterstützen und zu virtualisieren.

Fraunhofer ENAS hat an der Definition der Anforderungen für die zu entwickelnden Kompaktmodelle mitgewirkt, die Grenzwerte für das Verhalten der thermomechanischen Nichtlinearitäten im Hinblick auf ihre Ermüdung umfassen. Die Anforderungen wurden in vollständige Finite-Elemente-Modelle umgesetzt, um Trainingsdaten für das kompakte Modell zu generieren. Zu diesem Zweck hat Fraunhofer ENAS ein virtuelles DoE-Setup entwickelt, um Trainingsdaten auf der Grundlage verschiedener Temperaturzyklen durch nichtlineare thermomechanische Simulationen zu erzeugen. Basierend auf diesen Trainingsdaten hat Fraunhofer ENAS kompakte Modelle mit Hilfe der Response Surface Methode, Statistics on Structures und Static ROM Builder erstellt. Für die Auslegungsoptimierungsstudie wurde die Integration des kompakten Modells in verschiedene Tools untersucht. Zur Validierung des FE-Modells und der Kompaktmodelle wurden verschiedene Verformungsmessungen, thermische Zyklustests und Fehleranalysen durchgeführt. Außerdem leitete Fraunhofer ENAS das Arbeitspaket 5, das sich mit den Demonstratoren und Anwendungsfällen, Tests und Validierung befasst. Fraunhofer ENAS hat einen Entwurf für Best-Practice-Richtlinien zur Erstellung der thermo-mechanischen FE-Analysen erstellt, die für eine kompakte Modellerstellung erforderlich sind.

1.1 Anforderungsanalyse (für Kompaktmodelle)

Die Projektpartner haben verschiedene Studien durchgeführt, um die Anforderungen an ein Konzept zur Kompaktmodellierung der verschiedenen Partner zu erfassen. Diese Erhebungen wurden in Form von Fragebögen durchgeführt, die von jedem Partner ausgefüllt wurden.

Die Anforderungen an das Kompaktmodell des Fraunhofer ENAS (nach der Diskussion mit den Projektpartnern) werden im Folgenden zusammengefasst:

- Das Fraunhofer ENAS ist an der Entwicklung der Kompaktmodellierung auf mehreren Detailebenen interessiert. Konkret werden die Package-Ebene und die Modul-Ebene (d.h. Leiterplatte mit Packages, ggf. in einem Gehäuse) betrachtet.
- Die Erwartung an die Kompaktmodelle auf Gehäuse-Ebene ist, dass sie für die Design-Optimierung auf der Modul-Ebene verwendbar sind – z.B. für die optimale Platzierung der Packages auf der Leiterplatte, um die Zuverlässigkeit zu maximieren. Um diesen Optimierungsprozess zu beschleunigen, sind Kompaktmodelle der Packages zu verwenden, mit denen die strukturellen Effekte genau wiedergegeben werden können. Sie müssen also mit dem regulären FE-Modell der Leiterplatte interagieren können. Auch hier wird das Fraunhofer ENAS zur Entwicklung beitragen, indem es an Versuchsplanungen (Design of Experiments, DoE-Schema) arbeitet und Auswertemethoden wie die Response-Surface-Modellen einsetzt.
- Bei Mikroelektronik-Bauelementen treten verschiedene Versagensarten auf. Fraunhofer ENAS konzentriert sich auf die wichtigste Gruppe. Das ist die Ermüdung der Lötstellen.

Fraunhofer ENAS hat sich aktiv und erfolgreich in die Diskussion um die Definition der Modelle mit unterschiedlichen Materialkomplexitäten (von linear bis nichtlinear) eingebracht. Im Ergebnis wurden von Infineon und NXP drei Trainingsmodelle auf Komponentenebene erstellt (Tabelle 1). Das Fraunhofer ENAS hat hauptsächlich am dritten Fall gearbeitet.

Material/body	Case #1	Case #2	Case #3
Copper	LE, constant	LE, constant	LE, constant
Silicon	LE, constant	LE, constant	LE, constant
Solder (lead) in side package	LE, constant	LE, changes over temperature	Non-linear: Garofalo creep model
Polymer	LE, constant	LE, changes over temperature	Non-linear: LVE
Solder SAC on PCB	LE, constant	LE, changes over temperature	Non-linear: Garofalo creep model
FR4	LE, constant	LE, constant	LE, constant

LE = Linear-elastic

LVE = Linear-visco-elastic = Prony series with WLF shift function

Tabelle 1: Definierte Fälle mit unterschiedlichen Material-Nichtlinearitäten

1.2 Kompaktmodell - Extraktionsmethodik für nichtlineare thermo-mechanische Modelle

Zunächst wurde das Finite-Elemente-Modell mit verbessertem Netz für das auf der Leiterplatte montierte TDSON-Gehäuse erstellt (Abbildung 1). Zur Unterstützung der Entwicklung und des Vergleichs des nichtlinearen thermo-mechanischen Kompaktmodells werden für den Fall 3 (Tab. 1) zwei thermische Zyklen simuliert. Dabei wurde nach Abkühlung von der spannungsfreien Temperatur und einer Woche Verweilzeit (Abb. 2, links) ein mit den Partnern abgestimmtes Referenztemperaturprofil (Abb. 2b, rechts) genutzt.

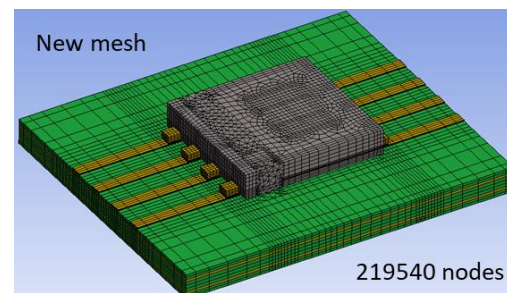
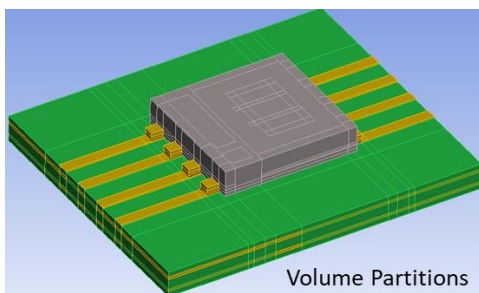


Abbildung 1: Trainingsmodell TDSON des Partners Infineon - auf die Leiterplatte montiertes Gehäuse (links) und das entsprechende FE-Modell (rechts)

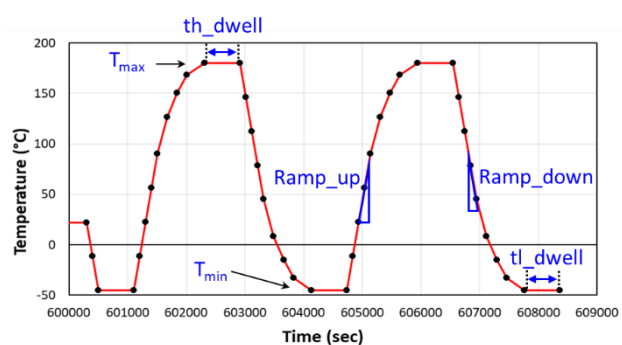
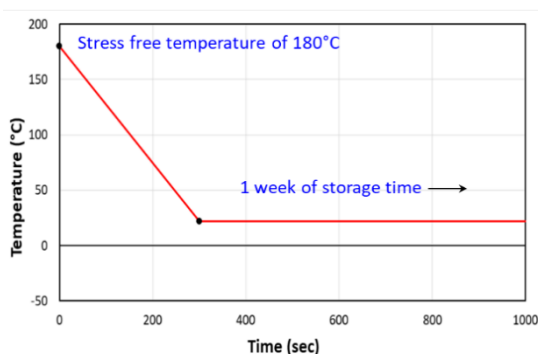
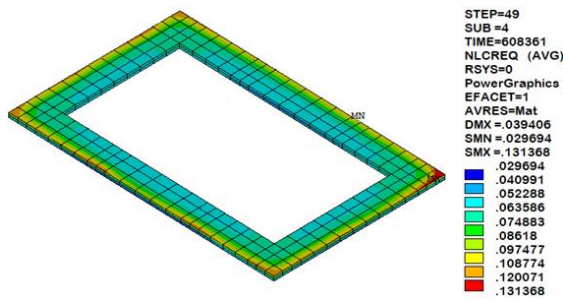


Abbildung 2 Temperaturprofil: Erste Abkühlung und Lagerung (links) und 2 Temperaturzyklen (rechts)



STEP=49
SUB =4
TIME=608361
NLCREQ (AVG)
RSYS=0
PowerGraphics
EFACET=1
AVRES=Mat
DMX =.039406
SMN =.029694
SMX =.131368
 .029694
 .040991
 .052288
 .063586
 .074883
 .08618
 .097477
 .108774
 .120071
 .131368

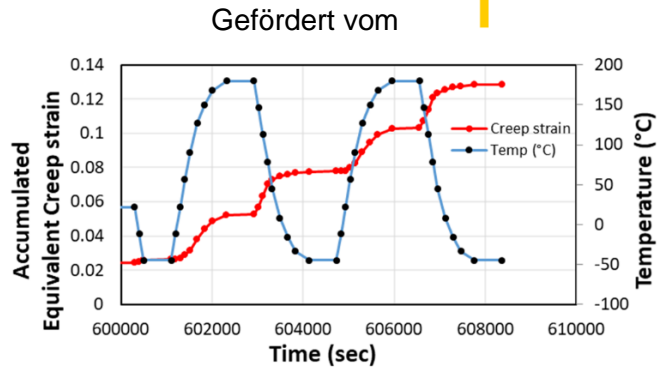


Abbildung 3: Maximale akkumulierte äquivalente Kriechdehnung in den äußeren Elementen der Lötchicht unter dem Chip nach 2 Zyklen (links) und an einem einzelnen Knotenpunkt über dem Referenztemperatur-Belastungsprofil (rechts)

Die simulierte maximale akkumulierte äquivalente Kriechdehnung in der Lötchicht nach 2 Zyklen ist aus *Abbildung 3* ersichtlich. Hier sind nur die äußeren Elemente ausgewählt, an denen die maximale Schädigung im Lot auftritt. Außerdem ist die Entwicklung der akkumulierten äquivalenten Kriechdehnung an einem Knotenpunkt über den Temperaturzyklen dargestellt.

Das Fraunhofer ENAS hat ein virtuelles DoE-Simulations-Setup entwickelt. Aus verschiedenen Temperaturwechsel-Testprofilen, die für Qualifikationstests verwendet wurden, werden die Bereiche für sechs Eingangsparameter (*Tabelle 2*) definiert, um parametrische virtuelle Temperaturprofile zu erstellen. Ziel ist es, die resultierende Ermüdungslebensdauer von Lötstellen in Abhängigkeit von unterschiedlichen Temperaturwechselbelastungen darzustellen.

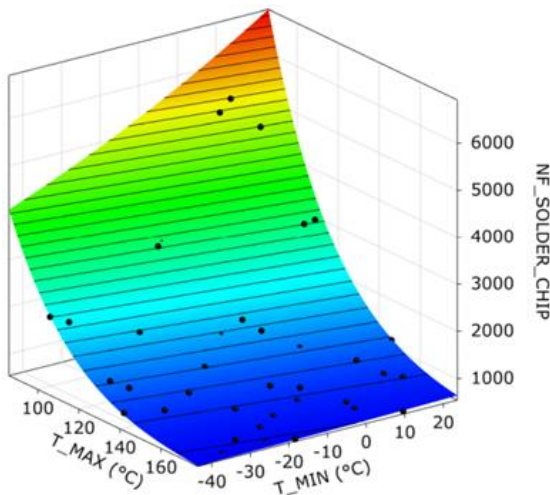
1.2.1 Kompaktes Modell auf Basis der Response Surface Methode

Basierend auf den definierten Eingangs- und Ausgangsparametern werden mit ANSYS™ OptiSlang Sensitivitätsanalysen durchgeführt und Response Surface erstellt, die mittels einer Gleichung als Kompaktmodell dargestellt werden können. Daraus wurden Trainingsdaten für das Infineon-Trainingsmodell einschließlich der Nichtlinearitäten generiert, die für die Kompaktmodell-Validierung und das Training verwendet werden konnten.

Eingabeparameter	Referenzwert	Mindestwert	Maximalwert
Höchsttemperatur (T_{max})	180°C	80	180
Mindesttemperatur (T_{min})	-45°C	-45	25
Haltezeit bei T_{max} (th_{dwell})	600 sec	60	6000
Haltezeit bei T_{min} (tl_{dwell})	600 sec	60	6000
Aufheizrate (Ramp_up)	20 K/min	2	20
Abkühlungsrate (Ramp_down)	20 K/min	2	20

Tabelle 2: Parameter für das Referenz-Temperaturbelastungsprofil und seine Bereiche

Die Änderung der Kriechdehnung pro Zyklus, gemittelt über das Elementvolumen, wird als kritischer Parameter zur Berechnung der Anzahl der Zyklen bis zum Versagen verwendet, wobei die Coffin-Manson-Gleichung mit den Koeffizienten $C_1 = 1$ und $C_2 = 1$ verwendet wird. Für eine realistische Berechnung der Anzahl der Zyklen bis zum Versagen werden in Zukunft Literaturwerte für C_1 und C_2 verwendet. *Abbildung 4* zeigt den Response Surface Plot der berechneten Anzahl der Zyklen bis zum Versagen des Lotmaterials unter dem Chip. Es ist ersichtlich, dass höhere Maximaltemperaturen hohe Kriechspannungen aufweisen, was auch für den größeren Unterschied zwischen der Maximal- und der Minimaltemperatur gilt. Auch die Anzahl der Zyklen bis zum Versagen ist bei niedrigeren Temperaturen am größten.



$$\begin{aligned}
 Nf_solder_chip = & 24720.3 - 294.518 * T_max + \\
 & 112.69 * T_min + \\
 & 0.895053 * T_max^2 - \\
 & 0.0567452 * T_min^2 - \\
 & 0.755849 * T_max * T_min
 \end{aligned}$$

Abbildung 4: Response Surface für die berechnete Anzahl der Zyklen bis zum Versagen des Lots unter dem Chip (links) und Beispiel einer angepassten Formel (rechts)

Mit diesen 'Response Surface'-Ergebnissen können direkt die Gleichungen für die Ausgangsparameter abgeleitet werden, sofern die Ausgangsparameter von maximal zwei Eingangsparametern abhängen. Wie in *Abbildung 4* rechts dargestellt, können solche Gleichungen verwendet werden, um die definierten Ausgangsparameter in Abhängigkeit von den variierenden Eingangsparametern zu berechnen, ohne eine FE-Simulation durchführen zu müssen. Das führt zu einer erheblichen Zeitersparnis. Das angepasste Metamodell kann aber auch für Fälle erstellt werden, in denen komplexe Beziehungen zwischen Eingabe- und Ausgabeparametern bestehen, die nicht durch solch eine einfache Gleichung beschrieben werden können. Dann wird das von OptiSLang bereitgestellte MOP-Konzept genutzt (MOP – Metamodel of Optimal Prognosis). Die Gleichung bzw. die MOP-Datei (welche abschnittsweise die jeweils bestgeeignete Gleichung enthält) kann als Kompaktmodell für den digitalen Zwilling zur Echtzeit-Lebensdauerschätzungen verwendet werden, ohne dass eine Simulation durchgeführt werden muss, weil diese Datei in Excel oder ähnliche Tools importierbar ist (*Abbildung 5*).

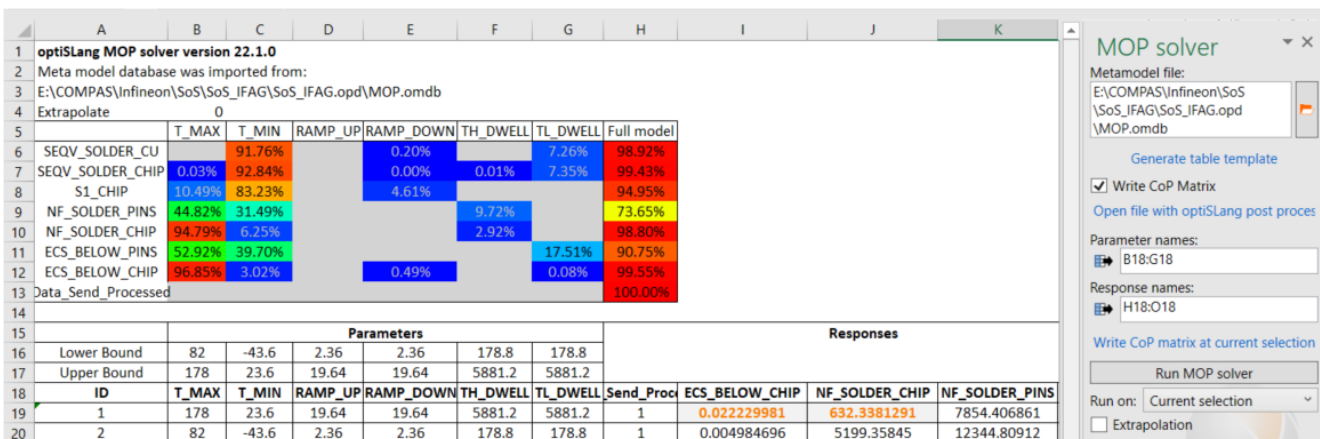


Abbildung 5 - Metamodell-Datei aus Optislang in Excel importiert

Der Vorteil dieses Ansatzes könnte darin liegen, dass wesentliche nichtlineare Effekte in dem kompakten Modell erfasst werden können, die sich aus der detaillierten FE-Analyse auf der Grundlage der Physik ergeben.

1.2.2 Kompaktmodell auf Basis der 'Statistics on Structures (SoS)'

Fraunhofer ENAS hat den in ANSYS SoS (Statistics on Structures) verfügbaren Metamodellierungsansatz am Infineon-Package erprobt. Dabei wurde eine statische thermo-mechanische Analyse unter Berücksichtigung verschiedener Material-Nichtlinearitäten (z.B. Viskoelastizität, Kriechen, Plastizität) durchgeführt.

Die Anwendung der SoS-Methode zur Erstellung eines Kompakt-Modells für das Infineon-Modell wird nachfolgend erläutert. Das Optislang-Set-up zur Erzeugung von Trainingsdaten für SoS ist aus *Abbildung 6* ersichtlich, und die erforderlichen Ergebnisse (Spannungen, Dehnungen und Verschiebungen) von allen Knoten werden im csv-Dateiformat für 50 Designs gespeichert. Des Weiteren ist eine Geometrienetzdatei für SoS erforderlich. Das Add-on zur Konvertierung von OMDB-Dateien in bin-Dateien wird ebenfalls verwendet. Die csv-Datei, bin-Datei und Geometrienetzdatei werden in die SoS-Umgebung importiert. Die SoS-GUI ist in *Abbildung 7* dargestellt, wo alle importierten Ergebnisse mit dem importierten Modellnetz dargestellt werden können.

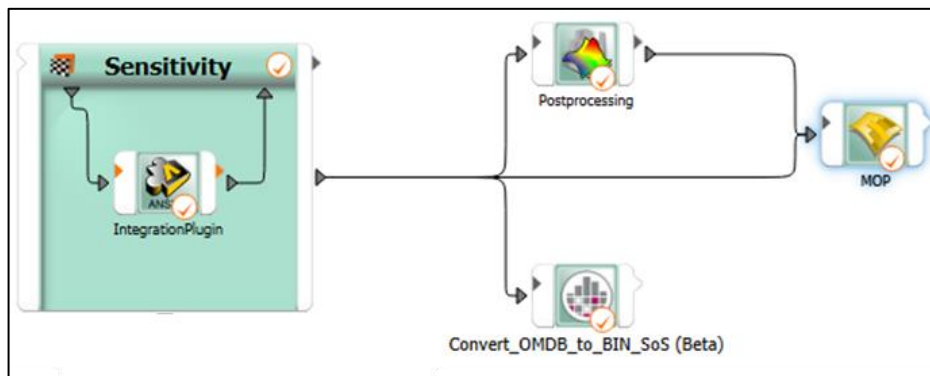


Abbildung 6: Optislang-Setup zur Erzeugung von Trainingsdaten für SoS

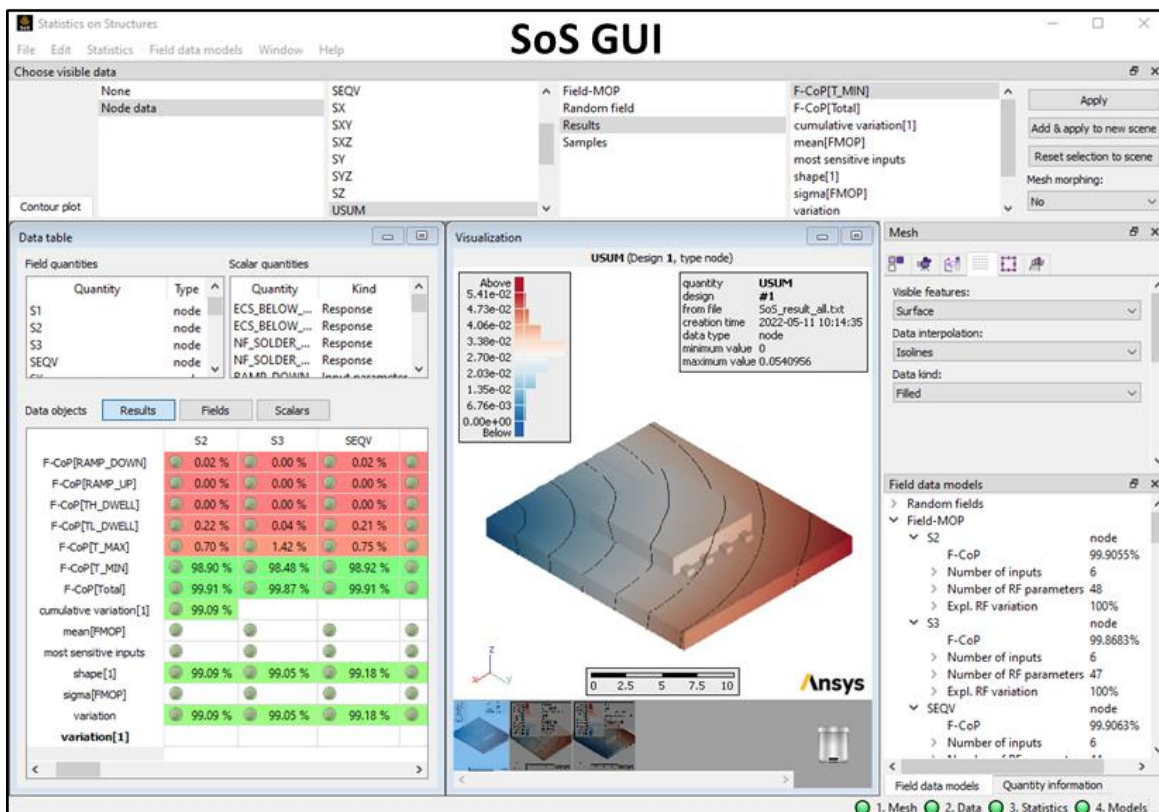


Abbildung 7: SoS GUI

Das SoS-Tool lädt die Trainingsdaten (z.B. das Spannungsfeld über alle Knoten) und zerlegt die Daten in Mittelwertfelder und Serienerweiterungen, wobei jeder Term aus einer Formfunktion (die in-variant ist) und einer Variablen (z_1, z_2, z_3, \dots) besteht. Die Terme dieser Reihe werden nach ihrem Beitrag zur Gesamtvariation des Feldes sortiert. Nach der Zerlegung erzeugt SoS eine Stichprobe von i -Werten, die den jeweiligen Eingangsparametersätzen entsprechen. Dann verwendet das Berechnungstool die MOP-Methoden von OptiSLang, um MOP für jede z -Variable zu erzeugen. Danach werden neue Eingabedaten verwendet und diese FMOP (Field-MOP) als Blackbox genutzt, um ein neues Ergebnisfeld als Ausgabe zu erzeugen. In diesem Fall liefert FMOP den entsprechenden Wert für die Variable z in Abhängigkeit von der neuen Eingabe und führt eine Reihenentwicklung durch.

FMOP wird für die ausgewählten Ausgabeparameter erstellt, indem die im SoS-Tool beschriebenen Schritte ausgeführt werden. Dieses FMOP kann zur Vorhersage der Reaktion auf neue Eingaben verwendet werden, die nicht in den Trainingsdatensätzen enthalten sind. Die vorhergesagte Kriechdehnung wird in den Lotschichten für einen Trainingsdatensatz angezeigt.

Außerdem kann die Genauigkeit dieses FMOP durch den Vergleich der Ergebnisse des FMOP mit dem entsprechenden Trainingsdatensatz überprüft werden, wie in der *Abbildung 8* für die akkumulierte äquivalente Kriechdehnung in den Lotschichten gezeigt. Die berechnete Genauigkeit stellt die Fähigkeit des Zufallsfeldmodells dar, Proben als relativen Wert zu reproduzieren. Bei der Visualisierung bedeuten 100% die exakte Reproduzierung. Werte $>100\%$ zeigen die Überschätzung des wahren Wertes an.

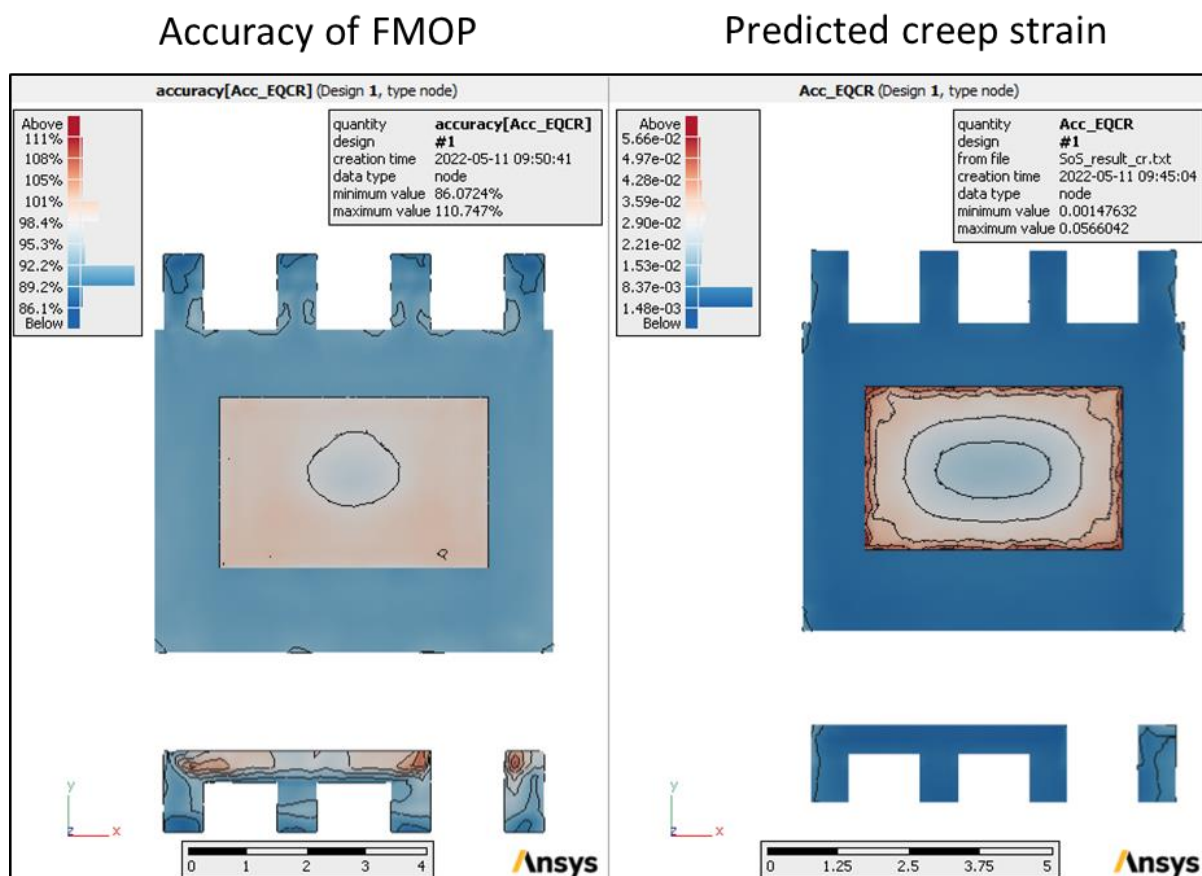


Abbildung 8: Ergebnisse aus dem SoS

1.2.3 Kompaktmodell auf Basis des 'Static ROM Builder'

Das zweite ANSYS-Tool, das für die Kompakt-Modellierung zur Verfügung steht, ist der 'Static ROM Builder'. Ähnlich wie SoS erzeugt auch dieses Tool ROMs (Reduced Order Models) für Felddaten und

Gefördert vom

statische Analysen (lineare und nichtlineare Ausgabe). Dieses Tool verwendet die Methode der Singulärwertzerlegung, um parametrische, nichtlineare ROMs für Felddaten zu erstellen. Es zerlegt auch die eingegebenen Felddaten in eine Anzahl von statischen Modenformen Φ_m (Invarianten). Die Reihen bestehen aus diesen Modenformen multipliziert mit den Modenkoeffizienten, die eine Funktion der Eingangsparameter sind. Jeder Modenkoeffizient wird mit dem besten Meta-Modell von Optislang angepasst. Durch die Kombination dieser Modenformen und Modenkoeffizientenwerte können verschiedene Antworten für nicht trainierte Datensätze vorhergesagt werden.

Es gibt zwei Hauptschritte für die Verwendung des Static ROM Builders (*Abbildung 9*): Der erste ist die Generierung von Static ROM, wofür erneut Trainingsdatensätze im bin-Dateiformat erforderlich sind. Der zweite Schritt ist die Verwendung des generierten ROMs als Standalone, als Digitaler Zwilling oder exportiert als FMU (Functional Mockup Unit) in ein Systemwerkzeug eines Drittanbieters.

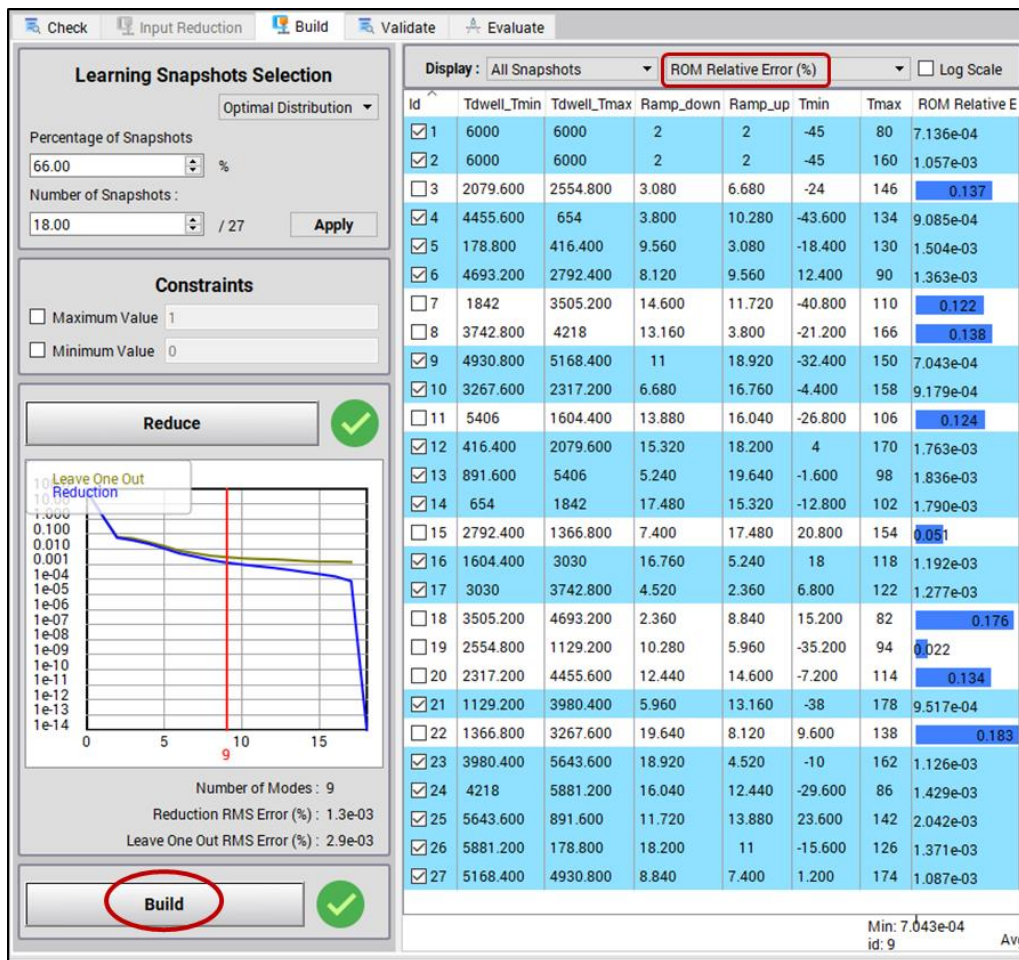


Abbildung 9: Static ROM-Generierung

Die Kompakt-Modellerzeugung mit Static ROM für das Infineon-Modell wird nachfolgend dargestellt: Zunächst werden 27 Design-Sets in den Static ROM Builder importiert. Im vorliegenden Beispiel werden nur die Ergebnisse der Verschiebungen importiert. Danach werden von den 27 Design-Sets einige als Trainingsdaten ausgewählt und die restlichen Sets werden zur Validierung zurückgehalten. Nach dieser Auswahl wird durch Anklicken von "Reduzieren" die optimale Anzahl von Modi für das ROM unter Verwendung der Singulärwertzerlegung bestimmt. Der relative Reduktionsfehler kann nach diesem ersten Schritt überprüft werden. Zweiter Schritt: Durch Anklicken von "Build" wird die Berechnung der Response Surface für die Modenkoeffizienten gestartet und das ROM erstellt. Nach diesem Schritt kann der relative Fehler des ROM überprüft werden, und es können einige Iterationen durchgeführt werden, indem weitere Trainingsdatensätze ausgewählt werden.

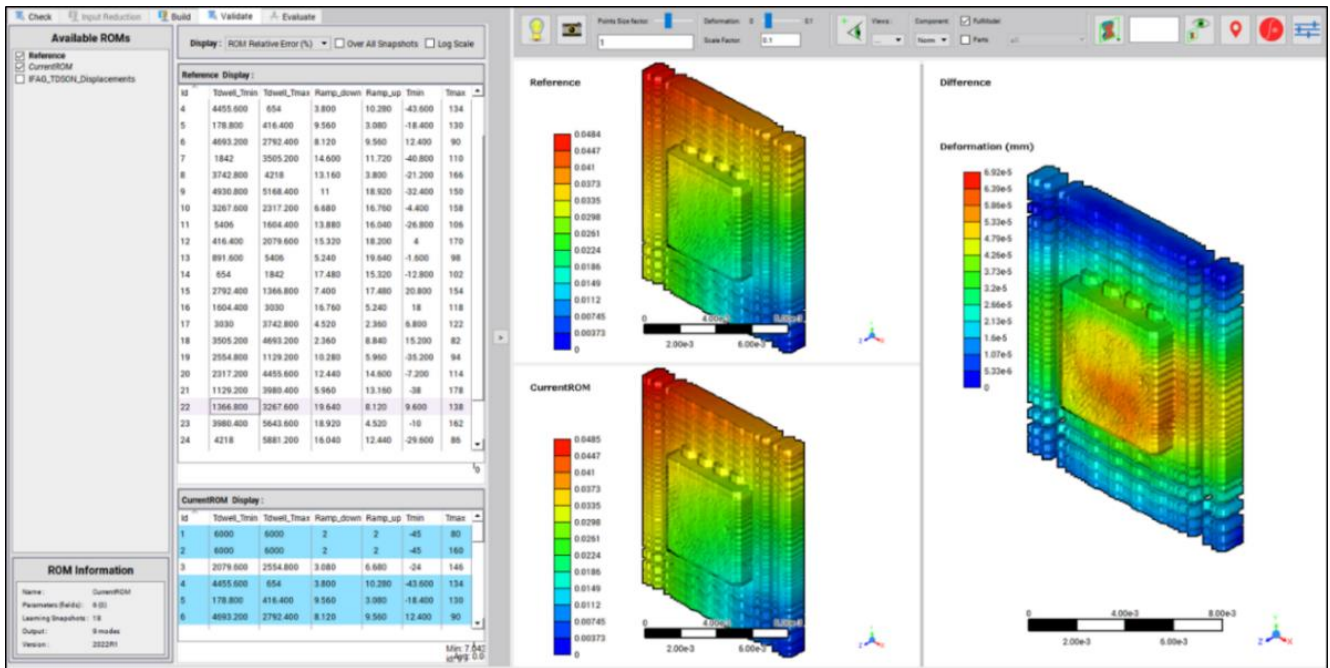


Abbildung 10: Static ROM Validierung

Sobald das ROM generiert ist, kann es durch den Vergleich des relativen Fehlers oder der Differenz zwischen Referenz- und ROM-Ausgabe (als Punktwolke sichtbarer Knotenwert) validiert werden, wie in *Abbildung 10* für die Gesamtverschiebung des Pakets dargestellt. Wenn der Fehler groß ist, sollten mehr Trainingsdaten für das Training des ROMs verwendet werden.

1.3 Integration der Simulationen in die Arbeitsabläufe zur Designuntersuchung und -optimierung

Fraunhofer ENAS hat an der 6-tägigen Online-Schulung "ANSYS Twin Builder Getting Started" teilgenommen, um verschiedene Möglichkeiten zur Erzeugung von Kompakt-Modellen und deren Integration im Twin Builder zu erkunden. Auf dieser Grundlage hat das Fraunhofer ENAS an der Erstellung eines Kompakt-Modells für das Infineon-Modell mit Material-Nichtlinearitäten und an dessen Integration in den Twin Builder-Simulator auf Systemebene gearbeitet.

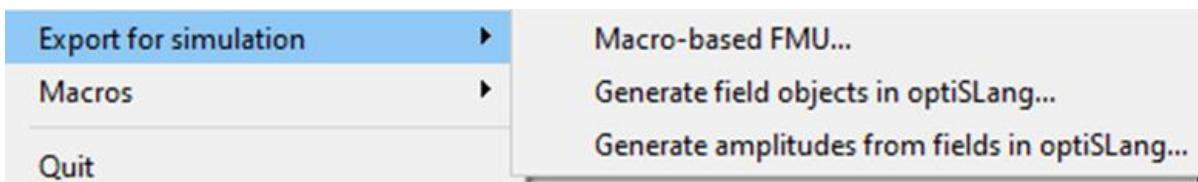


Abbildung 11: FMU-Generierung in SoS

Sobald dieser FMOP im SoS validiert ist, kann er als makrobasierte FMU exportiert werden, indem die in *Abbildung 11* gezeigte Option verwendet wird. In ANSYS gibt es verschiedene Möglichkeiten, ROMs zu erstellen und als fmu-Datei zu exportieren oder in Twin Builder als eigenständige Komponente zu verwenden. Das Kompakt-Modell wird mit dem Static ROM Builder für Verschiebungen aus dem IFAG-Modell generiert. Dieses Kompakt-Modell wird als Pick-and-Place-Komponente in den Twin Builder exportiert. Außerdem wird es als fmu-Datei exportiert, wie in *Abbildung 12* dargestellt. Diese Optionen dienen dazu, Kompakt-Modelle in den Twin Builder zu integrieren.

Gefördert vom

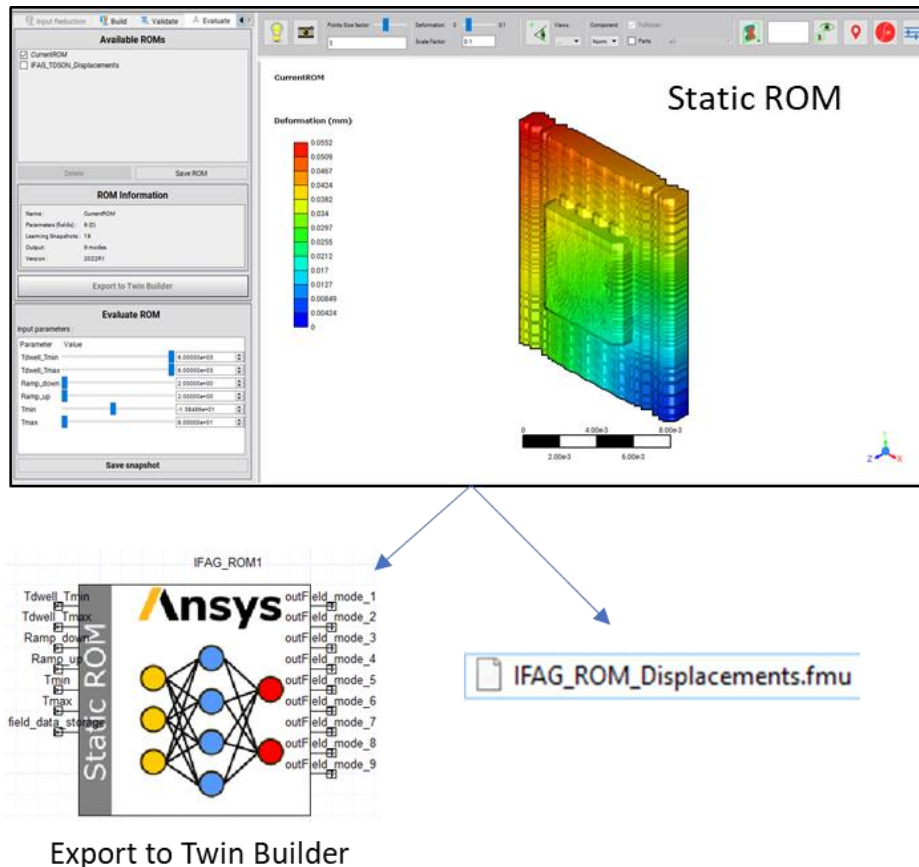


Abbildung 12: FMU-Generierung im Twin Builder

1.3.1 Auf Statistics-on-Structures (SoS) basiertes Kompaktmodell für die Design Exploration

Für die FMU-Generierung in SoS ist die Option des makroasierten FMU-Exports verfügbar. Wie in *Abbildung 13* gezeigt, wird der FMU-Solver mit Hilfe von vordefinierten Makros definiert, die vom Typ der Ausgabeparameter (Skalar oder Feld) abhängen. FMU-Dateien können erzeugt werden, wenn der FMU-Solver definiert wurde.

Custom solver definition

Define a FMU solver by combining pre-defined or custom macros

Macro workflow			Inputs		Outputs	
Macro	Argument	Data type	Argument	Type	Argument	Type
<ul style="list-style-type: none"> <ul style="list-style-type: none"> output NF_SOLDER_CHIP scalar quantity param NF_SOLDER_CHIP MOP scalar (string) <ul style="list-style-type: none"> output NF_SOLDER_PINS scalar quantity param NF_SOLDER_PINS MOP scalar (string) <ul style="list-style-type: none"> output S1_CHIP scalar quantity param S1_CHIP MOP scalar (string) 			T_MAX	input scalar ident (string)	NF_SOLDER_CHIP	output scalar ident (string)
			T_MIN	input scalar ident (string)	NF_SOLDER_PINS	output scalar ident (string)
			TL_DWELL	input scalar ident (string)	S1_CHIP	output scalar ident (string)
			RAMP_DOWN	input scalar ident (string)		
			TH_DWELL	input scalar ident (string)		
			RAMP_UP	input scalar ident (string)		

Abbildung 13: Makroauswahl auf der Grundlage der Ausgabe für den FMU-Export in der SoS-Software

Die FMU-Datei wird dann mit dem FMU_SoS Add-in in das Programm Ansys Optislang geladen. Sobald die FMU-Datei geladen ist, werden die Eingabe- und Ausgabeparameter angezeigt. *Abbildung 14* zeigt das Setup für die Durchführung von Sensitivitätsanalysen im Programm Optislang unter Verwendung von FMU aus SoS.

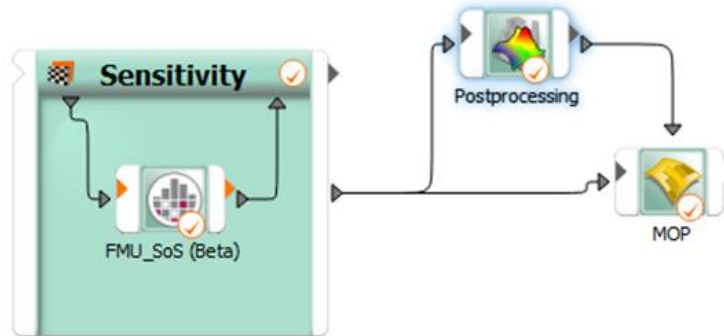


Abbildung 14: Einrichtung für die Durchführung der Sensitivitätsanalyse in der Optislang-Software unter Verwendung der FMU von SoS

Nach der Auswahl der Eingangs- und Ausgangsparameter kann der Bereich für die Eingangsparameter im Sensitivitätsmodul bestimmt werden. Wie in *Abbildung 15* dargestellt, werden die Bereiche für sechs Eingangsparameter für die Designraum-Exploration festgelegt, und die Sensitivitätsanalyse wird im Programm Optislang unter Verwendung der SoS FMU durchgeführt.

Die FMU berechnet die Anzahl der Zyklen bis zum Ausfall auf der Grundlage der Kriechdehnung des Lötmittels (geschätzt unter der Chipfläche) und verwendet 100 Designs, um die Reaktionsfläche zu konstruieren. In *Abbildung 16* können die Ergebnisse der FMU mit den FOM-Ergebnissen aus *Abbildung 4* (oder den Trainingsdaten) verglichen werden.

	Name	Parameter type	Reference value	Constant	Value type	Resolution	Range	Range plot
1	T_MAX	Optimization	180	<input type="checkbox"/>	REAL	Continuous	80 180	
2	T_MIN	Optimization	-45	<input type="checkbox"/>	REAL	Continuous	-45 25	
3	RAMP_UP	Optimization	20	<input type="checkbox"/>	REAL	Continuous	2 20	
4	RAMP_DOWN	Optimization	20	<input type="checkbox"/>	REAL	Continuous	2 20	
5	TH_DWELL	Optimization	600	<input type="checkbox"/>	REAL	Continuous	60 6000	
6	TL_DWELL	Optimization	600	<input type="checkbox"/>	REAL	Continuous	60 6000	

Abbildung 15: Eingabeparameterbereich für die Entwurfsraumuntersuchung

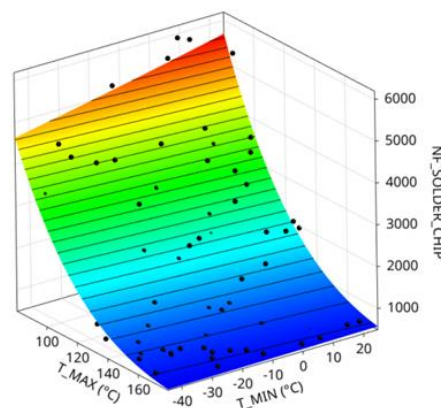


Abbildung 16: Response Surface für die berechnete Anzahl der Zyklen bis zum Ausfall für Lot unter dem Chip unter Verwendung von FMU

1.4 Demonstratoren und Anwendungsfälle

Als Leiter des Arbeitspakets (AP) 5 hat das Fraunhofer ENAS im April 2022 ein Kick-off-Meeting zum Start der Bearbeitung der vier Aufgaben des AP5 organisiert. Diverse Abstimmungen zwischen den Partnern erfolgten während der nachfolgenden monatlichen Treffen, bei denen die Aufgabenbeschreibung und die Beiträge einiger Partner entsprechend ihren Eingaben neu formuliert wurden.

Fraunhofer ENAS hat die Partner bei der Erstellung von Studien zur Designoptimierung mit Hilfe von FOM-Simulationen unterstützt, indem es Ansys-Modelle für die Biegeaufbauten erstellt und diese Modelle dem Projektpartner zur Verfügung gestellt hat. Der Projektpartner hat dann dieses Modell verwendet und das endgültige Modell für FE-Simulationen vorbereitet. Diese wurden auch durch ein auf Superelementen basierendes Kompaktmodell für die Konstruktionsoptimierungsstudie ersetzt.

1.4.1 Physikalische Tests zur Modellvalidierung

Für die Validierung ist das primäre Ergebnis einer jeden mechanischen Analyse die Verformung. Daher wurden experimentelle Verformungsmessungen mit dem Microprof 300 Messsystem durchgeführt, das In-situ-Analysen von temperaturinduzierten Verformungen ermöglicht. Die Verformung der freien Leiterplatte und der Leiterplatte mit 20 TDSON-Gehäusen, die auf Setup-A mit Schrauben an den Kanten montiert waren (*Abbildung 17*), wurde sowohl gemessen als auch simuliert. Die Gehäuse sind in vertikaler und horizontaler Richtung auf die Leiterplatte gelötet worden. Diese Proben wurden für die Bewertung der Ermüdungslebensdauer von Lötmitteln unter Verwendung von Passivzyklen (-40°C/+125°C) hergestellt. Der in einem anderen Projekt entwickelte Aluminiumträger wird verwendet, um ähnliche Belastungsbedingungen zu induzieren, wie sie typischerweise bei der Montage der Leiterplatte in einem Gehäuse auftreten.



Abbildung 17: FR4-Leiterplatte mit 20 TDSON-Gehäusen in (a) vertikaler (TOP), (b) horizontaler (BOTTOM) Richtung, auf Setup-A mit Schrauben an den Kanten und (c) Setup-B mit Schrauben in der Mitte

Beschreibung der Messung und Ergebnisse

Der Versuchsaufbau für das verwendete Verzugmesssystem MicroProf 300 ist in *Abbildung 18* dargestellt. In der Temperierkammer wird die Probe mit einer definierten Geschwindigkeit aufgeheizt und abgekühlt. Das Messsystem arbeitet nach dem Prinzip der chromatischen Abstandsmessung. Ein Sensor für chromatische Aberration tastet die gesamte Leiterplattenoberfläche zeilenweise ab und misst den relativen Abstand der Oberfläche. Aus den gemessenen Rohdaten wird schließlich durch Oberflächenapproximation ein 3D-Verformungsprofil der Leiterplatte erstellt.

Gefördert vom

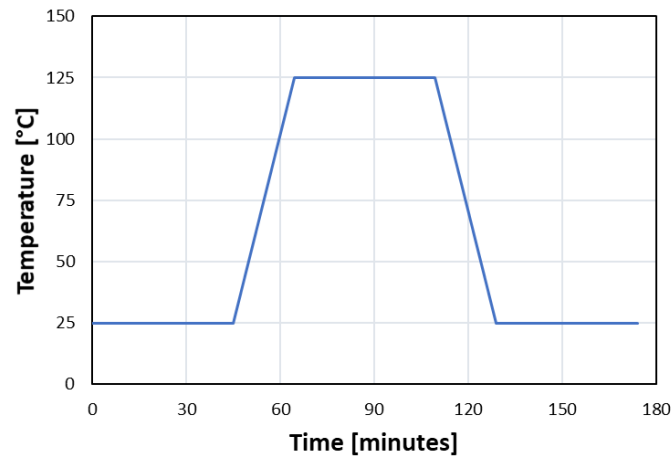
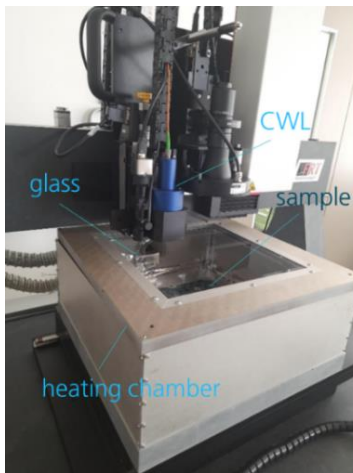


Abbildung 18: MicroProf 300 Messsystem mit Heizkammer (links), Zeit-Temperatur-Profil für Verzugs-messung (rechts)

Die gemessene Verformung einer mit 20 Gehäusen bestückten Testplatine (Setup A-TOP-Konfigura-tion) außerhalb der Ebene ist in *Abbildung 19* für die angewandte Temperaturänderung von 100°C (125°C-25°C) gemäß dem in *Abbildung 18* gezeigten Profil dargestellt. Außerdem wurden 2 diagonale Linien definiert und aufgezeichnet, um die Verformung der Leiterplatte vom Rand bis zur Mitte zu be-werten. Es zeigt eine Verformungsänderung von etwa 90µm im Bereich der Komponenten für die angewandte Temperaturänderung.

Das FE-Modell wurde für denselben Aufbau A mit Leiterplatte erstellt, um den Verzug zu simulieren und das Modell zu validieren. Die simulierte Verformung außerhalb der Ebene ist in *Abbildung 19* für die gesamte Leiterplatte und mit 2 Pfaden dargestellt. Sie zeigt eine Verformungsänderung von etwa 86 µm in der Mitte der Leiterplatte. Die Gesamtverformung liegt bei Messung und Simulation im glei-chen Bereich, nur die Form der Verformung ist im Bereich der Leiterplattenmitte unterschiedlich. Für die Simulation wird eine quasi-statische Analyse durchgeführt. Temperaturgradienten (die während der Erwärmung auch tatsächlich nur in sehr geringem Maße auftreten) und eventuelle transiente Effekte werden nicht berücksichtigt. Der Grund dafür war, dass ein entsprechend komplexerer Ansatz für die vom Projektpartner verwendete Superelement-Reintegrationsmethode nicht umsetzbar gewesen wäre. Tatsächlich ist diese Einschränkung als unerheblich einzustufen.

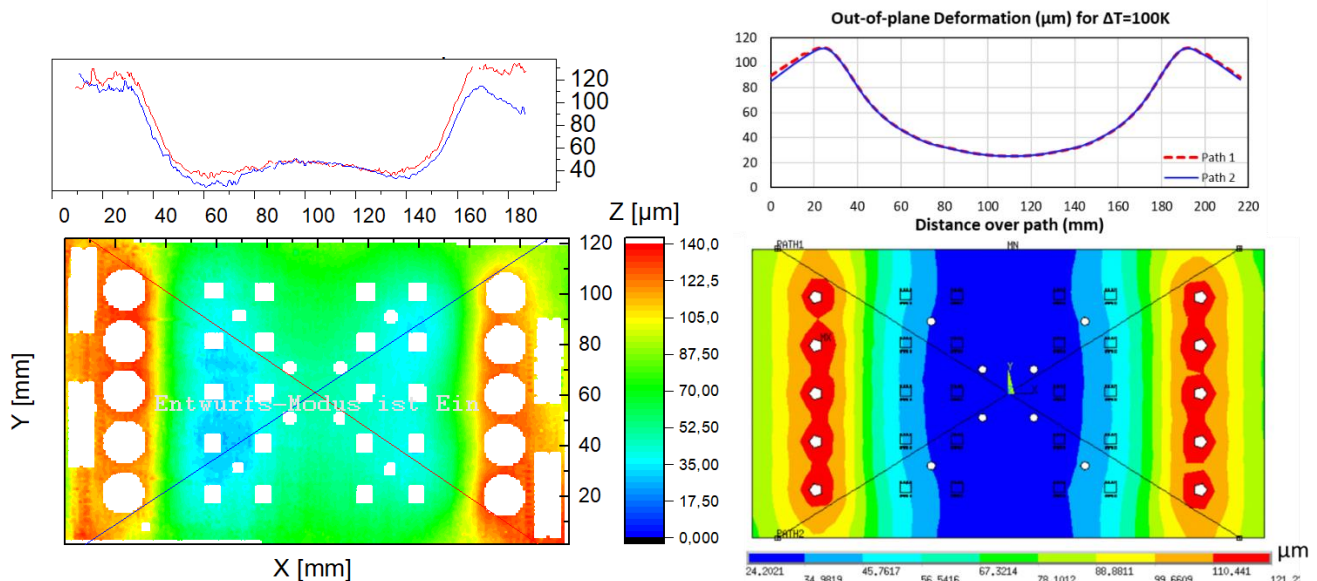


Abbildung 19: Gemessene (Links) und Simulierte (Rechte) Verformung außerhalb der Ebene für die Konfiguration A-TOP bei einer Temperaturänderung von 100 °C

1.4.2 Lebensdauererprobung

IFAG hat eine neue PCB-Leiterplatte entwickelt, die auf einem Aluminiumträger montiert werden kann. Mit der neuen Leiterplatte wurden die beiden in *Abbildung 17* gezeigten Aufbauten realisiert. Die beiden unterscheiden sich in der Art und Weise, wie die Leiterplatte auf dem Träger verschraubt wird. Bei Aufbau A wird die Leiterplatte an beiden Enden mit 10 Schrauben befestigt, was eine Verformung der Leiterplatte außerhalb der Ebene ermöglicht. Bei Aufbau B wird die Leiterplatte mit 8 Schrauben in der Mitte befestigt, was eine Verformung in der Ebene ermöglicht. Außerdem können auf der Leiterplatte 20 Gehäuse entweder in vertikaler (TOP) und/oder horizontaler (BOTTOM) Ausrichtung gelötet werden.



Abbildung 20: Ansicht von Prüfmustern mit Kabeln, die in der Heizkammer für die thermische Zyklusprüfung mit In-situ-Widerstandsüberwachung angeordnet sind

Wenn die Bauteile Temperaturschwankungen ausgesetzt sind, werden sie nicht nur durch die WAK-Fehlanpassung zwischen Gehäuse und Leiterplatte, sondern auch durch die CTE-Fehlanpassung zwischen Leiterplatte und Aluminiumträger belastet.

In-situ-Widerstandsmessungen wurden für vier Proben des Typs Setup A und zwei Proben des Typs Setup B durchgeführt. Die Anordnung mit angeschlossenen Kabeln in der Temperaturwechselkammer ist in *Abbildung 20* dargestellt.

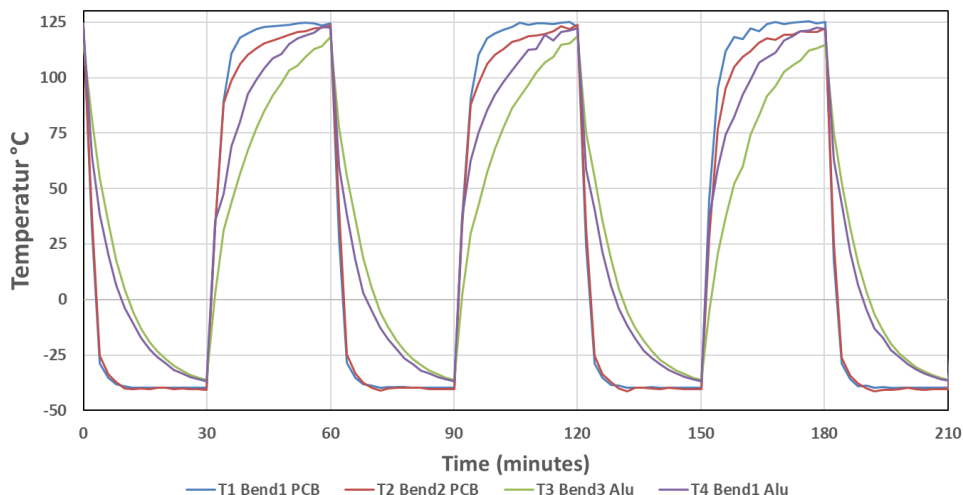


Abbildung 21: Gemessene Temperatur-Zeit-Profile an Leiterplatte und Aluminiumträger während des thermischen Zyklustests

Für die Bewertung der Ermüdung des Lötmittels wurden diese Proben demselben passiven Temperaturwechselprofil ausgesetzt, das für die Zuverlässigkeitsbewertung der zweiten Stufe verwendet wurde,

d.h. die Temperatur lag zwischen -40°C und $+125^{\circ}\text{C}$. Die tatsächlich gemessene Temperatur im Vergleich dazu während des Tests ist in *Abbildung 21* dargestellt, wobei die Temperatur an verschiedenen Stellen gemessen wird - auf der Leiterplatte und auch auf dem Aluminiumträger. Es ist ersichtlich, dass die Leiterplatte während des Aufheizens und Abkühlens die Verweildauer-temperatur in wenigen Minuten erreicht, während der Aluminiumträger mehr Zeit zum Aufheizen und Abkühlen benötigt. Das liegt daran, dass der Aluminiumträger eine höhere Wärmekapazität hat als die Leiterplatte. Dadurch entsteht ein Wärmegradient zwischen den Aufbauten A und B.

Während der Prüfung wird der Widerstand alle 2 Minuten für jeden Zyklus für insgesamt 120 Gehäuse (aus 6 Proben) gemessen. Die Entwicklung des gemessenen Widerstands zwischen 1300 und 2583 Wärmezyklen für 20 Leiterplattenkomponenten mit Setup-A ist in *Abbildung 22* dargestellt. Anfangs lagen die gemessenen Widerstandswerte im Bereich von 0,1-0,7 Ohm, was auf ein normales Funktionieren des Bauteils hinweist. Über viele thermische Zyklen hinweg könnte es zu einer Ermüdung des Lötmittels aufgrund einer thermischen Fehlanpassung zwischen der Leiterplatte und dem Bauteil kommen, was zu einem Anstieg des Widerstands führt, oder es könnte auch einen anderen Grund für die Veränderung des Widerstands geben. Aus *Abbildung 22* ist ersichtlich, dass der Widerstand bei einigen wenigen Gehäusen auf einen sehr hohen Wert anstieg.

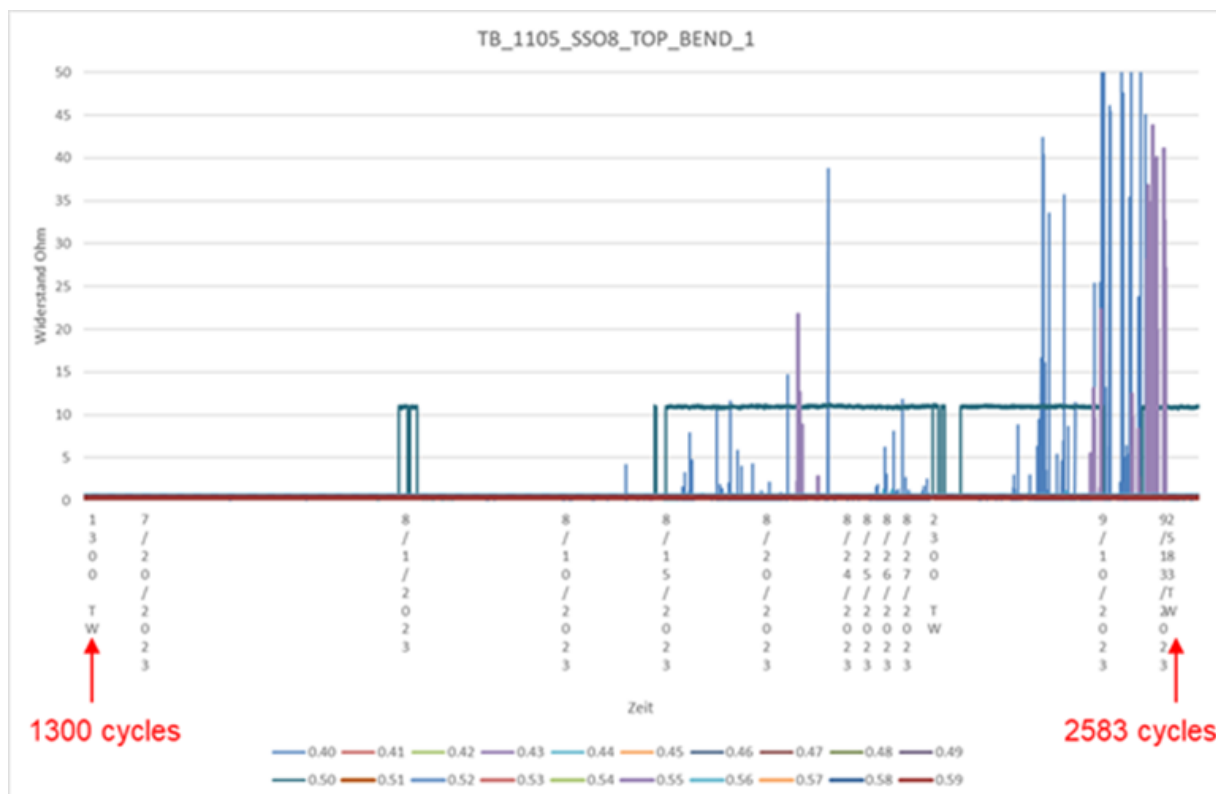


Abbildung 22: Entwicklung des Widerstands zwischen 1300 und 2583 thermischen Zyklen für 20 Komponenten einer Leiterplatte mit Setup-A

Zur Auswertung dieser In-situ-Widerstandsmessdaten wurden auf der Grundlage der großen Menge an Messdaten fünf Abschnitte definiert. *Abbildung 23* gibt einen Überblick über 120 Gehäuse aus verschiedenen Aufstellungskonfigurationen, die 3800 Temperaturzyklen im Rahmen von Temperaturschocktests ausgesetzt waren. Die Anzahl der Zyklen bis zum Versagen, die aus den Widerstandsmessungen für die ausgefallenen Komponenten berechnet wurde, ist gelb hervorgehoben. Die ersten Ausfälle traten nach fast 1000 Temperaturzyklen auf. Die meisten Bauteile, die gleichzeitig mechanisch belastet wurden, fielen bis zu 3800 Temperaturzyklen nicht aus, was auf ein sehr robustes Gehäuse-design hindeutet, da die im Rahmen des anderen Förderprojekts getesteten Mikroelektronik-Gehäuse bereits nach einigen hundert Zyklen ausfielen. Der Test musste bei 3800 Zyklen wegen der zeitlichen Beschränkungen des Projekts abgebrochen werden.

Gefördert vom

Stecker	Kanal	Bauteil	Ausfallzyklus TW	Probe	Stecker	Kanal	Bauteil	Ausfallzyklus TW	Probe	Stecker	Kanal	Bauteil	Ausfallzyklus TW	Probe			
Kabel1 innen	0,40	T1	2165 TW	Setup A Bend 1 TB_1105 Top	Kabel9 innen	0,80	B5	1804 TW	Setup A Bend 3 TB_1105 Bottom	Kabel17 außen	1,70	T1	1950 TW	Setup B Plate1 TB_1105 Top			
	0,41	T2				0,81	B4				1,71	T2					
	0,42	T3				0,82	B3				1,72	T3					
	0,43	T4				0,83	B2				1,73	T4					
	0,44	T5				0,84	B1				1,74	T5					
0,45	T10	3209 TW	0,85		B6	1,75	T10										
Kabel2 innen	0,46	T9	2712 TW		Kabel10 außen	0,86	B7	1804 TW		Kabel18 innen	1,76	T9	1950 TW		Kabel19 innen	1,80	T11
	0,47	T8				0,87	B8				1,77	T8				1,81	T12
	0,48	T7				0,88	B9				1,78	T7				1,82	T13
	0,49	T6				0,89	B10				1,79	T6				1,83	T14
	0,50	T11				1975 TW	1,40				B15	1,80				T11	1,84
Kabel3 innen	0,51	T12	2496 TW		Kabel11 außen	1,41	B14	1804 TW		Kabel20 innen	1,85	T16	3372 TW		Kabel21 innen	2,40	T5
	0,52	T13				1,42	B13				1,86	T17				2,41	T4
	0,53	T14				1,43	B12				1,87	T18				2,42	T3
	0,54	T15				1,44	B11				1,88	T19				2,43	T2
	0,55	T20		2496 TW		1,45	B16		1,89		T20	2,44		T1			
Kabel4 außen	0,56	T19	1444 TW	Kabel12 innen	1,46	B17	2972 TW	Kabel22 innen	2,45	T10	1732 TW	Kabel23 außen	2,50	T15			
	0,57	T18			1,47	B18			2,46	T9			2,51	T14			
	0,58	T17			1,48	B19			2,47	T8			2,52	T13			
	0,59	T16			1,49	B20			2,48	T7			2,53	T12			
	0,60	T5			1444 TW	1,50			B1	2,49			T6	2,54	T11		
Kabel5 innen	0,61	T4	2889 TW	Kabel13 außen	1,51	B2	2260 TW	Kabel24 innen	2,55	T16	1040 TW	Kabel24 innen	2,56	T17			
	0,62	T3			1,52	B3			2,57	T18			2,58	T19			
	0,63	T2			1,53	B4			2,58	T19			2,59	T20			
	0,64	T1			1,54	B5			2,59	T20							
	0,65	T10			2889 TW	1,55			B6	2,60			T21				
Kabel6 innen	0,66	T9	2165 TW	Kabel14 außen	1,56	B7	1804 TW	Kabel25 innen	2,61	T22	1950 TW	Kabel25 innen	2,62	T23			
	0,67	T8			1,57	B8			2,63	T24			2,64	T25			
	0,68	T7			1,58	B9			2,65	T26			2,66	T27			
	0,69	T6			1,59	B10			2,67	T28			2,68	T29			
	0,70	T11			2165 TW	1,60			B11	2,69			T30	2,70	T31		
Kabel7 innen	0,71	T12	1444 TW	Kabel15 innen	1,61	B12	2972 TW	Kabel26 innen	2,71	T32	1732 TW	Kabel26 innen	2,72	T33			
	0,72	T13			1,62	B13			2,73	T34			2,74	T35			
	0,73	T14			1,63	B14			2,75	T36			2,76	T37			
	0,74	T15			1,64	B15			2,77	T38			2,78	T39			
	0,75	T20			1444 TW	1,65			B16	2,79			T40	2,80	T41		
Kabel8 außen	0,76	T19	2889 TW	Kabel16 innen	1,66	B17	2260 TW	Kabel27 innen	2,81	T42	1040 TW	Kabel27 innen	2,82	T43			
	0,77	T18			1,67	B18			2,83	T44			2,84	T45			
	0,78	T17			1,68	B19			2,85	T46			2,86	T47			
	0,79	T16			1,69	B20			2,87	T48			2,88	T49			
													2,89	T50	2,90	T51	

Abbildung 23: Übersicht über 120 Packungen aus verschiedenen Aufbaukonfigurationen, die 3800 Temperaturzyklen bei Temperaturwechseltests ausgesetzt waren

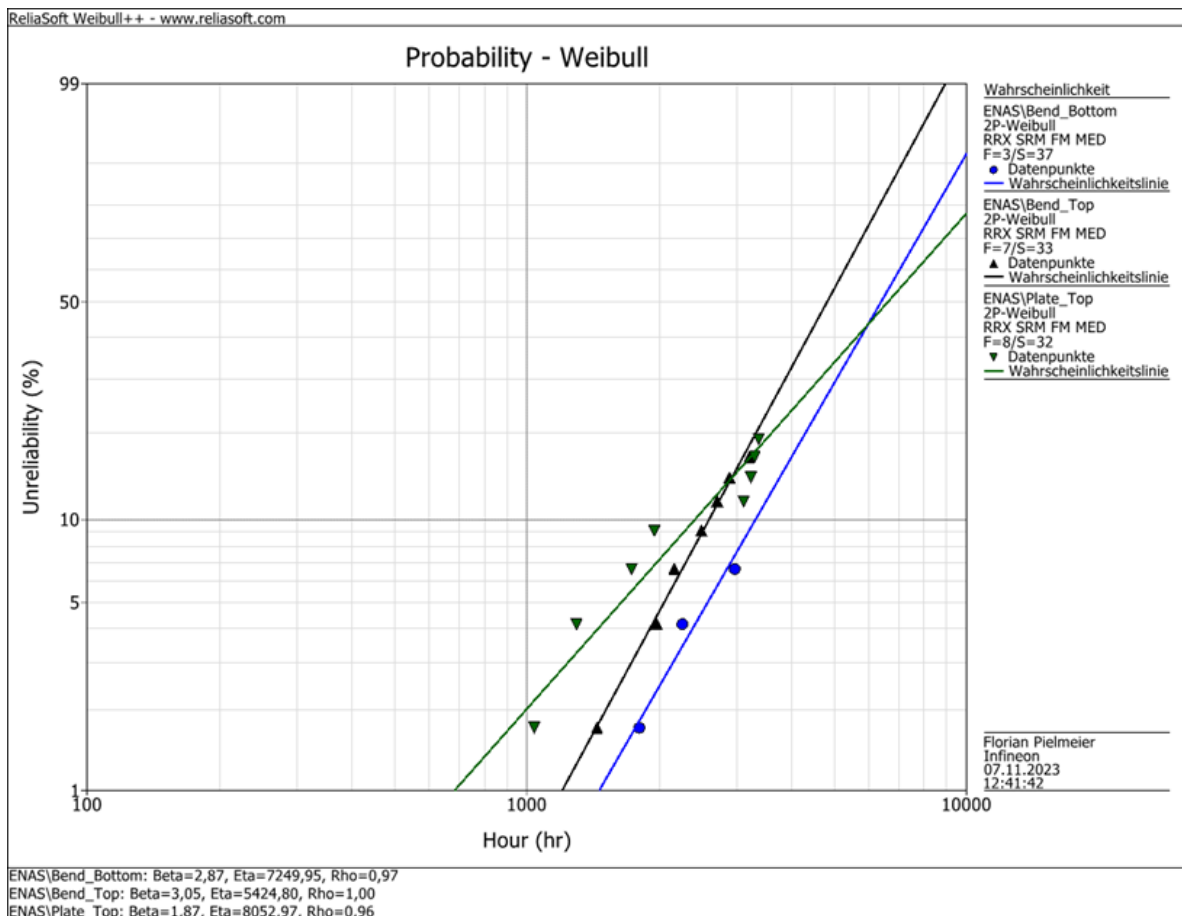


Abbildung 24: Weibull-Diagramm, das einen Vergleich der Lötstellenzuverlässigkeit zwischen den verschiedenen Konfigurationen (A und B) zeigt

Gefördert vom

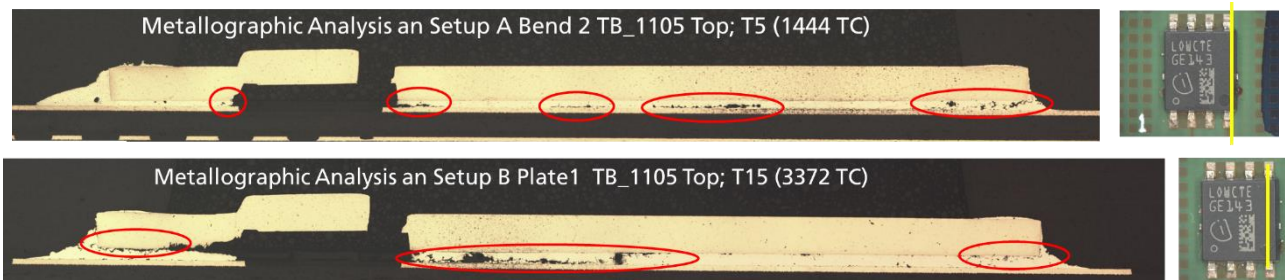


Abbildung 25: Vorläufige Querschnitte entlang des Gate-Pins für Aufbau A und B nach 3800 thermischen Zyklen, die eine Ermüdung des Lots an verschiedenen Stellen zeigen

Auf der Grundlage der berechneten Anzahl der Zyklen bis zum Versagen wird ein erstes Weibull-Diagramm für die ausgefallenen Komponenten erstellt (siehe *Abbildung 24*). Für die Konfiguration A TOP und BOTTOM weist die Weibull-Darstellung eine einzige Steigung auf, die auf einen Ausfallmodus hinweist. Für die Konfiguration B TOP zeigt das Weibull-Diagramm 2 verschiedene Steigungen, die auf verschiedene Ausfallarten hinweisen. Es ist notwendig, eine Fehleranalyse, z.B. eine Querschnittsanalyse, der ausgefallenen Komponenten durchzuführen, um die Ursache der Fehler herauszufinden. Zum Zeitpunkt des Projektabschlusses war nur ein Querschnittsbild für jede der Konfigurationen A und B verfügbar, was nicht ausreichte, um die genaue Fehlerursache zu ermitteln. Die vorläufigen Querschnitte sind in *Abbildung 25* für beide Konfigurationen nach 3800 Wärmezyklen dargestellt. Das tatsächliche Gehäuse mit der Anzahl der Zyklen bis zum Versagen wird erwähnt und die Lage des Querschnitts wird ebenfalls illustriert. Die Ermüdung des Lötzinns ist bei beiden Aufbauten an verschiedenen Stellen deutlich sichtbar, z. B. am Gate-Pin an den Kanten und in der Mitte des Lötzinns unter dem Die-Pad. Nach Abschluss des Projekts werden bei Infineon weitere Querschnittsbilder erstellt und ausgewertet.

1.5 Dokumentierung der 'Best Practice' - Guideline

Das Fraunhofer ENAS beteiligte sich als Task Leader aktiv an den Diskussionen und es wurde der Entwurf eines Dokuments erstellt, welches Best-Practice-Richtlinien für die Erstellung von thermo-mechanischen FE-Analysen enthält, da es später zur Ausarbeitung von Richtlinien für die Erstellung von Kompakt-Modelle verwendet werden soll. Die wichtigsten Schritte für die thermomechanische FE-Analyse wurden dokumentiert. Die thermomechanische Finite-Elemente-Analyse (FEA) ist ein wichtiges Instrument, um zu verstehen, wie sich mikroelektronische Komponenten unter thermischer und mechanischer Belastung verhalten. Der Arbeitsablauf der thermomechanischen FEA umfasst drei Hauptphasen: Vorverarbeitung, Verarbeitung und Nachverarbeitung. Im Preprocessing werden verschiedene Schritte wie die Definition von Materialeigenschaften, Geometrie, Vernetzung, Belastung und Randbedingungen durchgeführt. In der Verarbeitungs- oder Lösungsphase wird die Analyse auf der Grundlage des vorbereiteten Modells gelöst, und das Postprocessing dient der Analyse, Darstellung, Bewertung, Verifizierung und Berichterstattung der Ergebnisse.

2 Notwendigkeit und Angemessenheit der geleisteten Arbeit

Im Projekt COMPAS hat Fraunhofer ENAS in Übereinstimmung mit dem ursprünglichen Projektplan (TVB) an neuen Methoden der kompakten Modellbildung gearbeitet. Diese sind für Deutschland von besonderem wirtschaftlichem Interesse, da sie es ermöglichen, die Simulationsuntersuchungen zur Optimierung der Zuverlässigkeit neuer elektronischer Systeme entlang der gesamten Wertschöpfungskette auszudehnen und dabei Doppelarbeit beim Modellieren zu vermeiden. Weil das wertvolle IP durch das Kompaktmodell geschützt wird, können die Modelle (z.B. der Komponente) an die nächsten Partner (z.B. Modulhersteller) weitergegeben werden.

Aufgrund des verspäteten Starts (um drei Monate) des restlichen europäischen Konsortiums und Verzögerungen bei der Bereitstellung von Ressourcen (wegen des Coronavirus) kam es zu einigen Abweichungen von den geplanten Forschungsaktivitäten. Die kumulierten Planabweichungen im Arbeitsfortschritt wurden durch eine Verlängerung des Projekts um 3 Monate kompensiert. Durch die vom Projekt geleisteten Arbeiten konnten die beschriebenen Ergebnisse und damit die Ziele erreicht werden. Damit ist es nun möglich, die Ergebnisse kommerziell zu verwerten.

Die enge Kooperation zwischen den Projektpartnern insbesondere zwischen Infineon und MicroConsult Engineering waren für Fraunhofer ENAS als auch für das Projekt maßgebend für die erfolgreiche Erreichung der gestellten Ziele.

3 Fortschreibung des Verwertungsplans

Das Fraunhofer ENAS wird die Projektergebnisse als Grundlage für die Entwicklung zuverlässiger marktfähiger Elektronikkomponenten bei Projektpartnern, sowie zur Weiterentwicklung seiner Methoden und Dienstleistungen nutzen. Das Fraunhofer ENAS widmet sich dem Entwurf, der Entwicklung und dem Test von intelligenten Systemen, die Sensoren, Aktoren und Elektronik umfassen. Die Abteilung Micro Materials Center des Fraunhofer ENAS verfügt über langjährige Erfahrung auf dem Gebiet der Zuverlässigkeitsforschung. Basierend auf der Identifizierung der physikalischen Ausfallursachen der kritischsten Abnutzungseffekte und Schwachstellen in neuen Komponenten und Systemen werden neue Strategien und Verfahren für das virtuelle Prototyping entwickelt, die eine Optimierung der Zuverlässigkeit durch validierte numerische Simulationen bereits in der Entwurfsphase ermöglichen. Die Verwendung eines kompakten Modells wird außerdem zu schnellen Simulationen und zur Designoptimierung beitragen. Diese Methoden werden in die industrielle Praxis übertragen, wo sie dazu beitragen, die Time-to-Market für neue Produkte massiv zu verkürzen.

Mit der Teilhabe an der Entwicklung kompakter "Digitaler Zwillinge", basierend auf neuartigen Methoden der Kompaktmodellierung und deren Anwendung entlang der Wertschöpfungskette, erweitert Fraunhofer ENAS sein Wissen durch kompakte Modellerstellung für thermomechanische Zuverlässigkeitsfragen in der Elektronik. Die in COMPAS erweiterte neue Methodenkompetenz sowie die installierten Kooperationen des Fraunhofer ENAS mit Partnern gewährleistet, dass die Projektergebnisse unmittelbar nach Abschluss von COMPAS in das Portfolio von Dienstleistungen als auch Projektbeteiligungen von Fraunhofer ENAS einfließen.

Die Generierung der Trainingsdaten mittels nichtlinearer thermomechanischer Simulationen und die Erstellung von Kompaktmodellen für elektronische Bauteile wird in Folgeprojekten weiter perfektioniert. Nach Abschluss des COMPAS-Projekts wird Fraunhofer ENAS die neuen Methoden zur kompakten Modellerstellung als Dienstleistung für die Industrie - mit einem Schwerpunkt auf KMU - anbieten können. Es besteht auch die Möglichkeit, den Prozess mit kommerziellen Partnern zu etablieren und das Know-how zu transferieren.

Neben der wirtschaftlichen Verwertung der Projektergebnisse in verbesserten Forschungsdienstleistungen werden die Erkenntnisse in abstrahierter Form bzw. als Praxisbeispiele auch direkt in der Lehre eingesetzt und somit unmittelbar an die nächste Generation von Wissenschaftlern und Ingenieuren weitergegeben. Das geschieht in der Vorlesungsreihe "Technische Zuverlässigkeit" an der TU Chemnitz aber auch in Seminaren und Tutorials auf Fachtagungen. Durch die nachhaltige Etablierung der genannten Aspekte im Kompetenzportfolio und der Verbreitung in Publikationen auf nationalen und internationalen Konferenzen sowie in Fachzeitschriften strebt die Fraunhofer Gesellschaft einen langfristigen wissenschaftlichen Dialog an, mit dem nicht zuletzt auch ein Beitrag zur Stärkung Deutschlands als innovativer Forschungsstandort geleistet wird.

4 Während der Durchführung des Vorhabens dem Zuwendungs-empfänger bekannt gewordenen Fortschritts auf diesem Gebiet bei anderen Stellen

Vorhabens relevante Ergebnisse Dritter sind im Projektverlauf nicht bekannt geworden.

5 Veröffentlichungen

Im Rahmen des Projektes COMPAS wurden die erzielten (Teil-) Ergebnisse im Rahmen von wissenschaftlichen Seminaren und lokalen Konferenzen innerhalb und außerhalb des Projektkonsortiums vorgestellt und eingehend diskutiert. Internationale Veröffentlichungen auf Tagungen oder in wissenschaftlichen Zeitschriften sind noch nicht erfolgt. Sie sind aber für die kommenden zwei Jahre geplant – wenn die Ergebnisse von COMPAS in Anwendungsfälle einbezogen werden, die für die Industriepartner von unmittelbarem Interesse sind.

Die Projektergebnisse wurden auf den Microreliability-Seminaren und MicroClean Konferenzen am Fraunhofer ENAS vorgestellt und diskutiert.

- G. Gadhiya, “CONCEPT COMPACT MODELLING “, Microreliability Seminar, Fraunhofer ENAS, 05 Mai 2021.
- G. Gadhiya, “Compact modelling approach using ANSYS SoS“, Microreliability Seminar, Fraunhofer ENAS, 11 Mai 2022.
- G. Gadhiya, “Compact Model Overview from COMPAS Project“, Microreliability Seminar, Fraunhofer ENAS, 03 Mai 2023.
- G. Gadhiya, “Compact Model Categorisation “, MicroClean Konferenz, Fraunhofer ENAS, 01 Juni 2023.
- G. Gadhiya, “Path to Compact Digital Twins “, MicroClean Konferenz, Fraunhofer ENAS, 04 April 2024.

6 Abkürzungen

DoE	Design-of-Experiment
ROM	Reduced Order Model
SoS	Statistics on Structures
FE(M)	Finite Elemente (Methode)
PCB	Printed Circuit Board
RSM	Response Surface Method
RUL	Remaining Use Life
GUI	Graphical User Interface
MOP	Metamodel of Optimal Prognosis
FMOP	Field Metamodel of Optimal Prognosis
FMU	Functional Mockup Unit
FMI	Functional Mockup Interface
FOM	Full Order Model
CTE	Coefficient of Thermal Expansion

Kurzbericht

zum Teilvorhaben des Fraunhofer ENAS

Nichtlineare thermo-mechanische Analysen für die Kompaktmodellierung elektronischer Komponenten und Systeme

im BMBF-Verbundprojekt **COMPAS**

Das diesem Bericht zugrunde liegende Vorhaben wurde mit Mitteln des Bundesministeriums für Bildung und Forschung unter dem Förderkennzeichen 01IS20074F gefördert.

Die Verantwortung für den Inhalt dieser Veröffentlichung liegt bei den Autoren.

"COMPAS" hat die Entwicklung von Werkzeugen zum Ziel, die sowohl das effiziente Co-Design von Elektroniksystemen unter Verwendung neuartiger kompakter Modellierungstechniken ermöglichen, als auch "prognostic health"-Analysen unter Verwendung digitaler Zwillinge zu bieten. Die Nutzung der Kompaktmodellierung soll auch einen IP-sicheren Daten- und Modellaustausch entlang industrieller Lieferketten ermöglichen.

Die wichtigsten Arbeiten und Ergebnisse des Fraunhofer ENAS sind hier zusammengefasst:

- Bei der Anforderungsanalyse hat sich ENAS auf die Ermüdung von Lötstellen konzentriert, die eine thermomechanische Simulation mit nichtlinearen Materialeigenschaften erfordert.
- Die Anforderungen wurden in vollständigen Finite-Elemente-Modellen mit einem verbesserten Netz für das auf der Leiterplatte montierte Infineon TDSO-Gehäuse mit nichtlinearen Materialeigenschaften berücksichtigt. Für die Erstellung kompakter Modelle werden Trainingsdaten benötigt. Zu diesem Zweck hat ENAS in Arbeitspaket 3 ein virtuelles DoE-Setup entwickelt, um Trainingsdaten auf der Grundlage verschiedener Temperaturzyklen durch nichtlineare thermomechanische Simulationen zu erzeugen.
- Auf Basis dieser Trainingsdaten hat ENAS im Arbeitspaket 2 mit verschiedenen Werkzeugen kompakte Modelle erstellt. Dieses kompakte Modell kann verwendet werden, um die Ausgabe für neue Eingaben, die nicht in den Trainingsdatensätzen enthalten sind, schnell vorherzusagen.
 - a) Zunächst wird die Response Surface Methode (RSM) verwendet, um ein MOP (Metamodel of Optimal Prognosis) für die Anzahl der Zyklen bis zum Versagen auf der Grundlage der simulierten durchschnittlichen akkumulierten Kriechdehnung im Lot unter dem Chip zu erstellen (Abbildung 1a).

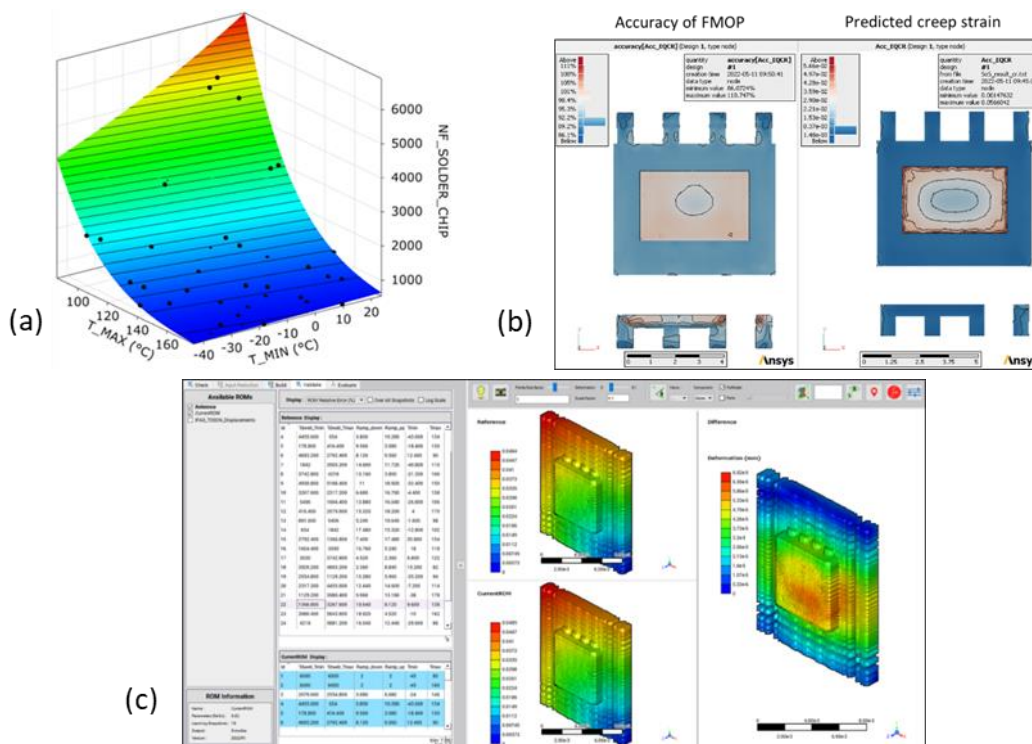


Abbildung 1: Kompaktes Modellerggebnis aus der (a) RSM, (b) SoS und (c) Static ROM Builder

Gefördert vom

- b) Ein Field MOP (FMOP) wird mit dem Statistics-on-Structures (SoS) Tool für die Spannung, Dehnung und Verschiebung erstellt. Die Genauigkeit des vorhergesagten Ergebnisses kann durch den Vergleich der Ergebnisse des FMOP mit dem entsprechenden Trainingsdatensatz überprüft werden, wie in Abbildung 1b für die akkumulierte äquivalente Kriechdehnung in den Lötsschichten dargestellt.
- c) In ähnlicher Weise wird das Werkzeug Static ROM Builder von Ansys Twin Builder verwendet, um ein kompaktes Modell zu erstellen, und die Ergebnisse werden für das Verformungsfeld in Abbildung 1c verglichen.
- Für die Auslegungsoptimierungsstudie wurde die Integration des kompakten Modells in verschiedene Tools im Arbeitspaket 4 untersucht. FMU wurde aus FMOP in SoS erstellt und in die Optislang-Software für die DoE-Studie importiert.
- ENAS leitete auch das Arbeitspaket 5, das sich mit den Demonstratoren und Anwendungsfällen befasste. Es wurden verschiedene Verformungsmessungen, thermische Zyklustests und Fehleranalysen durchgeführt, um das FE-Modell und die kompakten Modelle zu validieren. Die gemessene Verformung wird mit der simulierten Verformung für die Leiterplatte mit 20 TDSON-Gehäusen (von Infineon hergestellt) in Abbildung 2 verglichen. Für die Bewertung der Ermüdung des Lötmittels wurden die auf den Versuchsaufbauten A und B montierten Leiterplatten passiven Temperaturwechseln (-40°C bis +125°C) ausgesetzt. Basierend auf der berechneten Anzahl der Zyklen bis zum Versagen aus der Insitu-Widerstandsmessung wurde ein erstes Weibull-Diagramm für die ausgefallenen Komponenten erstellt (Abbildung 3) und eine vorläufige Fehleranalyse durchgeführt.

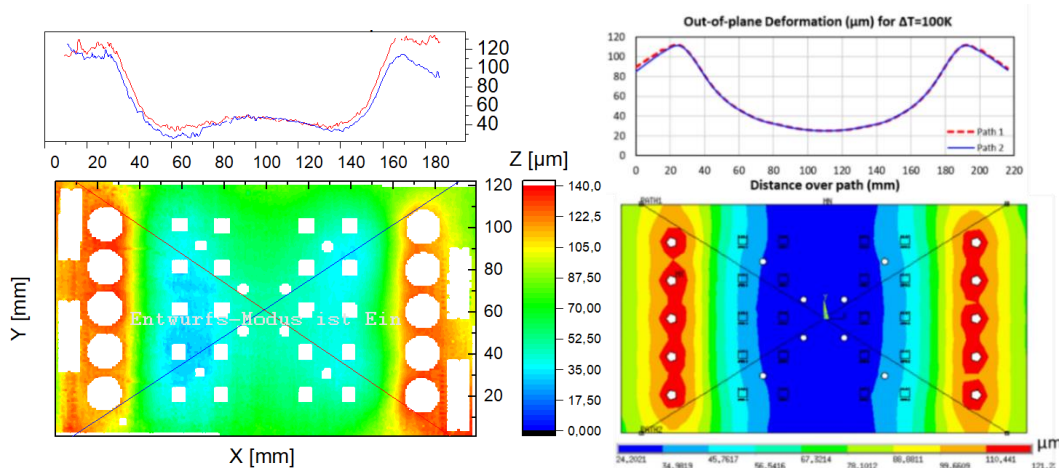


Abbildung. 2 Gemessene (Links) und Simulierte (Rechte) Verformung außerhalb der Ebene für die Konfiguration A-TOP bei einer Temperaturänderung von 100 °C

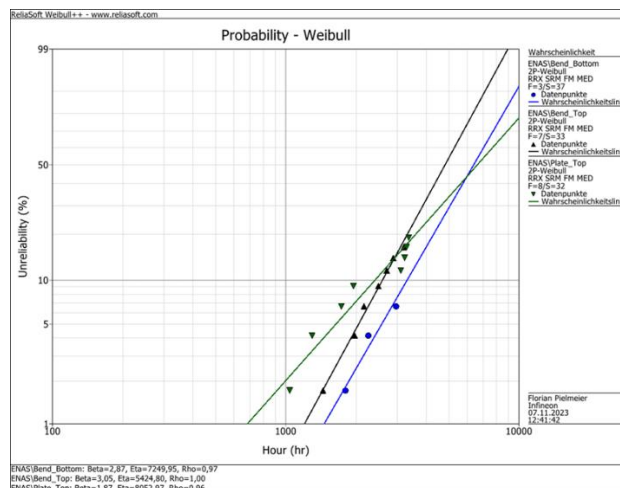


Abbildung 3: Weibull-Diagramm zur Zuverlässigkeit von Lötstellen für Konfigurationen (A und B)

- In Arbeitspaket 6, ENAS hat einen Dokumententwurf mit Best-Practice-Richtlinien für die Erstellung von thermomechanischen FE-Analysen erstellt, die für eine kompakte Modellerstellung erforderlich sind.