

Abschlussbericht

BMBF-Verbundprojekt KI-Predict

Teilvorhaben Mo-KIS

Modulares, KI-basiertes Sensorinterface

Förderkennzeichen: 16ME0032

Laufzeit: 01.03.2020 bis 31.12.2023

Zuwendungsempfänger:

CANway technology GmbH

Graf-Zeppelin-Ring 13

48346 Ostbevern

GEFÖRDERT VOM



**Bundesministerium
für Bildung
und Forschung**

Inhalt

1	Kurzdarstellung	3
1.1	Einleitung	3
1.2	Aufgabenstellung	3
1.3	Voraussetzungen	3
1.4	Planung und Ablauf des Vorhabens	3
1.5	Wissenschaftlicher und technischer Stand	Fehler! Textmarke nicht definiert.
1.6	Zusammenarbeit	4
2	Eingehende Darstellung.....	5
2.1	Verwendung der Zuwendung und erzielte Ergebnisse.....	5
2.1.1	AP 1: Systemspezifikation.....	5
2.1.2	AP 2: Spezifikation Sensoren, Interface	5
2.1.3	AP 3: Vorbereitung Messkampagne und Prozessintegration	5
2.1.4	AP 4: Messkampagne 1.....	8
2.1.5	AP 6: Integriertes KI-Sensorinterface.....	8
2.1.6	AP 8: ERP-Anbindung	18
2.1.7	AP 9: Messkampagne 2	19
2.1.8	AP 9: Messkampagne 3	20
2.1.9	Weiterführende Hardwareentwicklung (FPGA MPSoC Gerätesystem)	20
2.2	Die wichtigsten Positionen des zahlenmäßigen Nachweises.....	Fehler! Textmarke nicht definiert.
2.3	Notwendigkeit und Angemessenheit der geleisteten Arbeit	22
2.4	Voraussichtlicher Nutzen, Verwertbarkeit des Ergebnisses	23
2.5	Fortschritt auf dem Gebiet des Vorhabens bei anderen Stellen.....	Fehler! Textmarke nicht definiert.
2.6	Veröffentlichungen.....	23

1 Kurzdarstellung

1.1 Einleitung

Das vorliegende Dokument ist der Abschlussbericht des durch das BMBF geförderten Verbundprojektes Mo-KIS. Um einen notwendigen Kontext herzustellen, werden an verschiedenen Stellen die Vorhabensbeschreibung des Projektes herangezogen.

1.2 Aufgabenstellung

Ziel des Forschungsprojektes war die Nutzung von Methoden der Künstlichen Intelligenz auf unterschiedlichen Ebenen des Produktionsprozesses als Basis für zustandsbasierte, prädiktive Wartung von Produktionsanlagen und die Überwachung der Produktqualität direkt im Produktionsprozess. In vielen Vorarbeiten insbesondere der Projektpartner konnte bereits gezeigt werden, dass sich auch mit preiswerten Sensoren Prozessdaten erfassen lassen, aus denen sich die erforderlichen Informationen zum Zustand der Anlage und zur Qualität des Produktes mit KI-Methoden extrahieren lassen.

1.3 Voraussetzungen

1.4 Planung und Ablauf des Vorhabens

In Abbildung 1 ist eine Übersicht über die im Verbundprojekt definierten Arbeitspakete und ihr zeitlicher Zusammenhang dargestellt.

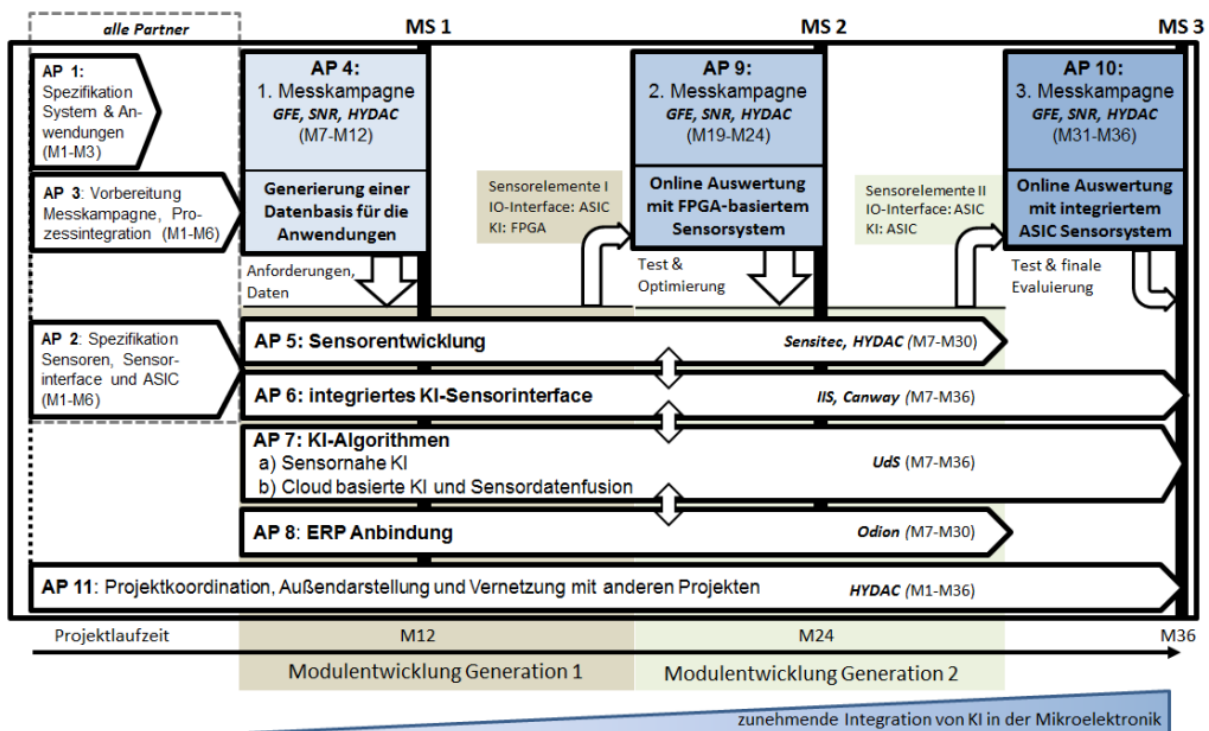


Abbildung 1: Übersicht der Arbeitspakete (vgl. Gesamtvorhabensbeschreibung des Projektantrags)

Das Arbeitspaket AP 3 „Vorbereitung Messkampagne und Prozessintegration“ wurde hauptverantwortlich von CANWAY durchgeführt. Eine Beteiligung bestand in den Arbeitspaketen:

- AP 1: Spezifikation System & Anwendungen
- AP 2: Spezifikation Sensoren, Sensorinterface und ASIC
- AP 3: Vorbereitung Messkampagne, Prozessintegration
- AP 4: 1. Messkampagne
- AP 6: integriertes KI-Sensorinterface
- AP 8: ERP Anbindung
- AP 9: 2. Messkampagne
- AP 10: 3. Messkampagne
-

1.5 Zusammenarbeit

Aufgrund des breiten Themenspektrums und der verschiedenen Kernkompetenzen des Projektpartner wurden im Rahmen des Projekts verschiedene Arbeitsgruppen gebildet. Eine intensive Zusammenarbeit durch CANWAY bestand mit den folgenden Projektpartnern:

Alle Partner

Gemeinsame Definition von Anforderungen an den Sensorsystembaukasten anhand praxisnaher Anwendungsfälle. Erstellung von Messketten und eines Lastenhefts zur Anforderungsdefinition für den modularen Sensorsystembaukasten.

Hydac Electronic GmbH (Hydac)

Durchführung von Messkampagnen sowie Unterstützung bei der Verifizierung neuer Hard- und Softwarefeatures.

Sensitec GmbH (Sensitec)

Zusammenarbeit bei der Entwicklung und Implementierung von Kommunikationsinterfaces für die im Laufe des Projektes neu entwickelte Sensorik.

SNR Wälzlager GmbH (SNR)

Durchführung von Messkampagne sowie Funktionstest und Fehlersuche vor Ort.

ODION GmbH (Odion)

Erarbeitung eines Kommunikationsinterfaces sowie Protokolls zu Anbindung des Messsystems an das ERP-System.

Fraunhofer-Institut für Integrierte Schaltungen (IIS)

Verifizierung bereitgestellter Algorithmen, Definition von Schnittstellen in Hard- und Software zur Anbindung der ASICs.

Universität des Saarlandes, Lehrstuhl für Messtechnik (UdS)

Zusammenarbeit bei der Algorithmen Definition, Entwicklung und Verifizierung.

GFE Schmalkalden e.V. (GFE)

Durchführung von Messkampagnen sowie Funktionstests.

2 Eingehende Darstellung

2.1 Verwendung der Zuwendung und erzielte Ergebnisse

2.1.1 AP 1: Systemspezifikation

Zur Definition der Anforderungen aller Projektpartner an die Sensorinterface wurde von den Projektpartnern ein Lastenheft der benötigten Sensorik sowie weiterer Schnittstellen angefertigt. CANWAY hat die Projektpartner hierbei unterstützt, um die Kompatibilität zur existierenden Hardware aus dem Vorgängerprojekt MoSeS-Pro zu gewährleisten. Dieses Lastenheft bildet die Basis der Entwicklungstätigkeiten in AP3.

2.1.2 AP 2: Spezifikation Sensoren, Interface

In diesem Arbeitspaket wurden die grundlegenden Spezifikationen für das FPGA-System ermittelt. Zudem wurde der grundlegende Aufbau der Firmware und die benötigten Kommunikationsschnittstellen für die Kommunikation mit den ASICs definiert. Diese bilden zusammen mit AP2 die Grundlagen für den Aufbau des Messsystems in AP3.

2.1.3 AP 3: Vorbereitung Messkampagne und Prozessintegration

Auf Basis der in AP 1 und AP 2 ermittelten Systemspezifikation wurde ein Messsystem für die Projektpartner erstellt. Hierzu wurde die in MoSeS-Pro entwickelte Hardware im Hinblick auf die von den Projektpartnern benötigte Sensorik sowie die im Projekt zu entwickelnde Algorithmik neu evaluiert und benötigte Hardware neu entwickelt. Das Messsystem besteht aus 4 einzelnen Modulen.

Digital Backend

Das in MoSeS-Pro entwickelte Digital Backend nutzt zur Datenübertragung einen UART zu USB-Umsetzer. Dies begrenzt stark die maximale Datenrate. Für KI-Predict wurde die Entwicklung eines neuen Digital Backend durchgeführt.

Dieses benutzt ein parallel angebundenes Hi-Speed USB 2.0 Umsetzer, wodurch Datenraten von bis zu 480 Mbit/s erreicht werden können (im Vergleich zu 2 Mbit/s in MoSeS-Pro).

Im Laufe des Projektes wurde das Digital Backend um eine Aufsatzplatine zur ERP Anbindung sowie zur Kommunikation mit ASIC Modulen erweitert

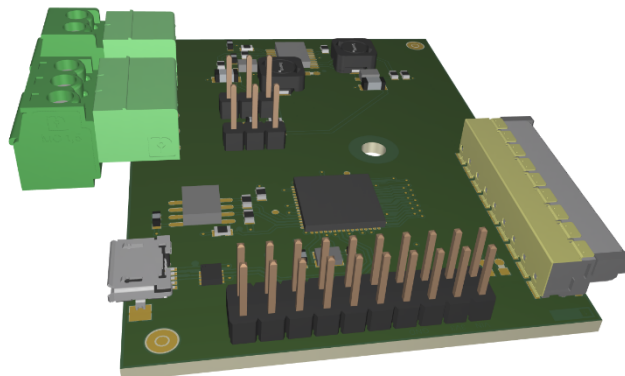


Abbildung 2: Digital Backend für KI-Predict

FPGA-Modul

Als zentrale Verarbeitungseinheit fiel die Entscheidung im Projekt MoSeS-Pro auf die Verwendung eines FPGAs. FPGAs sind sehr flexibel einsetzbar, insbesondere was die Implementierung von Interfaces und Datenverarbeitung betrifft. Zudem bieten sie Vorteile bei der Implementierung von Algorithmen sowie bei der parallelen Verarbeitung der Messdaten.

Das in MoSeS-Pro entwickelte FPGA-Modul basiert auf der Cyclon V Serie des Herstellers Intel/Altera. Dieser bietet genügend Ressourcen zur Datenaufnahme sowie für die Analyse der Daten mithilfe der im Projekt zu entwickelnden Algorithmen.

ADC Frontend

Zur Datenkonvertierung wurden bei MoSeS-Pro zwei verschiedene Analog zu Digital Wandler eingesetzt: ein schneller 4 Kanal simultan AD Wandler mit einer Samplerate von bis zu 5 Msps, sowie zwei langsamere 4 Kanal simultan AD Wandler mit einer Samplerate von bis zu 192 kHz.

Aus den Arbeiten in AP 1 und AP 2 ging hervor, dass Signale im Bereich von 100 ksps und 1Msps aufgezeichnet werden sollten. Daher war es möglich, das ADC Frontend aus MoSeS-Pro ohne weitere Anpassungen einzusetzen.

Physical-Interface

Im Rahmen des Projektes wurde ein möglichst universelles Sensorinterface entwickelt, um Kompatibilität zu allen von den Projektpartnern ausgewählten Sensoren zu gewährleisten. Zudem wurden für den Betrieb der Sensoren und des Sensorinterfaces verschiedene Versorgungsspannungen sowie eine Stromquelle für den Einsatz von IEPE-Sensoren bereitgestellt. Des Weiteren verfügt das Physical-Interface über digitale und analoge Trigger Eingänge zum synchronen Starten der Messungen sowie zur Kommunikation mit Digitalen Sensoren.

Die Anforderungen an die Anbindung der Sensoren ergeben sich aus der ausgewählten Sensorik der Projektpartner sowie aus der Verwendung des ADC Frontend aus dem MoSeS-Pro Projekt.

Hydac	SNR	GFE
Druck	Längenmessung	Drehmoment
Vol.-strom	GMR	Drehzahl
Kraft	Abstand	Druck
Temperatur	Temperatur	Temperatur
Weg		Körperschall
Körperschall		
Luftschall		

Tabelle 1: Verwendete Messgrößen

Die von den Partnern eingesetzten Sensoren umfassen differenzielle sowie single-ended Signale im Spannungsbereich von 100 mV bis 10 V sowie Stromsignale in Höhe von 20 mA.

Für das Sensorinterface wurde eine Eingangsstufe entwickelt, die über Bestückungsoptionen an einen weiten Signalbereich angepasst werden kann. Das Messsystem unterstützt Spannungssignale bis 24 V, Stromsignale können über einen Reihenwiderstand in Spannungssignale umgewandelt werden.

Das universelle Sensorinterface benötigt eine Versorgungsspannung für die Eingangsstufe von ± 5 V sowie Spannungen für die Sensorversorgung, die Trigger Eingänge und digitalen Ausgänge. Die benötigten Spannungen betragen 3,3 V, 5 V, 12 V und 24 V, wobei die 12 V und 24 V nicht gleichzeitig benötigt werden.

Um den Entwicklungsaufwand zu verringern, wurde auf DC/DC Wandler Module zurückzugreifen. Auf dem Physical-Interface wurde jeweils ein Modul für die positive und negative Analogspannung verwendet sowie Module für die 3,3 V und 5 V Digitalspannung. Die Erzeugung der 12 V bzw. 24 V Digitalspannung erfolgt über einen Boost Converter aus der 5 V Digitalspannung. Die Konstantstromquellen für die IEPE-Sensorik wurde auf eine Aufsatzplatine ausgelagert. Die entsprechenden Steckverbinder können zukünftig auch für weitere Anwendungen genutzt werden.

Das Physical-Interface besitzt vier analoge Eingänge zum Triggern der Messung. Da die Projektpartner verschiedene Eingangsspannungen im Bereich von 300 mV bis 24V benutzen, werden Schmitt Trigger benutzt, die über Bestückungsoptionen an verschiedene Eingangsspannungen angepasst werden können, verwendet.

Zudem wurden digitale Ausgänge vorgesehen, über welche zwei Systeme in eine Master-Slave-Konfiguration zusammenschaltbar werden können. Hierdurch können beide Messsysteme softwareseitig synchron gestartet werden.

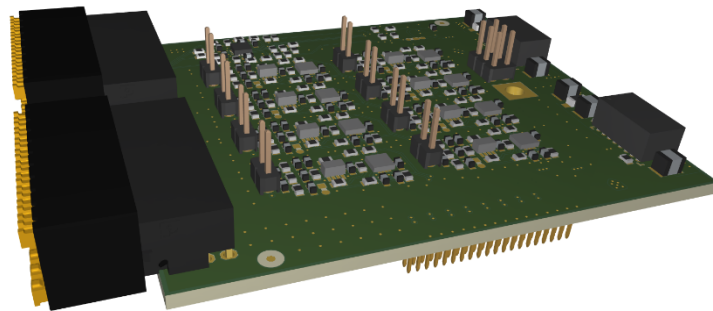


Abbildung 3: Physical Interface

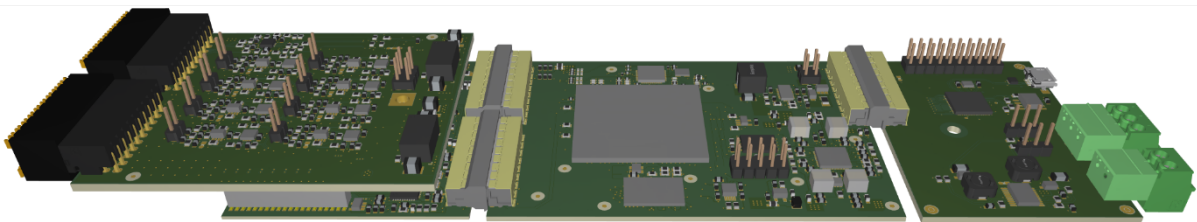


Abbildung 4: Gesamtes Messsystem

Firmwareentwicklung

Neben der Hardware wurde in diesem Arbeitspaket eine neue FPGA Firmware zur Datenaufnahme und Weiterverarbeitung entwickelt. Diese basiert zum Teil auf in MoSeS-Pro erarbeiteten IP-Cores, insbesondere für die Kommunikation mit den verwendeten ADCs. Zudem wurden IP-Funktionen für die neu verwendeten Kommunikationsschnittstellen entwickelt.

2.1.4 AP 4: Messkampagne 1

Im Arbeitspaket 4 hat CANWAY die Projektpartner GFE, HYDAC und SNR bei dem Aufbau, Anschluss und Inbetriebnahme der Messsysteme unterstützt. Im Laufe der Messkampagne wurde eng mit den Projektpartnern zusammengearbeitet um aufgetretene Fehler oder Instabilitäten in der Firmware und Software zu beheben und Unstimmigkeiten abzuklären.

Zudem wurde für die Durchführung der Messkampagne eine API zur Datenübertragung und Konfigurierung des Messsystems zu Verfügung gestellt.

2.1.5 AP 6: Integriertes KI-Sensorinterface

Im Arbeitspaket 6 wurden ausgewählte KI-Funktionen erfolgreich entwickelt, auf FPGA implementiert, optimiert und evaluiert. Die Entwicklung der FPGA-Firmware konzentrierte sich darauf, eine robuste Plattform für die Integration von KI-Algorithmen in sensorbasierte Systeme zu schaffen. Verbesserte IP-Cores wurden für die Kommunikation mit ADCs integriert und neue Schnittstellen wurden entwickelt, um eine effiziente Datenerfassung und -verarbeitung zu ermöglichen. Zudem wurde eine Konfigurationsschnittstelle samt zugehöriger Konfigurationssoftware für das FPGA-System entwickelt.

AP6.e Implementierung der System-Topologie

Im Laufe des Arbeitspaketes 6 wurde die in AP2 definierte System-Topologie weiter verfeinert und mit der Implementierung dieser begonnen. Die grundlegende FPGA-Topologie ist in Abbildung 5 zu sehen. Hierbei werden die Rohdaten der Sensorik wie in Messkampagne 1 serialisiert und über eine USB-Verbindung zu PC übertragen. Des Weiteren kann der Signalfluss der Sensordaten dynamisch über eine Routingmatrix durch Filter und Algorithmen geleitet werden. Im letzten Schritt können ausgewählte von den Algorithmen erzeugte Merkmale über eine UART-Verbindung an das von ODION entwickelte MDE System übertragen werden. Der Signalfluss und die Algorithmen können über die USB-Verbindung mithilfe einer PC-Software konfiguriert werden.

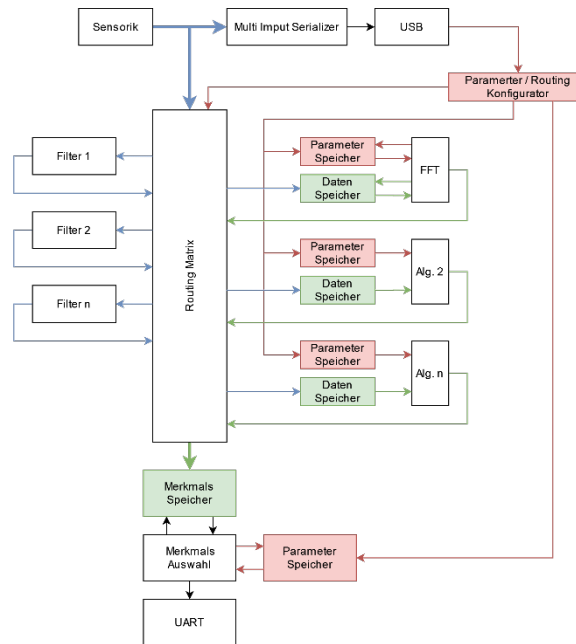


Abbildung 5: In AP2 Spezifizierter FPGA

AP6.f Algorithmen Implementierung

Die Auswahl und Entwicklung der Algorithmen, orientiert an einer von der Universität des Saarlandes zusammengestellten Liste geeigneter KI-Algorithmen, wurden in enger Zusammenarbeit mit dem Institut für Integrierte Schaltungen (IIS) realisiert. Diese Kooperation ermöglichte es, durch eine standardisierte Schnittstelle die Integration der Algorithmen in FPGA- und ASIC-Systeme effizient zu gestalten.

Handshake-Protokoll

Dieses Protokoll wurde entwickelt, um die Datenübermittlung zwischen Algorithmen und Speichereinheiten zu regeln. Es gründet auf dem Request-Acknowledgment-Schema und folgt dem Master-Slave-Prinzip, wobei es das Lesen und Schreiben zu FIFO- und RAM-Speichern ermöglicht. Um eine flexible Kommunikation zu gewährleisten, ist das Protokoll in ein "Algorithmus-Interface" und ein "Speicher-Interface" unterteilt, die jeweils als Sender oder Empfänger agieren können.

ALA & PCA Implementierung:

Zu Beginn erfolgte die Umsetzung der Adaptiven Linearen Approximation (ALA), die anschließend erfolgreich anhand von Testdaten, bereitgestellt durch die Universität des Saarlandes, überprüft wurde. Weiterhin diente dieser Algorithmus als Grundlage zur Definition einer standardisierten Schnittstelle für die Speicherung von Daten und Parametern.

In einem weiteren Schritt erfolgte die Implementierung der Hauptkomponentenanalyse (PCA), die anhand von Testdaten, die von der Universität des Saarlandes zur Verfügung gestellt wurden, validiert wurden. Abbildung 6 zeigt die vereinfachte Struktur eines implementierten Algorithmus.

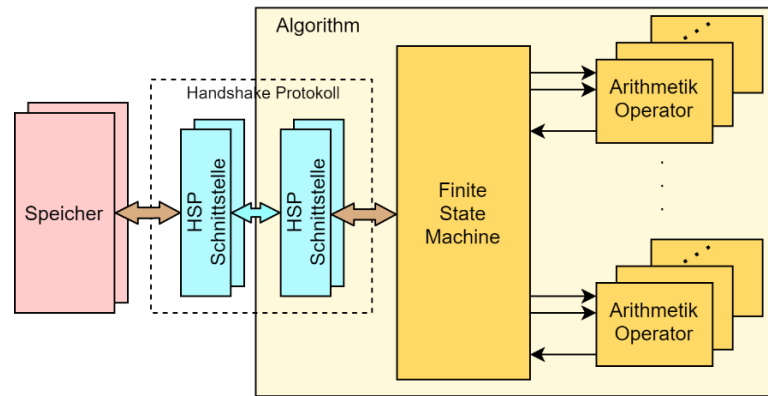


Abbildung 6: Algorithmik Implementierung

Matrix Multiplizierer

Der Matrix Multiplizierer basiert auf einem mathematischen Verfahren, das durch die Durchführung einer Matrixmultiplikation zwischen zwei Eingangsmatrizen und der Addition des Ergebnisses mit einer dritten Matrix charakterisiert ist. Dieser wurde in VHDL codiert, und seine Funktionsweise wurde durch Simulationen in Modelsim überprüft. Die Steuerlogik für die Matrixmultiplikation wurde als endlicher Automat (Finite State Machine, FSM) entworfen, der über ein Akkumulator-Register und weitere Register verfügt. Zudem umfasst der Matrix Multiplizierer sowohl eine Additions- als auch eine Multiplikationseinheit, was in einer Optimierung des Algorithmus hinsichtlich des Bedarfs an FPGA-Ressourcen resultiert. Aufgrund der Tatsache, dass die Hauptkomponentenanalyse (PCA) eine spezifische Form der Matrixmultiplikation (Vektor x Matrix) darstellt, konnte sie mithilfe dieses Matrix Multiplizierers validiert werden.

Statistische Momente

Die statistischen Momente, bestehend aus Mittelwert, Varianz, Standardabweichung und Schiefe, werden durch die Anwendung spezifischer mathematischer Formeln berechnet.

Ihre Implementierung erfolgte in VHDL, wobei die Funktionsweise durch Simulationen mit Modelsim überprüft und validiert wurde. Der entwickelte Code nutzt eine Finite-State-Maschine (FSM) als Steuerlogik, integriert alle erforderlichen mathematischen Operationen und verwendet ein Akkumulator-Register sowie weitere Register. Die Finite-State-Maschine durchläuft zwei Zyklen: Im ersten Zyklus erfolgt die Berechnung von Mittelwert, Varianz und Standardabweichung, während im zweiten Zyklus die Schiefe ermittelt wird.

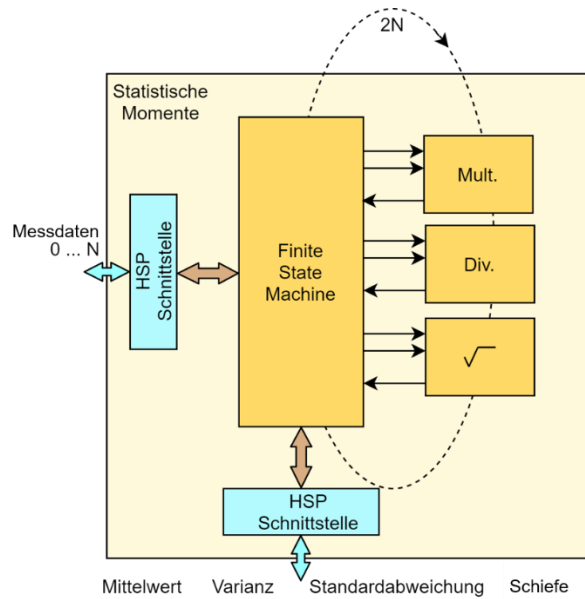


Abbildung 7: Implementierung Statistische Momente

Best Wavelet Koeffizienten (BDW)

Abbildung 8 zeigt die mehrstufige Wavelet-Transformation, bei der jede Ebene sowohl einen Tiefpass-Filter für Approximationen (cA) als auch einen Hochpass-Filter für Details (cD), ergänzt durch ein Downsampling, umfasst. Beide FIR-Filter besitzen jeweils vier feste Koeffizienten. Die zugrundeliegende Theorie dieser Transformation sowie die spezifischen Filterkoeffizienten für das Daubechies2 (db2) Wavelet wurden vom ZeMA bereitgestellt.

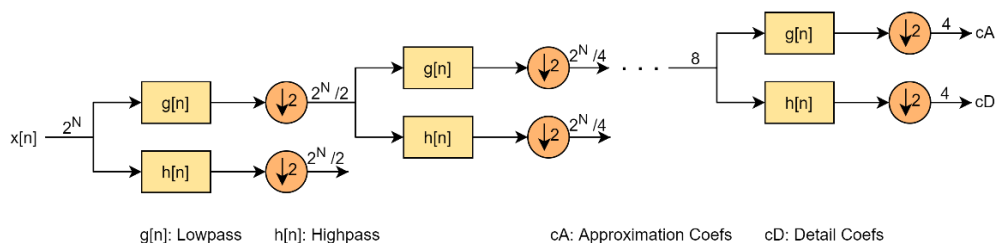


Abbildung 8: Implementierung BDW

Auf dem FPGA wurden zwei Varianten der Best Wavelet Koeffizienten (BDW) implementiert: eine parallele und eine serielle BDW. Abbildung 9 illustriert den Aufbau der parallelen BDW, bei der jede Ebene als eigenständige Komponente realisiert wurde. Filterung und Downsampling finden für jede Ebene individuell statt, wobei jede Ebene eine „Smooth padding of order 0“-Vorbehandlung erfährt. Die Approximationskoeffizienten jeder Ebene dienen als Eingangsdaten für die folgende Ebene, mit Ausnahme der letzten Ebene, deren Approximationskoeffizienten in einem Ergebnisspeicher abgelegt werden. Die Detailkoeffizienten aller Ebenen werden ebenfalls gespeichert. Durch das parallele Arbeiten der Komponenten kann es zu Konflikten beim Speichern der Ergebnisse kommen, die durch einen Arbiter gelöst werden.

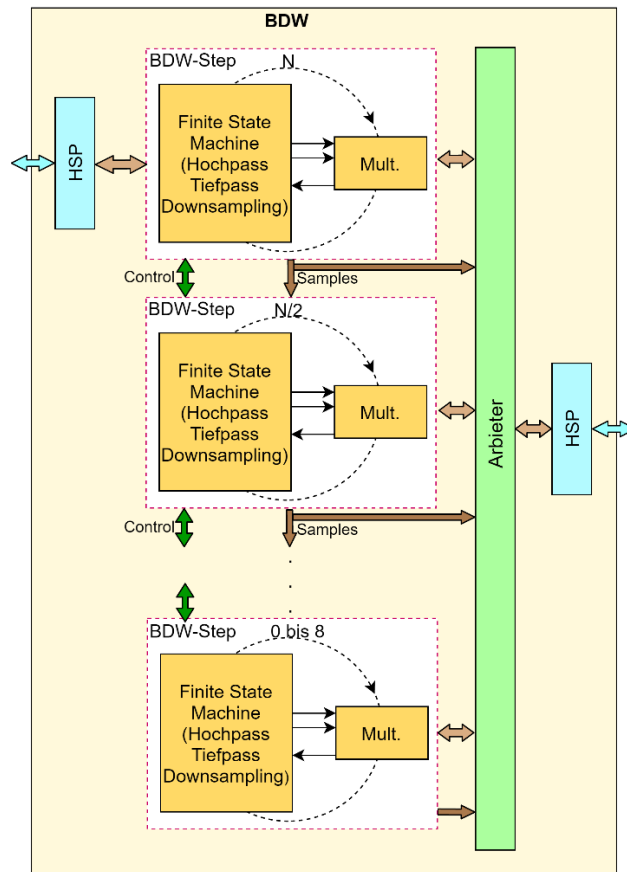


Abbildung 9: Implementierung parallele BDW

Vorteile dieser parallelen Struktur sind die Vermeidung von Zwischenspeicherungen, eine hohe Verarbeitungsgeschwindigkeit und die Eignung für „Streaming Daten“ sowie „Datenpakete“. Ein Nachteil ist der erhöhte Ressourcenbedarf auf dem FPGA, z.B. ein Multiplizierer pro Ebene.

Die serielle BDW verwendet in ihrer VHDL-Implementierung lediglich eine Finite State Maschine (FSM) und einen einzigen Multiplizierer. Die Approximationskoeffizienten jeder Ebene werden im Messwertespeicher abgelegt, wobei ältere, nicht mehr benötigte Messwerte überschrieben werden. Die serielle BDW ist langsam im Vergleich zur parallelen Struktur, benötigt aber weniger FPGA-Ressourcen.

Fast Fourier Transformation (FFT)

Auf dem FPGA wurde der effiziente Cooley-Tukey-Radix-2-FFT-Algorithmus implementiert. Dies erfolgt mittels der Decimation-in-Frequency (DIF)-Methode. Diese Methode führt zu Ergebnissen in bitumgekehrter Reihenfolge, was eine zusätzliche Umkehrung der Bits in den Ergebnissen erforderlich macht.

Abbildung 10 präsentiert die realisierte Struktur der FFT. Für die Durchführung der gesamten Transformation werden folgende Komponenten benötigt:

- Kontroll-Einheit als FSM (Finite State Maschine).
- Speicher für die Messdaten, Twiddle-Faktoren und FFT-Ergebnisse.
- Komplexe Addition und komplexe Multiplikation für den Butterfly-Operator.
- Adresse-Generator für die Speicher.
- FFT-Amplitudenrechner.
- Bit- Umkehrung (Bit Reverse).

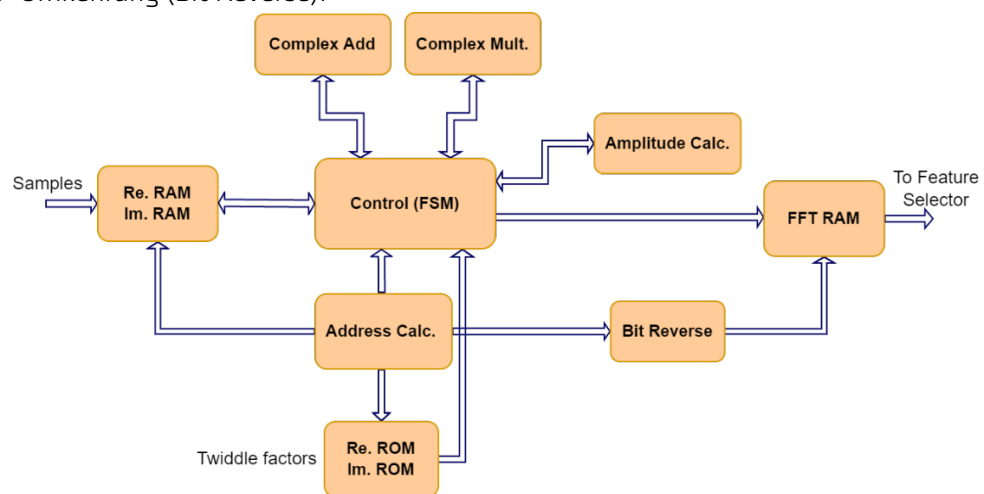


Abbildung 10: Implementierung FFT

Der FFT-Algorithmus ist konzipiert, um Messdaten im 22-Bit-Festkommaformat bis zu einer Größe von 8k Samples zu verarbeiten, bietet jedoch die Möglichkeit einer Erweiterung auf bis zu 128k Samples mit 16 Bits. Die Implementierung der FFT wurde hinsichtlich der FPGA-Ressourceneffizienz optimiert, was zur Folge hatte, dass lediglich ein einziger Multiplizierer verwendet wird. Dies erfordert, dass die FFT-Stufen sequenziell abgearbeitet werden. Die Zwischenergebnisse jeder Stufe werden dabei in den bereits freigewordenen Speicherplätzen des Messdatenspeichers hinterlegt.

FIR-Filter & Moving Average Filter

Ein FIR-Filter (Finite Impulse Response Filter) wird mathematisch durch eine Differenzgleichung beschrieben, die die Faltung zwischen einer Reihe von Filterkoeffizienten und dem Eingangssignal darstellt.

Typischerweise ist die Länge der Eingabedaten wesentlich größer als die Länge des Filterkerns und kann potenziell unendlich sein. Um die Größe des Arrays konstant zu halten, wird das Eingangssignal entlang der Verzögerungsleitung verschoben, wobei ausschließlich die Daten für die Filteroperation verwendet werden, die in den Verzögerungselementen gespeichert sind.

Für die Implementierung auf dem FPGA wurde der FIR-Filter mit einer seriellen Methode realisiert. Diese Methode teilt den Faltungsprozess in einzelne Schritte auf, die sequenziell abgearbeitet werden.

Da der Moving Average Filter eine spezifische Form des FIR-Filters darstellt, kam für dessen Implementierung dieselbe Struktur und Methode zum Einsatz, die bereits bei der Realisierung des zuvor beschriebenen FIR-Filters angewendet wurde. Aufgrund der einheitlichen Koeffizienten erübrigt sich die Notwendigkeit eines Speichers für die Koeffizienten.

SNR-Anwendung

Von der Universität des Saarlandes erhielten wir eine Beschreibung für die Implementierung der SNR-Anwendung, die folgendermaßen lautet:

- Einsatz von 4-8 Sensoren, die mit einer Frequenz von 18.75 kHz Daten erfassen.
- Nach Auslösung eines Hardwaretriggers wird zunächst eine Pause von 15000 Samples eingelegt.
- Anschließend erfolgt die Aufzeichnung von 8192 Samples für jeden Sensor.
- Diese 8192 Samples je Sensor werden dann in zehn gleich große Abschnitte unterteilt.
- Für jeden dieser Abschnitte wird die Berechnung statistischer Momente vorgenommen.
- Aus dieser Berechnung resultieren 160 bis 320 Features.
- Diese Features werden schließlich an das ERP-System übermittelt.

Die Abtastrate des ADC liegt bei 187,5 kHz. Für den Betrieb der SNR-Anwendung, die eine Abtastrate von 18,75 kHz erfordert, ist eine Reduktion der ursprünglichen Abtastrate um den Faktor zehn notwendig. Zu diesem Zweck kam ein Anti-Aliasing-Filter (FIR-Filter) zum Einsatz. Der Filter verfügt über 32 Taps, weist eine Dämpfung von -30 dB bei der Nyquist-Frequenz auf und besitzt eine Bandbreite von 3,6 kHz.

HYDAC-Anwendung

Die HYDAC-Anwendung ähnelt stark der SNR-Anwendung, mit dem wesentlichen Unterschied, dass sie für vier Schnellkanäle konzipiert wurde, die mit einer höheren Abtastrate von 1 MHz arbeiten. Die Universität des Saarlandes hat uns eine Beschreibung für die Umsetzung der HYDAC -Anwendung übermittelt, die wie folgt strukturiert ist:

- Verwendung von 4 schnellen Kanälen, die mit einer Abtastrate von 1 MHz arbeiten.
- Die Abtastrate wird mithilfe eines Mittelwert-Filters um den Faktor 2048 reduziert.
- Nach dem Auslösen eines Hardwaretriggers werden von jedem Sensor 8.192 Samples aufgezeichnet.
- Diese 8.192 Samples pro Sensor werden in zehn gleichmäßig verteilte Segmente aufgeteilt.
- Innerhalb jedes Segments erfolgt die Berechnung statistischer Momente.
- Aus dieser Analyse entstehen 160 Features.
- Diese Features werden schließlich an das ERP-System übermittelt.

Die Abtastrate des schnellen ADC liegt bei 1 MHz. Für den Betrieb der HYDAC-Anwendung, die eine Abtastrate von 488,28 Hz erfordert, ist eine Reduktion der ursprünglichen Abtastrate um den Faktor 2048 mittels Mittelwert-Filter notwendig.

Sobald der Hardwaretrigger aktiviert wird, werden 8.192 Samples im lokalen Speicher archiviert. Diese gespeicherten Samples werden anschließend in zehn gleichmäßig verteilte Abschnitte gegliedert, von denen neun Abschnitte jeweils 819 Samples umfassen und ein Abschnitt 821 Samples beinhaltet. Innerhalb jedes dieser Abschnitte erfolgt die Berechnung statistischer Momente – Mittelwert, Varianz, Standardabweichung und Schiefe. Die resultierenden Werte dieser Berechnungen werden daraufhin im lokalen Speicher abgelegt.

GFE-Anwendung

Von der Universität des Saarlandes erhielten wir eine detaillierte Beschreibung für die Implementierung der GFE-Anwendung, welche die folgenden Schritte umfasst:

- Zwei Sensoren, mit einer Abtastrate von 11.72 kHz, stehen im Fokus der Untersuchung.
- Nach Aktivierung des Hardwaretriggers wird eine Wartezeit von 9000 Samples eingehalten.
- Darauf folgt die Aufzeichnung von 8192 Samples je Sensor, welche die Rohdaten darstellen.
- Diese Rohdaten werden anschließend um den Faktor 2^3 skaliert.
- Die skalierten Daten werden quadriert, um die Signalstärke zu erhöhen.
- Ein Moving-Average-Filter mit einer Fenstergröße von 6 wird auf die Daten angewendet, um Rauschen zu reduzieren.
- Anschließend erfolgt eine weitere Skalierung der Daten um den Faktor 2^{16} .
- Die Fast-Fourier-Transformation (FFT) wird auf die so vorverarbeiteten Daten angewandt.
- Zum Abschluss werden die FFT-Amplituden für den Bereich von 20 bis 270 Bins (nicht Hz) zur weiteren Analyse an das ERP-System übermittelt.

Die Umsetzung der GFE-Anwendung erfolgte erfolgreich auf dem FPGA.

Die Abtastrate des ADC liegt bei 187,5 kHz, jedoch erfordert die GFE-Anwendung eine geringere Abtastrate von 11,72 kHz. Um diese Anforderung zu erfüllen, wird die Abtastrate mithilfe eines Durchschnittsfilters (Average-Filter) um den Faktor 16 reduziert. Neben dem Skalieren und Quadrieren der Daten fällt es dem Konverter zu, diese Aufgaben durchzuführen.

Der implementierte Moving-Average-Filter ist als 6-Punkt-Moving-Average-Filter konfiguriert, dessen Grenzfrequenz bei 0,8775 kHz angesetzt ist.

Validation der Anwendungen

Die Validierungsprozesse der Anwendungen wurden in verschiedenen Stufen durchgeführt. In einem initialen Schritt erfolgte die separate Überprüfung aller Einzelkomponenten der GFE-, HYDAC- und SNR-Anwendungen. Für jede dieser Komponenten wurde ein spezifischer VHDL-Testbench entwickelt und in "ModelSim" ausgeführt, wobei ausschließlich Verhaltenssimulationen zum Einsatz kamen.

In einem zweiten Schritt stand die Validierung der kompletten Anwendungen im Fokus. Auch hierfür wurde ein VHDL-Testbench konzipiert und die Simulation in "ModelSim" durchgeführt, wobei erneut lediglich Verhaltenssimulationen zum Tragen kamen.

In den darauffolgenden Schritten wurde die auf dem FPGA implementierte Funktionalität der Algorithmen und Anwendungen einer gründlichen Prüfung unterzogen. Zuerst erzeugte ein auf dem FPGA implementierter Signalgenerator das Testsignal, dessen Ergebnisse

anschließend mit den Berechnungen von MATLAB oder Octave abgeglichen wurden. Danach kam ein externer Signalgenerator zum Einsatz, um die Resultate der Anwendungen zu validieren. Abschließend wurde das gesamte FPGA-Projekt, inklusive zusätzlicher Komponenten wie dem Feature-Selector, umfassend getestet. Dabei wurden die Ergebnisse der FPGA-Anwendungen erneut den Berechnungen von MATLAB oder Octave gegenübergestellt, um die korrekte Umsetzung zu bestätigen.

AP6.g Implementierung Routing-Matrix

Im Laufe des Arbeitspaketes wurde die Routingmatrix entwickelt und implementiert. Der Multiplexer der Routingmatrix kann als Schalter mit mehreren Eingängen und mehreren Ausgängen betrachtet werden, was ermöglicht die flexible Zuordnung der Eingangssignale von den Sensoren zu verschiedenen Algorithmen.

Die Konfiguration der Routing Matrix wurde über das Processing System (PS) mittels des AXI-Busses vorgenommen. Dies bietet eine erhebliche Flexibilität und Kontrolle über den Datenfluss innerhalb des Systems.

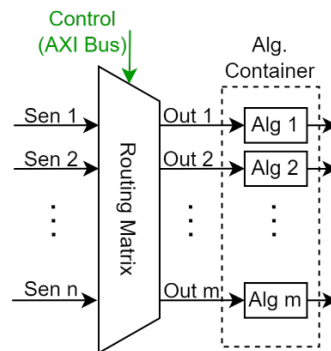


Abbildung 11: Routing Matrix

Die Architektur der Routing Matrix ist erweiterbar gestaltet, was bedeutet, dass sie so konfiguriert werden kann, dass mehrere Algorithmen sequentiell aktiviert werden können. Diese Sequenzierung ist besonders nützlich, wenn Algorithmen auf Basis des Feedbacks vorheriger Ergebnisse angewendet werden sollen.

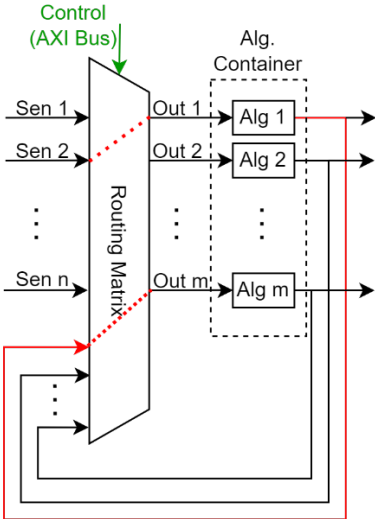


Abbildung 12: Erweiterte Routing Matrix

AP6.h Implementierung einer GUI-Struktur

Im Laufe des Arbeitspaketes 6 wurde die in Messkampagne 1 benutzte API weiterentwickelt. Als Basis hierzu bildete zudem eine von Hydac auf der API entwickelten LabVIEW Software.

Die entwickelte Software ist in Abbildung 13 zu sehen. Über diese Software können die einzelnen Channel für die Messung konfiguriert werden sowie Parameter wie die Anzahl der aufzunehmenden Messpunkte, ein Delay zwischen den Messungen und die Art der Triggerung eingestellt werden. Zudem können mit der Software die Messdaten in HDF5 Format abgespeichert werden. Die Software wurde im Laufe des Projektes weiterentwickelt, um die in Messkampagne 2 und 3 zusätzlich benötigten Messkanäle zu unterstützen. Des Weiteren wurde die Software um Funktionen zur Steuerung der Algorithmmik ergänzt.

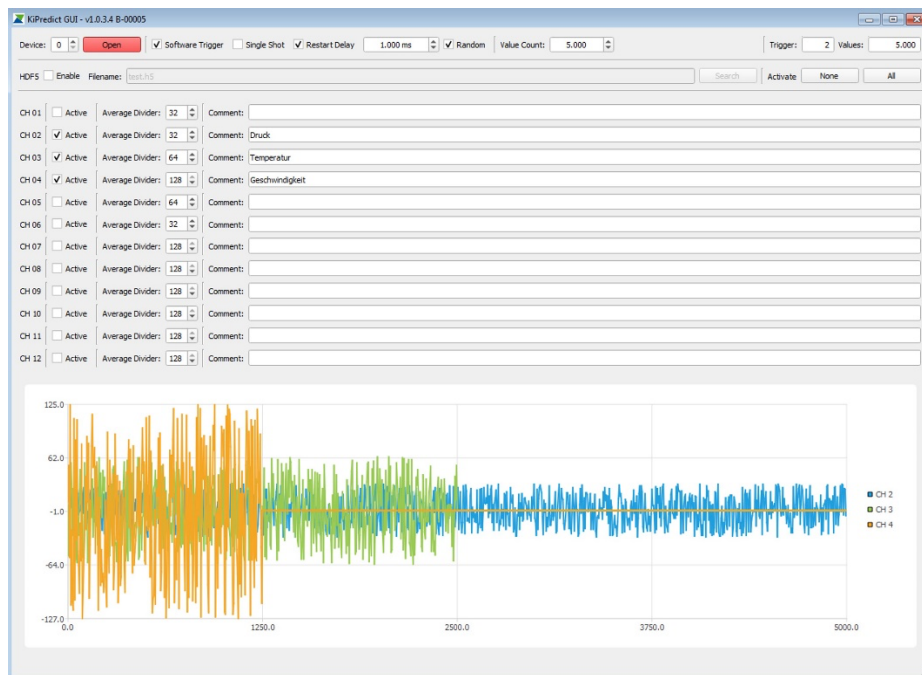


Abbildung 13: Konfigurationssoftware

2.1.6 AP 8: ERP-Anbindung

In Zusammenarbeit mit ODION und UdS wurde in mehreren Abstimmungsrunden eine Kommunikationsverbindung zwischen ASIC/FPGA und ODION MDE definiert. Die Kommunikation sieht ein Gateway zwischen ASIC/FPGA und MDE vor. Dieses Gateway kommuniziert einerseits über eine RS232 Verbindung mit dem ASIC/FPGA und überträgt die ermittelten Merkmale über eine Netzwerkkommunikation zum OPC UA Server. Der OPC UA Server wird im Zwischenbericht von ODION näher erläutert. Die RS-232 Schnittstelle sowie das Kommunikationsprotokoll wurde im FPGA implementiert und in Zusammenarbeit mit ODION mithilfe von Testdaten verifiziert. Die ERP-Anbindung wurde in Messkampagne 2 und 3 benutzt, um berechnete Merkmale vom FPGA und ASIC aufzunehmen.

2.1.7 AP 9: Messkampagne 2

Im Arbeitspaket 9 wurde das FPGA Messsystem erweitert um eine Datenaufnahme über ASICs zu ermöglichen. Hierfür wurde eine Aufsatzplatine entwickelt und mechanische Anpassungen am Gehäuse vorgenommen. Die Aufsatzplatine stellt 5 SPI-Kanäle für die Kommunikation mit den ASICs zur Verfügung sowie ein UART-Kanal für die Kommunikation mit dem OPC UA Server. Des Weiteren wurden vorhandene Komparator-Eingänge zur Anbindung von SPI-Sensorik umfunktioniert. In Abbildung 14 ist der Schematische Aufbau des Messsystems für die Messkampagne 2 dargestellt.

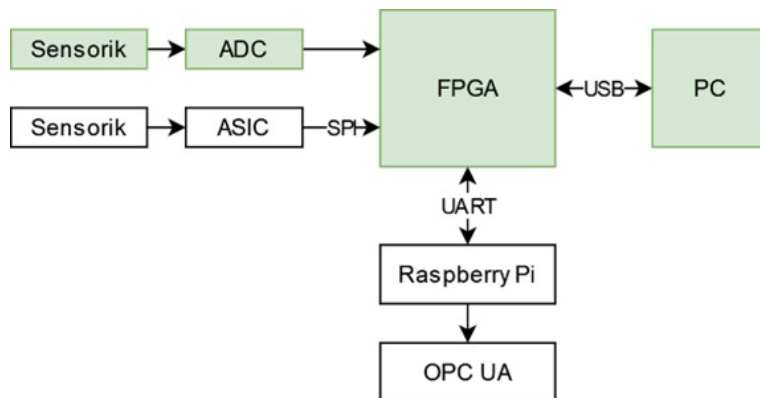


Abbildung 14: Aufbau Messkampagne 2

Zusätzlich zu den Anpassungen an der Hardware wurden Anpassungen an der Firmware und der Software vorgenommen. In Abbildung 15 ist der schematische Firmwareaufbau für die Messkampagne 2 dargestellt. Zur Anbindung der ASIC-Sensorik wurde eine SPI-Slave Schnittstelle entwickelt. Zudem erfolgten Anpassungen am Multi Input Serializer, um die zusätzlichen Kanäle über die USB-Schnittstelle auszugeben. Des Weiteren wurde die Software für die zusätzlichen Kanäle angepasst.

Die Algorithmik Berechnung erfolgt in Messkampagne 2 über die in Messkampagne 1 vermessene Sensorik. Die Ergebnisse der Algorithmik werden über UART an einen OPC UA Server weitergegeben. Um die Datenlast für die UART-Schnittstelle sowie den OPC UA Server zu verringern, wurde ein Featur Selector entwickelt. Über diesen werden bis zu 500 Features von der Algorithmik vorselektiert. Hierdurch werden nur die für die Auswertung relevanten Features weitergegeben.

Die Kommunikation mit dem OPC UA Server erfolgt über die in Arbeitspaket 8 in Kooperation mit ODION entwickelten Schnittstelle.

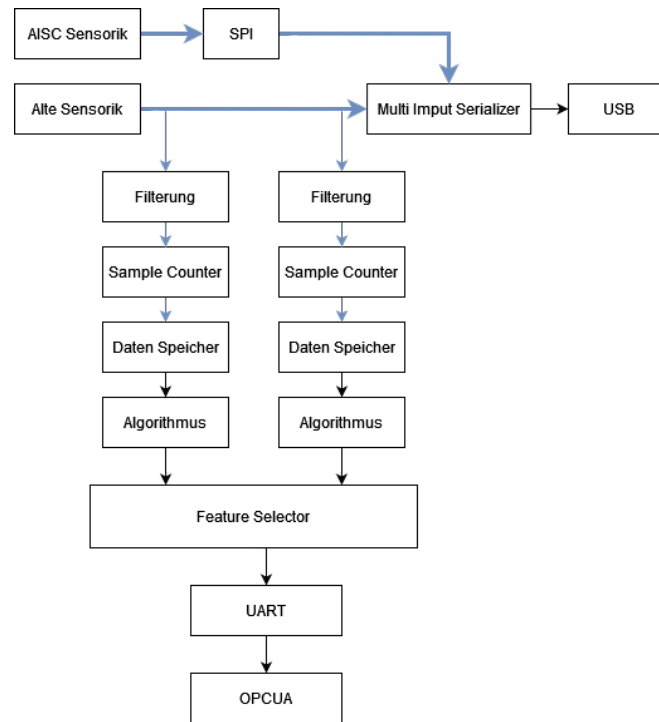


Abbildung 15: Firmware Messkampagne 2

2.1.8 AP 9: Messkampagne 3

Ziel der 3. Messkampagne, ist die Verifizierung der ASIC-Systeme. Im Laufe der Kampagne erfolgt die Messung und Auswertung der Sensordaten getrennt im FPGA-Messsystem sowie in den ASICs. Hierfür wurde das Messsystem um Trigger Ausgänge für den Anschluss von ASICs ergänzt um ein gleichzeitiges starten der Messungen zu gewährleisten. Das FPGA-System dient zur Überwachung und Verifizierung der Messergebnisse der ASICs.

2.1.9 Weiterführende Hardwareentwicklung (FPGA MPSoC Gerätesystem)

Das FPGA MPSoC Gerätesystem, basierend auf dem Xilinx Kria KV26 SoM, ist eine innovative Lösung für DSP-basierte Messgeräte. Dieses System ist für Aufgaben der Datenverarbeitung und -speicherung konzipiert und eignet sich ideal zur Berechnung komplexer Algorithmen.

Vorteile des Xilinx Kria KV26 SoM-basierten FPGA MPSoC Gerätesystems:

- Direkte Übertragung FPGA/CPU: Die direkte Datenübermittlung zwischen FPGA und CPU resultiert in einer beschleunigten und optimierten Verarbeitung, die für datenintensive DSP-Anwendungen essentiell ist.
- Schnelle Erweiterung über Einschubkarten: Durch die modularisierte Bauweise können Erweiterungen einfach durch zusätzliche Einschubkarten vorgenommen werden, was eine skalierbare und anpassbare Systemarchitektur schafft.
- Unterstützung mehrerer Firmware-Versionen: das System ermöglicht die simultane Nutzung verschiedener Firmware-Versionen, was die Entwicklung und Wartung vereinfacht und die Ausfallzeiten minimiert.

- Direkte Implementierung des OPC UA Servers: der OPC UA Server, direkt auf dem FPGA implementiert, ermöglicht eine umfassende Konnektivität, die für die Einbindung in moderne industrielle Netzwerke notwendig ist.

Mit dem Xilinx Kria KV26 SoM als Kernstück des Systems steht eine leistungsstarke Plattform zur Verfügung, die nicht nur die aktuellen Anforderungen an Mess- und Steuerungstechnik erfüllt, sondern auch für zukünftige Herausforderungen gerüstet ist.

Implementierte Architektur auf FPGA MPSoC

Vier Analog-Digital-Wandler wurden zur Datenkonvertierung eingesetzt. Jeder ADC hat zwei simultan messende Kanäle und serielle LVDS-Ausgänge. Für die Ansteuerung von insgesamt acht Kanälen sind vier Leistungsfähige ADC-Treiber auf „PL“ (Programmable Logic des FPGA-MPSoC) implementiert.

Eine besonders implementierte Trigger-Funktion gewährleistet die zeitgerechte Aktivierung der Datenaufzeichnung. Nutzer können die horizontale Trigger-Position im Bereich von 0 bis 100% justieren, was eine präzise Einstellung des Zeitpunkts ermöglicht, zu dem das Signal erfasst wird. Sowohl Pre-Trigger- als auch Post-Trigger-Zeiten können festgelegt werden, um Signale vor und nach dem Trigger-Ereignis zu betrachten.

Innerhalb der „PL“ wurde auch ein ALG-Container implementiert, der acht SNR- und zwei GFE-Anwendungen enthält. Die Routing Matrix ermöglicht die flexible Zuordnung der Eingangssignale von den Sensoren zu verschiedenen Algorithmen und Anwendungen.

Der auf „PL“ implementierte Feature Selector extrahiert wesentliche Merkmale aus dem Datenstrom für die weitere Verarbeitung.

Für die Datenübertragung zur CPU stehen mehrere DMA-Kanäle zur Verfügung: acht DMA-Kanäle für die ADC-Daten und ein weiterer DMA-Kanal für die extrahierten Merkmale. Konfiguration, Parameter und der Systemstatus werden über Register geregelt, die über ein AXI-Interface zugänglich sind. Ein Signalgenerator ist für die Durchführung von Systemtests integriert.

Der „PS“-Teil (Processing System des FPGA-MPSoC) verfügt über eine ARM-CPU, unterstützt durch DDR- und Interface-Controller, auf dem ein Linux-Betriebssystem läuft. Dieses Betriebssystem steuert den Kontrollfluss mittels CPU-Treibern und Applikationen. Python wird eingesetzt, um die FPGA-Komponenten zu konfigurieren und einzustellen, während die PYNQ-Bibliotheken die Interaktion mit den FPGA-Komponenten vereinfachen.

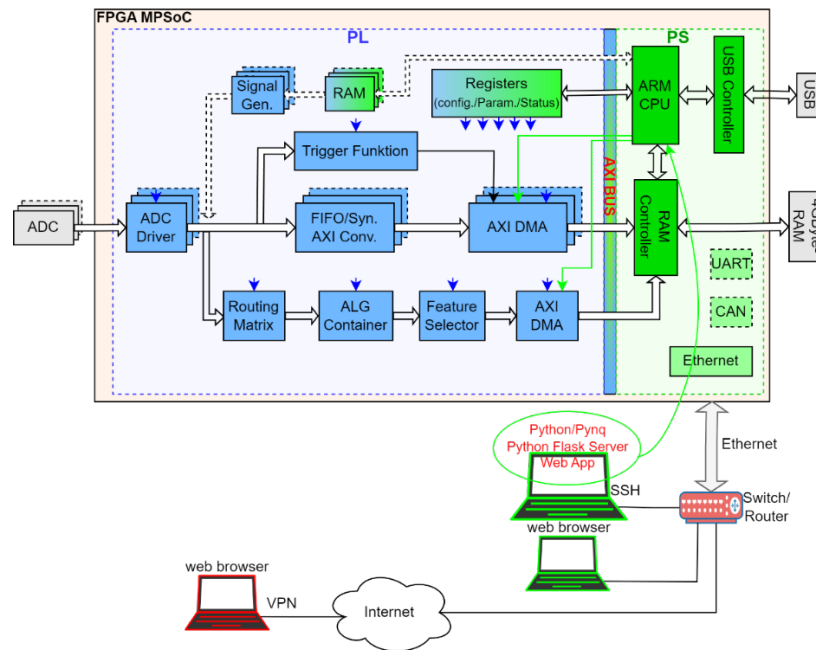


Abbildung 16: Implementierte Architektur auf FPGA MPSoC

Die Ethernet-Verbindung ermöglicht die Kommunikation mit dem System via SSH. Das Backend der Webanwendung nutzt den Python Flask-Server, das Frontend besteht aus HTML/CSS, und zusammen ermöglichen sie eine interaktive Benutzeroberfläche über das Internet.

2.2 Notwendigkeit und Angemessenheit der geleisteten Arbeit

Im gesamten Projekt bildet CANWAY eine wichtige Schnittstelle zwischen den beteiligten Projektpartnern durch die Bereitstellung von Messsystemen, Implementierung und Validierung von Algorithmen und Schnittstellen. Zentraler Bestandteil des Verbundprojektes sind die drei Messkampagnen zur Datengenerierung, -optimierung und Evaluierung.

Für die erste Messkampagne wurden an den drei Anwendungsfällen die Daten für die Algorithmenauswahl und -ausprägung gesammelt. Hierzu wurden von CANWAY Messsysteme entwickelt, welche die Schnittstellen zu den notwendigen Sensoren bereitstellen und die Datenverarbeitung durchführen. Durch die Verwendung der bereits vorhandenen Hardware aus dem Projekt MoSeS-Pro konnten die Messsysteme sehr zeitnah angepasst und zur Verfügung gestellt werden.

Für die zweite und dritte Messkampagne wurden die im Projekt ermittelten Algorithmen in auf dem FPGA implementiert und validiert sowie entsprechende Messsysteme zur Verfügung gestellt. Gleichzeitig wurden Schnittstellen implementiert, um die Daten von der Sensoren über die Algorithmen und Merkmalsextraktion bis zum ERP-System zur Verfügung zu stellen.

2.3 Voraussichtlicher Nutzen, Verwertbarkeit des Ergebnisses

Um die Verfahren der KI und Big Data einzusetzen, werden Informationen aus einer Vielzahl von Sensoren benötigt, deren Datenraten jedoch nicht auf bestehende Produktionsnetzwerke ausgelegt sind und diese daher überlasten würden oder undefinierte Latenzen verursachen. Das im Projekt entwickelte, modulare Sensorinterface wird durch seine integrierte Extraktion charakteristischer Merkmale eine Reduktion und Fusion der Sensorsignale direkt am Sensorelement ermöglichen. Dieser Ansatz erlaubt die Anwendung der KI-Algorithmen vom Sensor (hauptsächlich Merkmalsextraktion und Datenreduktion) über die Maschinensteuerung (Anomalieerkennung, Vorhersage verbliebener Lebensdauer) bis hinauf zum ERP-System (vorausschauende Wartung) mit den etablierten Produktionsnetzwerken. Durch seinen modularen Aufbau kann das Sensorinterface an unterschiedliche Rahmenbedingungen angepasst werden. Frontend-Module für die Anbindung von verschiedenen Sensoren wie z. B. Strom, Position, Druck, Kraft, Vibration und Temperatur und die nachfolgende Kommunikation mit übergeordneten Systemen über schmalbandige Busse sind entkoppelt von der Signalverarbeitung und -auswertung. Die Signalauswertung kann flexibel auf die Sensordaten angewendet werden und über die Routing-Matrix können Sensordaten unterschiedlichen Algorithmen zugeordnet und dadurch Datenreduktion und Merkmalsextraktion betrieben werden.

Die im Projekt entwickelten Umfänge werden in unterschiedlichen Bereichen weiter verwertet. Die Hardwareplattform bildet die Grundlage für eine leistungsfähige Signalverarbeitungsplattform, die aufgrund Ihrer Modularität für unterschiedliche Aufgabenstellung verwendet werden kann. So ist einerseits der Einsatz als Produkt für eine Leistungsmessung im Automobilbereich vorgesehen, andererseits kann auf Basis der Plattform in kundenspezifischen Projekten schnell auf Kundenanforderungen reagiert werden. Darüber hinaus finden innerhalb des Konsortiums Gespräche zur Integration einer entsprechenden Hardware in Serienprodukte eines Kooperationspartners statt.

Die im Zuge des Projektes entwickelten Algorithmen eignen sich zum Einsatz in Prüfständen innerhalb der Produktfertigung. Mögliche Einsatzszenarien wären Prüfstände zur Wareneingangskontrolle elektronischer Baugruppen sowie in EOL-Tests (End-of-Line) elektronischer Geräte. Überlegungen hierzu finden bereits statt und erste Untersuchungen sind für Ende 2024 geplant.

2.4 Veröffentlichungen

Aufgrund der Corona-Pandemie fanden insgesamt sehr wenige öffentliche Veranstaltungen statt. Das Projekt KI-Predict und darin das Teilprojekt Mo-KIS wurde auf dem Halbzittreffen der BMBF-Bekanntmachung „Elektronik I4.0“ am 08.11.2021 in Ludwigsburg vorgestellt.

Kurzbericht

BMBF-Verbundprojekt KI-Predict

Teilvorhaben KIS-Pro

Elektronik für verteilte künstliche Intelligenz
zur sensorbasierten Prozess- und Zustandskontrolle

Förderkennzeichen: 16ME0032

Laufzeit: 01.03.2020 bis 31.12.2023

Zuwendungsempfänger:

CANway technology GmbH

Graf-Zeppelin-Ring 13

48346 Ostbevern

GEFÖRDERT VOM



Bundesministerium
für Bildung
und Forschung

Ziel und technischer Stand

Ziel des Forschungsprojektes war die Nutzung von Methoden der Künstlichen Intelligenz auf unterschiedlichen Ebenen des Produktionsprozesses als Basis für zustandsbasierte, prädiktive Wartung von Produktionsanlagen und die Überwachung der Produktqualität direkt im Produktionsprozess. In vielen Vorarbeiten insbesondere der Projektpartner konnte bereits gezeigt werden, dass sich auch mit preiswerten Sensoren Prozessdaten erfassen lassen, aus denen sich die erforderlichen Informationen zum Zustand der Anlage und zur Qualität des Produktes mit KI-Methoden extrahieren lassen. Der Fokus lag zum einen auf der Entwicklung eines FPGA-basierten Messsystems zur Aufnahme von Daten verschiedenster Sensorik, zum anderen auf der Entwicklung und Implementierung von Algorithmen zur Datenverarbeitung sowie KI-Algorithmen zur Verschleißerkennung. Dabei sollte das Modul unterschiedlichste Sensoren im Hinblick auf Signale und Datenraten sowie des elektrischen Interfaces unterstützen können und die akquirierten Daten nach intelligenter Verarbeitung über eine digitale Schnittstelle nachfolgenden Applikationen zur Verfügung stellen, um eine universelle Signalverarbeitungsstruktur zu ermöglichen.

Durchführung und Ergebnisse

Im Projekt wurde zunächst zusammen mit den Partnern eine Systemspezifikation sowie Sensorspezifikationen erarbeitet. Auf Basis dieser Spezifikationen wurde ein Messsystem für die Datenaufnahme und Verarbeitung erstellt. Hierzu wurde die im vorangegangenen Projekt MoSeS-Pro entwickelte FPGA-Plattform als Basis für das Messsystems gewählt. Zusätzlich wurden Platinen zur Kommunikation und Sensoransteuerung entwickelt. Das Messsystem wurde im Laufe des Projektes weiterentwickelt, um zusätzliche Sensorik sowie den Anschluss von ASIC-Systemen zur Datenerfassung zu unterstützen. Im Projekt wurde eine Firmware zur Datenaufnahme und Übertragung erstellt. Mit Hilfe dieser wurde in der ersten Messkampagne die Hardware des Messsystems verifiziert sowie Sensordaten für die Auswahl der benötigten KI-Algorithmen aufgenommen.

Die Auswahl und Entwicklung der Algorithmen, orientiert an einer von der Universität des Saarlandes zusammengestellten Liste geeigneter KI-Algorithmen. Die Algorithmen wurden in enger Zusammenarbeit mit dem Institut für Integrierte Schaltungen (IIS) realisiert. Diese Kooperation ermöglichte es, durch eine standardisierte Schnittstelle die Integration der Algorithmen in FPGA- und ASIC-Systeme effizient zu gestalten.

Zu Beginn erfolgte die Umsetzung der Adaptiven Linearen Approximation (ALA), die anschließend erfolgreich anhand von Testdaten, bereitgestellt durch die Universität des Saarlandes, überprüft wurde. Weiterhin diente dieser Algorithmus als Grundlage zur Definition einer standardisierten Schnittstelle für die Speicherung von Daten und Parametern.

In einem weiteren Schritt erfolgte die Implementierung der Hauptkomponentenanalyse (PCA), die anhand von Testdaten, die von der Universität des Saarlandes zur Verfügung gestellt wurden, validiert wurden.

Die statistischen Momente, bestehend aus Mittelwert, Varianz, Standardabweichung und Schiefe, werden durch die Anwendung spezifischer mathematischer Formeln berechnet. Ihre Implementierung erfolgte in VHDL, wobei die Funktionsweise durch Simulationen mit Modelsim überprüft und validiert wurde. Der entwickelte Code nutzt eine Finite-State-Maschine (FSM) als Steuerlogik, integriert alle erforderlichen mathematischen Operationen und verwendet ein Akkumulator-Register sowie weitere Register.

Des Weiteren wurde der effiziente Cooley-Tukey-Radix-2-FFT-Algorithmus implementiert. Dies erfolgt mittels der Decimation-in-Frequency (DIF)-Methode. Diese Methode führt zu Ergebnissen in bitumgekehrter Reihenfolge, was eine zusätzliche Umkehrung der Bits in den Ergebnissen erforderlich macht.

Zusätzlich wurde im Laufe des Projektes eine Routingmatrix entwickelt und implementiert. Der Multiplexer der Routingmatrix kann als Schalter mit mehreren Eingängen und mehreren Ausgängen betrachtet werden, was die flexible Zuordnung der Eingangssignale von den Sensoren zu verschiedenen Algorithmen ermöglicht. Die Konfiguration der Routing Matrix wurde über das Processing System (PS) mittels des AXI-Busses vorgenommen. Dies bietet eine erhebliche Flexibilität und Kontrolle über den Datenfluss innerhalb des Systems. Die Architektur der Routing Matrix ist erweiterbar gestaltet, was bedeutet, dass sie so konfiguriert werden kann, dass mehrere Algorithmen sequentiell aktiviert werden können. Diese Sequenzierung ist besonders nützlich, wenn Algorithmen auf Basis des Feedbacks vorheriger Ergebnisse angewendet werden sollen.

Zur Konfiguration der Sensoreingänge und Algorithmik wurde eine Software entwickelt. Über diese Software können die einzelnen Kanäle für die Messung konfiguriert werden sowie Parameter wie die Anzahl der aufzunehmenden Messpunkte, ein Delay zwischen den Messungen und die Art der Triggerung eingestellt werden. Zudem können mit der Software die Messdaten in HDF5 Format abgespeichert werden.

Zur Übertragung der Ergebnisse der Algorithmik, wurde, in Zusammenarbeit mit ODION und der Universität des Saarlandes, eine Kommunikationsschnittstelle definiert und implementiert. Über diese ist es möglich, die Ergebnisse zur Auswertung über einen OPC UA Server an ein ERP-System zu übermitteln.

Berichtsblatt

1. ISBN oder ISSN	2. Berichtsart (Schlussbericht oder Veröffentlichung) Schlussbericht
3. Titel KI-Predict - Schlussbericht zum Teilvorhaben „Modulares, KI-basiertes Sensorinterface“	
4. Autor(en) [Name(n), Vorname(n)] Dreyer, Markus Dr. Ahmad, Ahmad Raber, Michael	5. Abschlussdatum des Vorhabens 31.12.2023
	6. Veröffentlichungsdatum
	7. Form der Publikation Schlussbericht
8. Durchführende Institution(en) (Name, Adresse) CANway technology GmbH Graf-Zeppelin-Ring 13 D-48346 Ostbevern	9. Ber. Nr. Durchführende Institution
	10. Förderkennzeichen 16ME0032
	11. Seitenzahl 23
12. Fördernde Institution (Name, Adresse) Bundesministerium für Bildung und Forschung (BMBF) 53170 Bonn	13. Literaturangaben 0
	14. Tabellen 1
	15. Abbildungen 16
16. Zusätzliche Angaben	
17. Vorgelegt bei (Titel, Ort, Datum) VDI/VDE-IT GmbH, TiB, BMBF-Bibliothek	
18. Kurzfassung Das vorliegende Dokument ist der Schlussbericht des Teilvorhabens „Modulares, KI-basiertes Sensorinterface“ des durch das BMBF geförderten Verbundprojekts KI-Predict. Ziel des Forschungsprojektes war die Nutzung von Methoden der Künstlichen Intelligenz auf unterschiedlichen Ebenen des Produktionsprozesses als Basis für zustandsbasierte, prädiktive Wartung von Produktionsanlagen und die Überwachung der Produktqualität direkt im Produktionsprozess. In vielen Vorarbeiten insbesondere der Projektpartner konnte bereits gezeigt werden, dass sich auch mit preiswerten Sensoren Prozessdaten erfassen lassen, aus denen sich die erforderlichen Informationen zum Zustand der Anlage und zur Qualität des Produktes mit KI-Methoden extrahieren lassen. Der Fokus lag zum einen auf der Entwicklung eines FPGA-basierten Messsystems zur Aufnahme von Daten verschiedenster Sensorik, zum anderen auf der Entwicklung und Implementierung von Algorithmen zur Datenverarbeitung sowie KI-Algorithmen zur Verschleißerkennung. Dabei sollte das Modul unterschiedlichste Sensoren im Hinblick auf Signale und Datenraten sowie des elektrischen Interfaces unterstützen können und die akquirierten Daten nach intelligenter Verarbeitung über eine digitale Schnittstelle nachfolgenden Applikationen zur Verfügung stellen, um eine universelle Signalverarbeitungsstruktur zu ermöglichen.	
19. Schlagwörter Modulbaukasten, FPGA, SoC, Signalverarbeitung, Sensorschnittstelle, Zustandsüberwachung, Prädiktive Wartung, KI-Algorithmen, ASIC, künstliche Intelligenz	
20. Verlag	21. Preis

Document Control Sheet

1. ISBN or ISSN	2. type of document (e.g. report, publication) Final Report
3. title KI-Predict - Schlussbericht zum Teilvorhaben „Modulares, KI-basiertes Sensorinterface“	
4. author(s) (family name, first name(s)) Dreyer, Markus Dr. Ahmad, Ahmad Raber, Michael	5. end of project 31.12.2023
	6. publication date
	7. form of publication Final Report
8. performing organization(s) (name, address) CANway technology GmbH Graf-Zeppelin-Ring 13 D-48346 Ostbevern	9. originator's report no.
	10. reference no. 16ME0032
	11. no. of pages 23
12. sponsoring agency (name, address) Bundesministerium für Bildung und Forschung (BMBF) 53170 Bonn	13. no. of references 0
	14. no. of tables 1
	15. no. of figures 16
16. supplementary notes	
17. presented at (title, place, date) VDI/VDE-IT GmbH, TiB, BMBF-Bibliothek	
18. abstract This document is the final report of the sub-project "Modular, AI-based sensor interface" of the BMBF-funded joint project KI-Predict. The aim of the research project was to use artificial intelligence methods at different levels of the production process as a basis for condition-based, predictive maintenance of production systems and the monitoring of product quality directly in the production process. It has already been shown in many preliminary studies, particularly by the project partners, that inexpensive sensors can also be used to record process data from which the necessary information on the condition of the system and the quality of the product can be extracted using AI methods. The focus was on the development of an FPGA-based measuring system for recording data from a wide range of sensors and on the development and implementation of algorithms for data processing and AI algorithms for wear detection. The module should be able to support a wide variety of sensors in terms of signals and data rates as well as the electrical interface and make the acquired data available to subsequent applications after intelligent processing via a digital interface in order to enable a universal signal processing structure.	
19. keywords Modular System, FPGA, SoC, Signal Processing, Sensor Interface, Condition Monitoring, Predictive Maintenance, AI Algorithm, ASIC, Artificial Intelligence	
20. publisher	21. price