

ECSEL-Berbundvorhaben



Energiesparende und vertrauenswürdige Höchstfrequenzelektronik aus Europa

Schlussbericht Teilvorhaben Fraunhofer IIS (Kurze Darstellung – “Kurzbericht”)

Laufzeit des Vorhabens:	01.06.2020 – 30.11.2024
Zuwendungsempfänger:	Fraunhofer IIS
Förderkennzeichen:	16MEE0045K
Fälligkeitsdatum:	21.07.2025
Ansprechpartner:	Christian Martens

Gefördert durch:



Einleitung

Das Projekt umfasst die Entwicklung eines integrierten Radar-MMIC, das ein analoges Radar-Frontend in einer innovativen Massenvolumeverpackungslösung implementiert. Dieses System wird auf einer Platine (PCB) montiert und soll als Demonstratorsensorsystem fungieren. Es verarbeitet Daten von mehreren Sensor-PCBs und liefert Ergebnisse an Backend-Systeme. Der finale Demonstrator wird eine mm-Wellen-Radar-Lösung präsentieren, die bei ~120 GHz arbeitet und in einer realen Fahrzeugumgebung, wie der Fahrerkabine eines Lastwagens, installiert ist.

Technologischer Stand und Innovation

Die hochintegrierte SiP-Lösung zielt darauf ab, die Sicherheitsziele von EuNCAP 2022 zu erreichen, einschließlich der Überwachung des Fahrerstatus und der Erkennung von Kindern. Radar-Technologie wird als überlegen angesehen, da sie die persönliche Privatsphäre respektiert. Das In-Cabin-Radar ermöglicht neue Anwendungen wie die Vitalzeichenüberwachung des Fahrers und soll in Zukunft auch für Gestenerfassung und Objekterkennung eingesetzt werden.

Anwendungsbereich

Die Statistiken über Verkehrsunfälle aufgrund von Müdigkeit unterstreichen die Notwendigkeit, menschliche Zustände wie Müdigkeit, Stress und Gefahr zu erkennen. Das In-Cabin-Radar wird mit maschinellem Lernen betrieben, um diese Bedingungen zu identifizieren.

Technische Informationen

Der Basisbandchip wurde als eigenständiger Chip entwickelt und wird zusammen mit dem mmWave-IC auf einer PCB eingerichtet. Die Spezifikationen für die Schnittstelle berücksichtigen parasitäre Elemente der PCB. Um Ground-Bouncing zu vermeiden, wurden spezielle Spannungsregler-Spezifikationen implementiert. Die ADCs werden mit unterschiedlichen Puffern getestet, um die Leistung zu validieren.

Simulationen und Tests

Simulationen für PLL, ADC und digitale Blöcke wurden durchgeführt. Der digitale Block ist zuständig für die Synchronisation und Speicherung von ADC-Daten. Verschiedene Tests (z.B. SPI-Tests, BGR-Ausgang, Vtune-Treiber, Charge Pump-Strom) wurden eingerichtet, um die Funktionalität der verschiedenen Komponenten zu überprüfen. Die Ergebnisse stimmen mit den Simulationen überein, wobei einige Timing-Fehler im ADC festgestellt wurden, die noch validiert werden müssen.

Integration und Test des zweiten ASIC

Der finale Demonstrator integriert mmWave-IC und Basisband-IC, wobei Anpassungen wie die Implementierung eines benutzerdefinierten VGA und die Neugestaltung des Loop-Filters vorgenommen wurden.

Insgesamt zeigt das Projekt vielversprechende Fortschritte in der Entwicklung fortschrittlicher Radar-Technologien für Sicherheitsanwendungen im Fahrzeugbereich.