

Schlussbericht

Zuwendungsempfänger: X-FAB Global Services GmbH	
Verbundprojekt:	Eingebettete Datenspeicher für Mikrocontroller mit Künstlicher Intelligenz (Embedded storage elements on next MCU generation ready for AI on the edge) - StorAlge
Förderkennzeichen:	16MEE0162T
Teilvorhaben:	Integration von nichtflüchtigen Speichertechnologien für KI-Anwendungen
Projektlaufzeit:	01.07.2021 bis 30.10.2024
Berichtszeitraum:	01.07.2021 bis 30.10.2024
Fälligkeit:	30.04.2025
Erstelldatum:	30.04.2025
Autor:	Marko Andre
Ansprechpartner:	Marko Andre X-FAB Global Services GmbH Haarbergstr. 67, 99097 Erfurt, Germany Tel: +49 151 4657 1048 E-Mail: marko.andre@xfab.com

Inhaltsverzeichnis

1	Aufgabenstellung.....	4
1.1	Voraussetzungen.....	4
2	Konzeptionierung	5
	Arbeitspaket 1 Konzeptionierung	5
	Arbeitspaket 2 Konzeptionierung	8
	Taktgenerierung auf dem Chip.....	8
	Cycling Test Automatisierung:	9
	Auslesen bei maximaler Geschwindigkeit.....	10
2.1	Arbeitspaket 6 Konzeptionierung	12
	Beschreibung der UTC-Zugriffsmöglichkeiten	13
3	Ergebnisse des Projektes	14
3.1	Arbeitspaket 3 Ergebnisse digitaler Designs,.....	14
	Verbesserung zeitlichen Verhaltens des Testchips	14
	Zusammenfassung Arbeitspaket 3.....	15
3.2	Arbeitspaket 4 Ergebnisse	16
	Zusammenfassung Arbeitspaket 4.....	17
3.3	Arbeitspaket 6 Ergebnisse	18
	Zusammenfassung Arbeitspaket 6.....	19
4	Projektfazit.....	19

Abkürzungsverzeichnis

Abkürzung	Beschreibung
BIST	Built-in Self-test
PEC	Program Erase Control
VCO	Voltage Controlled Oscillator
P&R	Place & Route
UTC	Unified Test Chip
XSTI	X-FAB Serial Test Interface
DUT	Device Under Test
SDC	Synopsis Design Constraint
EDA	Electronic Design Automation
PTK	Programmer Toolkit

1 Aufgabenstellung

Ziel des Projektes war die Entwicklung eines neuen Verifikations- und Validierungskonzept für ferroelektrische Speicher. Im Rahmen dieser Aufgabe sollten mittels des entwickelten Testkonzeptes alle Charakterisierungen und Zuverlässigkeitsergebnisse geliefert werden können.

Das Konzept sollte mit geeigneten EDA-Tools und Simulationsmodellen erarbeitet und mit Hilfe eines Testchips im Silizium verifiziert werden. Es wurde geplant, mit 180nm zu beginnen und die Entwicklung auf 110nm anzupassen. Die Entwicklungsaufgaben des Test Chip-Designs umfassten die Konzeptionierung der Architektur, der Schaltplan und die Layout-Implementierung der Decoder, des Speicherarrays und der Lese-/Schreibpfade.

Ausgehend von einer, auf den ferroelektrischen Speicher angepassten Spezifikation, sollten Teststrukturen und Testchips mit der IP entwickelt werden. In der Aufgabenbeschreibung war vorgesehen, mit der 180nm Technologie zu beginnen und das Design im laufenden Projekt auf 110nm anzupassen und zu verkleinern. Dabei sollten alle relevanten Designkomponenten des FeRAMs integriert werden. Bezugnehmend auf das Testvehikel, steht die digitale Steuerkomponente des Speichers damit im Vordergrund.

Es war vorgesehen, das Testchipdesign funktional zu verifizieren (mit Pre-Layout-Simulationen, Post-Layout-Simulationen und Analyse der relevanten Timing-Parameter). Im Anschluss sollte die der Waferfertigung in der Fab stattfinden sowie die Wafer-Testprogramm-Entwicklung durchgeführt werden.

Mit der Wafermaterial Auslieferung sollte der Wafertest durchgeführt werden und die Daten detailliert ausgewertet werden, um neue Informationen über die nächsten geeigneten Optimierungsschritte zu gewinnen.

Als Ziel der Entwicklungen sollten geeignete Design- und Testarchitekturansätze für Speicher mit hoher Zugriffsgeschwindigkeit und hohen Anzahl von Lese- und Programmierzyklen entwickelt werden. Im Mittelpunkt des Projektes stand die Durchführung von Hochgeschwindigkeitstests zum Nachweis der Zugriffszeiten beim lesenden Zugriff und einem hohen Anteil an Automation zur Durchführung von Langzeittests mit Millionen Programmier- und Lesezugriffen bei geringer Kommunikation von Wafertestsystem und Speicher.

1.1 Voraussetzungen

X-FAB als weltweit führende Analog/Mixed-Signal-Pure-Play-Foundry konzentriert sich auf die Integration neuer Funktionalitäten in seine verschiedenen CMOS-Technologieplattformen. Im Rahmen des StorAlge-Projekts wird auf bestehende Testkonzepte aufgebaut. Dies ermöglicht einen schnellen Einstieg in Themen wie Hochgeschwindigkeitstests von Speichern und Automation von Testabläufen sowie Anpassung von digitalen Steuerelemente für Speicher im Bezug auf Geschwindigkeit und Robustheit.

Für die Untersuchung im Rahmen dieses Projektes wurde sowohl die neu entwickelte modularen XT011 X-FAB SOI-CMOS-Technologie als auch eine reifere modulare X-FAB CMOS-Technologie die bereits im Automotive-Bereich eingesetzt wird (XT018), genutzt.

2 Konzeptionierung

Die folgenden Ziele waren für die X-FAB Global Services im Rahmen des StorAlge Projektes geplant:

- Anpassung des digitalen Interfaces für Zugriffszeiten von 10ns bei niedrigster zugelassener Betriebsspannung und höchster zulässiger Lesetemperatur.
- Automatisierter Lese- und Programmierablauf.
- Verbesserung der Simulationsgenauigkeit in Post-Layout-Simulationen
- Genaue und beschleunigte Simulation des Testchips vor und nach Layoutimplementierung.
- Beschleunigtes Routing des Testchips mit geeigneten EDA-Tools.

Es wurde geplant die Aufgaben wie folgt in die Arbeitspakete zu integrieren.

- Arbeitspaket 3 (WP3 Technologische Plattformen)
 - Verbesserung des Zeitverhaltens basierend auf der gegebenen Technologie (180nm und 110nm) mittels Verbesserungen des digitalen Speicherinterfaces
 - Optimierung von Messmethoden zur Bestimmung von Zugriffszeiten
- Arbeitspaket 4 (WP4 Design Plattformen)
 - Automatisierung des Speicherzugriffes mittels BIST (Built-in Self-test) und Ablaufsteuerung zum Programmieren und Löschen (Program-Erase Control, PES)
- Arbeitspaket 6 (WP6 Anwendungsintegration und Validierung)
 - Testprogrammentwicklung und Validierung der implementierten Designs

Arbeitspaket 1 Konzeptionierung

Die Anpassung des digitalen Interfaces sowie das Konzipieren eines automatisierten Testablauf standen zu Beginn des Projektes im Vordergrund. Es sollten die Schwachstellen der bisher genutzten Interfaces ermittelt werden. Neben der Begrenzung der maximalen Testfrequenz durch die Technologieparameter sollte im digitalen Interface, nicht optimale Logik für Hochgeschwindigkeitstests, ermittelt werden, welche auf in vorherigen Testchip Versionen für geringe Flächenbedarf konzipiert wurden. Im zeitlichen Verhalten zeigen auf Fläche optimierte digitale Schaltungen jedoch Nachteile.

Es wurde entschieden eine größere Fläche für die digitale Steuerung der Speicher vorzusehen, um das zeitliche Verhalten der digitalen Logik zu verbessern. Dies muss parallel zur Weiterentwicklung von Synthese und Place & Route (P&R) Abläufen durchgeführt werden. Durch Synthese und P&R werden Daten zur Verfügung gestellt, mit dessen Hilfe schnelle digitale Simulationen durchgeführt werden können. Diese Simulationen wurden auf verschiedenen Ebenen des Designs durchgeführt.

- Digitale Interface Ebene:
 - Ausschließlich das Digitale Interface wird simuliert.
 - Ausgänge des Interfaces werden Skript basiert ausgewertet.
 - Unterschiede und Schwachstellen bezogen auf das Zeitverhalten können ermittelt werden.
- Speicher inkl. Digitales Interface Ebene:
 - Der Speicher wird als Verilog Modell abgebildet und mit der Netzliste des digitalen Interfaces simuliert.
 - Funktionsüberprüfung des dig. Interfaces wird durchgeführt.
 - Unterschiedliche Zugriffszeiten werden simuliert.
- Test Chip Ebene:
 - Alle Komponenten des Testchips werden inkl. Speicher und Interface simuliert.

- Schwachstellen in der digitalen Test Chip Logik zum Ansteuern der Speicher werden identifiziert.

Anhand von Erfahrungen aus vorangegangenen Projekte ergab sich eine klare Definition der Vorgaben im Bezug auf das Zeitverhalten des Testchips, welche in der untenstehenden Tabelle aufgeführt sind.

Parameter	Zielvorgabe in ns	Beschreibung
Clock period	5.0	Periodendauer von 5 ns für den Takt an Registern innerhalb des Testchips.
Clock skew	0.3	Versatz zwischen der Taktflanke an verschiedenen Registern.
Setup time	2.0	Zeit die das Datensignal stabil am Dateneingang der Register vor dem Takt gehalten werden muss
Hold time	1.0	Zeit die das Datensignal stabil am Dateneingang der Register nach dem Takt gehalten werden muss.
Genauigkeit der Zugriffszeitmessung	0.5	Genauigkeit mit der die Zugriffszeitmessung durchgeführt werden kann.

Die digitalen Simulationen werden mit Standard Delay Format (SDF) Dateien durchgeführt, welche von EDA-Tools nach Gate-Level-Synthese und P&R generiert werden. Diese SDF-Dateien basieren auf den Charakterisierten Werten von digitalen Gattern, welche im Liberty Format (.lib) von X-FAB zur Verfügung gestellt werden. Das Standard Delay Format (SDF) ist ein textbasiertes Dateiformat, das genaue Informationen über Verzögerungen und Timing-Parameter in digitalen Schaltungen enthält.

Typische Inhalte einer SDF-Datei umfassen:

- Setup- und Hold-Zeiten
- Minimale und maximale Verzögerungen
- Timing-Checks und -Parameter

SDF-Dateien dienen als Schnittstelle zwischen Design- und Verifikationsphasen und ermöglichen die präzise Modellierung des Timing-Verhaltens von Schaltungen.

- **Timing-Validierung:** SDF-Daten helfen, die tatsächlichen Verzögerungen an den Registern zu bestimmen, um sicherzustellen, dass das Timing eingehalten wird.
- **Simulation:** Bei Post/Pre-Layout-Simulationen werden SDF-Dateien verwendet, um realistische Verzögerungen zu simulieren, was die Genauigkeit der Timing-Analysen erhöht.
 - Die Prelayout Simulation enthält keine Daten über die Länge der Datenleitung im Chip, da die Position des Gatters nicht bekannt ist.
 - Prelayout Simulation geben jedoch die Möglichkeit, die logische Tiefe zu ermitteln, ohne das Layout erstellen zu müssen.

Die Generierung einer SDF-Datei erfolgt in mehreren Schritten, die während des Designprozesses digitaler Schaltungen durchlaufen werden:

Timing-Analyse

Das Timing-Analyse-Tools Cadence Tempus führt statische Timing-Analysen basierend auf der Gatternetzlisten des Designs durch. Diese Gatternetzlisten beschreibt die logischen Verbindungen und physikalischen Eigenschaften der Schaltung.

Synthese und P&R

Während der Synthese und des Place-and-Route-Prozesses werden Verzögerungsinformationen basierend auf den Routing-Daten und Layout-Bedingungen gesammelt. Hierbei werden die physischen Eigenschaften des Chips berücksichtigt, wie Leitungslängen und Signalstärken.

Back-End-Simulation

Nach Abschluss der Timing-Analyse wird die SDF-Datei erstellt, die Verzögerungen und Timing-Parameter in einer für Simulationstools nutzbaren Form darstellt. Diese Datei wird verwendet, um das Design unter realistischen Bedingungen zu simulieren und zu überprüfen. Das Standard Delay Format bietet zahlreiche Vorteile, die zu einem optimierten Designprozess beitragen:

- **Präzise Timing-Modellierung:** SDF-Dateien liefern eine genaue Darstellung des zeitlichen Verhaltens eines Designs und ermöglichen die Validierung von Timing-Anforderungen.
- **Automatisierte Verifikation:** Simulationstools verwenden SDF-Dateien, um Timing-Checks zu automatisieren und potenzielle Fehler frühzeitig zu identifizieren.
- **Designoptimierung:** Durch die Analyse kritischer Pfade und Timing-Fehler können Entwickler das Design iterativ verbessern und effizienter gestalten.

Da die Liberty Dateien ebenfalls durch Simulationen generiert werden, wurden analoge Vergleichssimulationen auf Ebene der digitalen Speicherinterfaces, des Speicher inkl. digitalen Interfaces und auf Test Chip Ebene geplant. Die digitalen und analogen Simulationsergebnisse werden anschließend verglichen und ausgewertet. Alle Verzögerungszeiten und Restriktionen in den SDF-Dateien stammen aus im Liberty File. Liberty-Dateien (.lib) enthalten charakteristische Daten zu Standardzellen, inklusive Timing- und Leistungsinformationen. Für Register sind folgende Aspekte relevant:

- **Timing-Modelle:** Die .lib-Dateien liefern die Delay-Modelle für Register, z.B. Setup-, Hold- und Clock-to-Q-Zeiten.
- **Optimierung:** Mit diesen Daten kann das Design optimiert werden, um die besten Taktzyklen und Energieeffizienz zu erreichen.
- **Automatisierung:** Design-Tools nutzen .lib-Dateien, um Timing-Checks durchzuführen und sicherzustellen, dass die Register korrekt funktionieren.

Der bisherige Vergleich von digitalen Simulationsergebnisse ergab eine vernachlässigbare Diskrepanz für die 180 nm Technologie. Die Herausforderung bestand in der, auf .lib Dateien basierenden, Optimierung kritischer Pfade und dem Vermeiden von Timing-Fehlern. Der kritische Pfad ist die längste Kette von logischen Gattern und Verzögerungen, die die maximale Taktrate des Systems bestimmt.

Wenn dieser Pfad zu lang ist, kann das Signal nicht rechtzeitig verarbeitet werden, was zu Timing-Fehlern führt. Solche Fehler treten auf, wenn die Signale nicht innerhalb des vorgesehenen Taktzyklus stabil ankommen, was die korrekte Funktion des Schaltkreises beeinträchtigen kann.

Um diese Probleme zu beheben, wird die Optimierung des kritischen Pfades angestrebt. Das kann durch verschiedene Maßnahmen geschehen, wie z.B. das Reduzieren der Logiktiefe, das Verwenden schnellerer Gatter, das Optimieren der Schaltkreisarchitektur oder das Einfügen von Puffer- und Repeater-Elementen, um die Signallaufzeiten zu verkürzen.

Timing-Fehler im Digitaldesign können schwerwiegende Folgen haben, da sie zu fehlerhaften Datenübertragungen oder unerwartetem Verhalten führen. Deshalb ist es essenziell, eine sorgfältige Timing-Analyse durchzuführen, um sicherzustellen, dass alle Signale innerhalb der vorgegebenen Taktzeiten ankommen. Im Rahmen einer Optimierung wird in der Regel wenig Fehlertoleranz des Zeitverhalten angestrebt.

Arbeitspaket 2 Konzeptionierung

Die zweite wesentliche Aufgabe des Projektes, die Automatisierung der Testabläufe wurde mit einer Erweiterung des bisherigen Testchipkonzepts begonnen. Im ersten Entwurf sollte ein bisher genutzter BIST und eine separate Program-Erase-Control aufgebaut werden. Es stellte sich jedoch heraus, dass dies zu einem größeren Flächenbedarf führt. Um mehr Fläche für Speicher auf den Testchip zur Verfügung zu haben, wurde die Komponenten BIST und PES in ein Modul integriert.

Taktgenerierung auf dem Chip

Im Testablauf mit den überarbeiteten UTC-Konzepts war vorgesehen, einen spannungsgesteuerten Oszillator (Voltage Controlled Oscillator, VCO) auf den Testchip zu integrieren, welcher über das serielle Interface angesteuert werden kann und den BIST/PES taktet.

Ein VCO ist ein Oszillator, dessen Frequenz durch eine Steuerspannung (Voltage Control) eingestellt wird. In dem BIST-Setup wird der VCO genutzt, um die Funktionalität der Schaltung zu überprüfen, ohne externe Signale Taktsignale zu benötigen. In der Abbildung: „Implementierte Variante mit BIST/ ESP als gemeinsames Modul“ ist das Oszillatorkonzept des UTC dargestellt.

Die VCO-Register des UTC setzen die Steuerungssignale so, dass der VCO in einen bekannten Zustand versetzt wird. Das bedeutet, dass eine bestimmte Steuerspannung vorgegeben wird, um den VCO auf eine bestimmte Frequenz zu bringen.

Die Frequenz kann von 5kHz bis 100Mhz mittels UTC-Register eingestellt werden. Die ESP errechnet aus dieser Frequenz die Anzahl an Taktzyklen, die benötigt werden, um die Programmier- und Löschzeiten einzuhalten. Diese Zeiten liegen im Mikro- und Millisekunden-Bereich. Somit kann die Programmier- und Löschzeit variiert werden.

Um dies zu realisieren werden komplexe Zähler in die PES einbaut. Die Zählerschaltungen des BIST nehmen den Größten Teil der Fläche ein.

Der Kompromiss zwischen Fläche und Timing Optimierung ist ein zentraler Aspekt im digitalen Design, insbesondere bei der Entwicklung schneller Schaltungen und digitaler komplexere Systeme wie den UTC mit verschiedenen Taktdefinitionen.

- **Flächenreduktion:** Um Platz zu sparen, können kleinere oder weniger Komponenten verwendet werden. Dies wird oft durch die Integration von Funktionen oder die Verwendung effizienterer Logikgatter erreicht. Allerdings führt dies manchmal zu längeren Signalwegen oder komplexeren Schaltungen, die die Verarbeitungsgeschwindigkeit beeinflussen können.
- **Zeitoptimierung:** Für bessere Geschwindigkeit und kürzere Latenzzeiten werden häufig schnellere Technologien, parallele Datenverarbeitung oder Pipeline-Architekturen eingesetzt. Diese Lösungen können jedoch zusätzlichen Platzbedarf erzeugen, da mehr Komponenten und Verbindungen notwendig sind.

Es stehen im Wesentlichen zwei mögliche Implementierungsvarianten für digitale Zähler im UTC zur Verfügung. Die Ripple Counter sparen Platz, sind jedoch langsamer, da die Signale nacheinander verarbeitet werden. Look-Ahead-Carry-Strukturen sind schneller, benötigen aber mehr Logikgatter und daher mehr Fläche. Da der BIST auf Hochgeschwindigkeitslesen ausgelegt wurde, wurden Look-Ahead-Carry-Strukturen verwendet. Die PES soll Zeiten im Mikro- und Millisekunden Bereich ermitteln, sodass langsamere, jedoch kleinere, Ripple Counter eingesetzt wurden.

Des Weiteren muss auch bei der Erstellung der Schaltung darauf geachtet werden, minimieren Verzögerungen erfordern in der Regel eine größere Chipfläche für optimale Layouts.

Cycling Test Automatisierung:

Programmablauf:

- Programmieren von definierten Mustern
- Lesen der Programmierten Werte
- Löschen des Speichers
- Lesen des gelöschten Speichers

Die oben genannten Abläufe werden im sogenannten Cycling Test benötigt, bei dem an dem Speicher eine vorgegebene Anzahl an solchen Programmier- und Löschoptionen durchgeführt werden.

Diese Testabläufe sind im AEC-Q-100 Standard definiert und können mit dem Testchipkonzept wesentlich schneller durchgeführt werden als in bisher genutzten Testchips. Der AEC-Q-Standard für eingebaute Speicher bezieht sich auf die Qualifikation und Zuverlässigkeit von Speicherkomponenten, die in Fahrzeugen verwendet werden. Überprüfung der Lebensdauer und Datenintegrität als auch die Sicherstellung der Funktionalität bei extremen Temperaturen, denen der Speicher ausgesetzt werden kann, wird somit gewährleistet.

In der folgenden Abbildung ist der geplante Ablauf beim Cycling Test dargestellt.

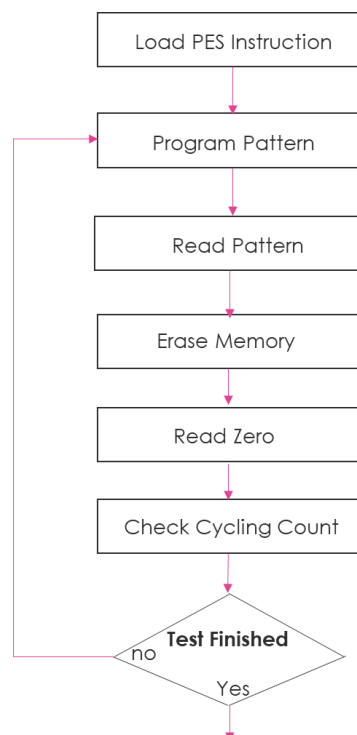


Abbildung 1: Zyklus Test Flow mit PES

Der Test wird beendet, wenn die Anzahl der Zyklen erreicht ist. In der geplanten Variante kann mit der PES eine Anzahl von ca. 10 Millionen eingestellt werden. Das Ergebnis kann ständig ausgelesen werden, sodass über den gesamten Testzeitraum der Test überwacht werden kann.

Auslesen bei maximaler Geschwindigkeit

Um das Auslesen und Auswertung der gelesenen Werte innerhalb des Testchips ohne Kommunikation mit dem Testsystem, bei maximaler Geschwindigkeit zu erreichen wurde auf ein bestehendes BIST Konzept aufgebaut. Der BIST wurde mit einem internen Speicher versehen um die aufgelesenen Daten zwischenspeichern. Dies ermöglicht das Auslesen der nächsten Adresse, während die vorherige Adresse noch ausgewertet wird.

Das folgende Blockdiagramm stellt den BIST Aufbau dar.

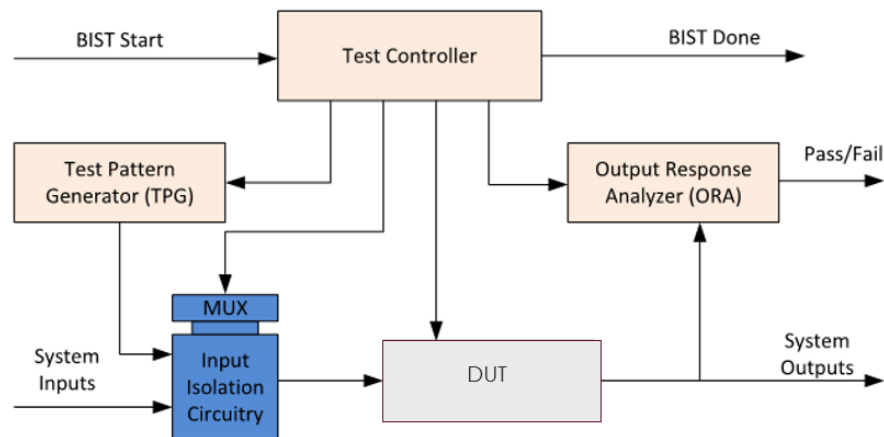


Abbildung 2: BIST Block Diagramm

Die Ausgelesenen Muster wurden ebenso wie bei der PES für den Cycling Test entsprechend den Erfahrungen aus vorangegangenen Tests. Die definierten Muster sind untenstehend aufgeführt. Die definierten Muster können beginnend mit der kleinsten oder größten Adresse beginnen als auch mit aufsteigenden oder absteigenden Adressen durchgeführt werden.

- Speicherinhalt ist voll mit 1 (solid One).
- Speicherinhalt unterscheidet sich in gerade und ungerade Adressen, sodass ein Schachbrettmuster im Speicher abgebildet wird (Half Matrix).
 - Ein Teil enthält Eins und der andere Teil enthält Null.
 - Benachbarte Zellen haben unterschiedliche Werte
- Speicherinhalt wird zeilenweise unterschieden
 - Eine Zeile enthält Eins und der andere Teil enthält Null.
 - Für die Zugriffszeiten der schlechteste Fall
- Decoder Test Inhalt.
 - In jede Adresse enthält einen spezifischen Wert zur Validierung der Ansteuerung der verschiedenen Adressen

Die Implementierung verschiedener Takte für den Hochgeschwindigkeits-BIST stellt bezüglich des P&R eine Herausforderung dar. In Vorgängerversionen der Testchips lag der Fokus lediglich auf der Geschwindigkeitsoptimierung des seriellen Taktes, welches das serielle XSTI-Interface steuert.

Wie bereits erwähnt, war es vorgesehen, die Reihenfolge, mit der die Adressen gelesen werden, durch entsprechende Einstellungen zu variieren. Es sollte auch möglich sein, die Muster invertiert zu lesen und zu programmieren. Somit ergibt sich die folgende Tabelle mit Anweisungen zum Auslesen des BIST:

Tabelle 1: Implementierte BIST Funktionen

Testnummer	Testname	Beschreibung
1	One_up	Speicherinhalt ist voller 1, Adresszähler aufwärts
2	CHKB_up	Speicherinhalt entsprechend physikalischen Schachbrettmuster, Adresszähler aufwärts
3	ROW_up	Speicherinhalt in Zeilen, Adresszähler aufwärts
4	DEC_up	Speicherinhalt in in jeder Zeile unterschiedlich, Adresszähler aufwärts
5	Zero_up	Speicherinhalt ist voller 0, Adresszähler aufwärts
6	iCHKB_up	Speicherinhalt entsprechend physikalischen Schachbrettmuster, invertiert zu CHKB, Adresszähler aufwärts
7	iROW_up	Speicherinhalt in Zeilen, invertiert zu ROW, Adresszähler aufwärts
8	iDEC_up	Speicherinhalt in in jeder Zeile unterschiedlich, invertiert zu DEC, Adresszähler aufwärts
9	One_dn	Speicherinhalt ist voller 1, Adresszähler abwärts
10	CHKB_dn	Speicherinhalt entsprechend physikalischen Schachbrettmuster, Adresszähler abwärts
11	ROW_dn	Speicherinhalt in Zeilen, Adresszähler abwärts
12	DEC_dn	Speicherinhalt in in jeder Zeile unterschiedlich, Adresszähler abwärts
13	Zero_dn	Speicherinhalt ist voller 0, Adresszähler abwärts
14	iCHKB_dn	Speicherinhalt entsprechend physikalischen Schachbrettmuster, invertiert zu CHKB, Adresszähler abwärts
15	iROW_dn	Speicherinhalt in Zeilen, invertiert zu ROW, Adresszähler abwärts
16	iDEC_dn	Speicherinhalt in in jeder Zeile unterschiedlich, invertiert zu DEC, Adresszähler abwärts

Der Befehl zum Definieren des BIST Musters wird direkt im BIST, als ein 4 Bit wert gespeichert. Des Weiteren sollen Test Modi zur Verfügung stehen, welche den BIST nicht nur über den erzeugten Takt des VCO triggern, sondern mittels eines Taktes erzeugt durch das Read-Ready Signals eines Ringoszillator im Speicher, über den Takt des seriellen Interfaces als auch über ein Register Bit innerhalb des Testchips. Letztere Takterzeugung ist für funktionale Fehlersuche vorgesehen und unterliegt keinen besonderen zeitlichen Anforderungen.

Die Implementierung verschiedener Takte für den Hochgeschwindigkeits-BIST stellt bezüglich des P&R eine Herausforderung dar. In Vorgängerversionen der Testchips lag der Fokus lediglich auf der Geschwindigkeitsoptimierung des seriellen Taktes, welches das serielle XSTI-Interface steuert.

2.1 Arbeitspaket 6 Konzeptionierung

Im Arbeitspaket 3 steht die Anwendung des Testkonzeptes im Vordergrund. Die Kommunikation zwischen Testsystem und Testchip soll für Charakterisierungsaufgaben wie Cycling Tests und Datenerhalttests optimiert werden. In den folgenden Abbildungen sind das bisherige Testchipkonzept, und die erarbeiteten Konzepte aufgezeigt. Die Abbildung zeigt den Unified Test Concept (UTC) als Blockdiagramm.

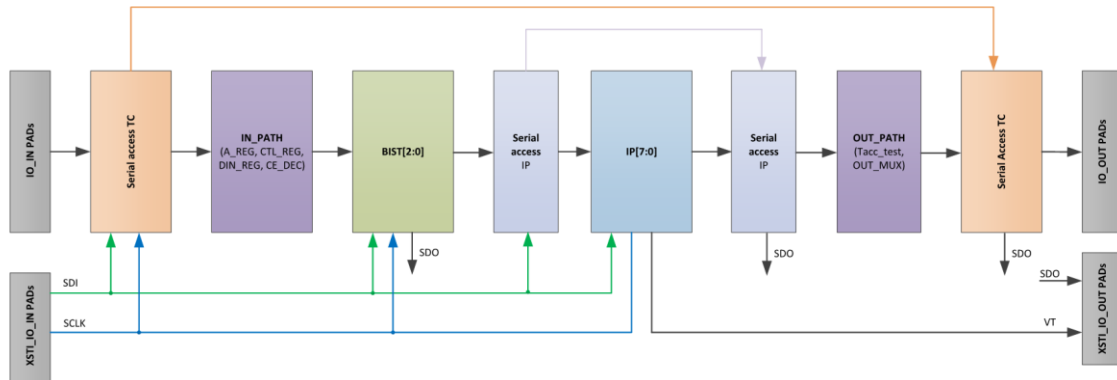


Abbildung 3: Bisher genutztes Testchipkonzept ohne Automatisierung

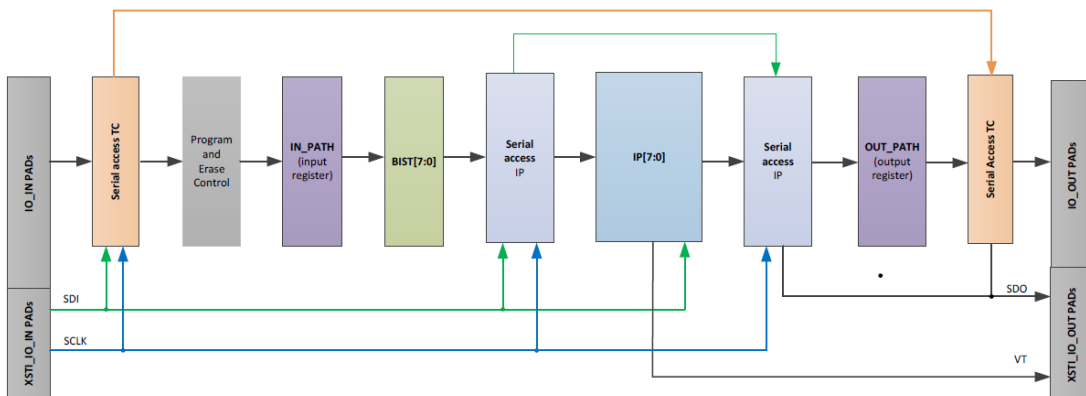


Abbildung 4: Erster Entwurf des Automatisierungskonzepts

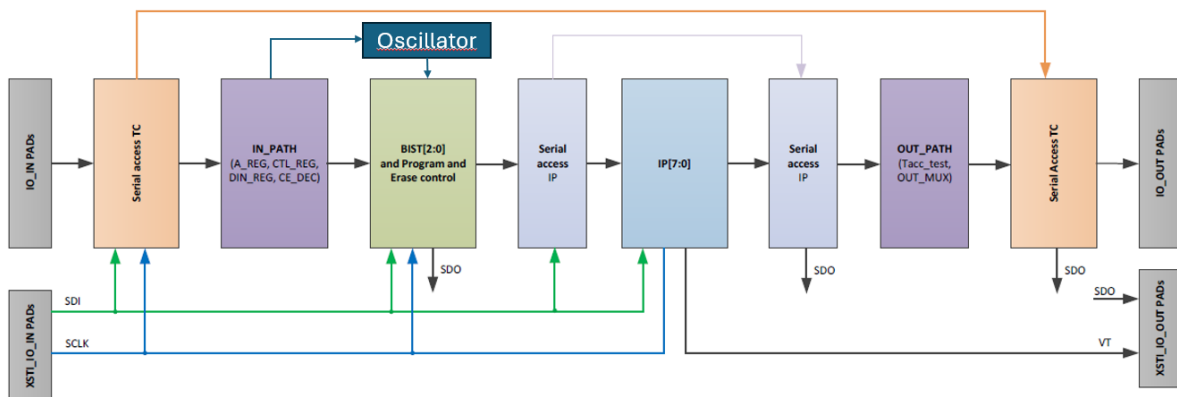


Abbildung 5: Implementierte Variante mit BIST/ ESP als gemeinsames Modul

Die Vereinfachung der Testprogrammentwicklung, wurde frühzeitig in der Konzeptionierung berücksichtigt. Ziel war es zu Beginn des Tests Daten vom Wafertester zum Testchip zu senden, welche die vollständige Beschreibung des Tests enthalten. Dieses Vorgehen reduziert nicht nur die Testprogramm-Entwicklungszeiten, sondern auch den gesamten Testablauf. Dies kann erreicht werden, da die Frequenz mit den Operationen am Speicher durchgeführt werden nicht mehr vom Testsystem abhängig sind, sondern von der Frequenz, die durch den VCO erreicht werden.

Beschreibung der UTC-Zugriffsmöglichkeiten

- Paralleler Zugriff von IO_IN zu IO_OUT und von XSTI_IO_IN zu XSTI_OUT
- Zugriff auf 8 Speicher
 - Maximales Speicherinterface 128 Datenbits und 32 Adressbits
- Testchip hat eigene Device Adresse zum Ermöglichen von Board Level Tests mit mehreren Testchip und externen Controller.
- Analoges Test Ausgang VT zum ermitteln analoger Signale
- BIST und ESP

Der BIST und die PES sollten in der initialen Version des Testchipkonzeptes über ein eigenes serielles Interface verfügen. Das serielle Standardinterface von X-FAB für eingebettete Speicher ist mit 10000um² auf der großen Chipfläche von 4x4mm klein in Bezug auf die Fläche, die die Speicher beanspruchen, dennoch war diese Fläche im Rahmen der Flächenoptimierung eingespart wurden. BIST und ESP lassen sich seriell über die Testchiplogik steuern, was auch in dem finalen Konzept umgesetzt wurde.

BIST und PES lassen sich über den Zugriff auf den kompletten Pading steuern. Dieser Zugriff wird paralleler Zugriff genannt. Des Weiteren soll ein serieller Zugriff über fünf ausgewählte Pads des Pading erfolgen können. Diese fünf Padzellen bilden das XST-Interface. Die Funktion der Pins ist unten aufgeführt.

Tabelle 2: XSTI Pinbeschreibung

Pinname	Funktion
SDI	Serieller Dateninput
SCLK	Serieller Takt
SDO	Serieller Datenoutput
RSTn	Reset der XSTI und deren Komponenten

Der BIST und die PES sollten in der initialen Version des Testchipkonzeptes über ein eigenes serielles Interface verfügen. Das serielle Standardinterface von X-FAB für eingebettete Speicher ist mit 10000um² auf der großen Chipfläche von 4x4mm klein im Bezug auf die Fläche, die die Speicher beanspruchen, dennoch war diese Fläche im Rahmen der Flächenoptimierung eingespart wurden. BIST und ESP lassen sich seriell über die Testchiplogik steuern, was auch in dem finalen Konzept umgesetzt wurde.

Es wurden zusätzliche Registerbänke für das Steuern des BIST, PES und des VCO in dem Konzept vorgesehen. Um dies Durchzuführen wurden die Register zum Steuern des UTC erweitert. Register sind zentrale Elemente im UTC, die als temporäre Speicherzellen dienen, um Adressen, Daten- und Steuerungssignale zu speichern. Besonderer Fokus dieser Aufgabebestand darin, dass Register auch zum Verbessern der Genauigkeit der Zugriffszeitmessung genutzt werden.

Der BIST erhöht zudem die logische Tiefe der Zugriffszeit Ansteuerung durch zusätzliche Multiplexer. Die Timing Analyse der Schalung stellt einen wesentlichen Teil der Aufgabenstellung dar. Die Latenzzeiten, Setup- und Hold-Zeiten müssen genau eingehalten werden, um Fehler zu vermeiden. Folgende Punkte müssen besonders berücksichtigt werden:

- Zu viele Register können die Schaltung verlangsamen oder unnötig komplex machen.
- Der Einsatz sollte optimiert werden, um Energie zu sparen.
- Alle Takte müssen entsprechend der EDA-Tool Spezifikation definiert werden.
- Die logische Tiefe der Registerdateneingänge darf nicht zu langen Latenzzeiten führen.

3 Ergebnisse des Projektes

Es wurden drei Waferuns durchgeführt, um die Ergebnisse des Projektes zu verifizieren. Die Testchipherstellung startete im und im April 2023, Juli 2023 und im Januar 2024. Im Fokus der Verifikation standen bzgl. der verschiedenen Waferuns unterschiedliche Teilaufgaben.

- Verifikation der Funktion
 - Oszillator ,BIST, PEC
 - Teil des Arbeitspaket 4
- Verifikation der Datensätze (.lib und Transistormodelle)
 - Vergleich Messergebnisse gegen Simulationen
 - Teil des Arbeitspaket 3
- Verifikation des verbesserten Zeitverhalten
 - UTC Zugriff über serielle, und parallele Tests
 - Teil des Arbeitspaket 3 und 6

3.1 Arbeitspaket 3 Ergebnisse

Die Tests der im Konzept angestrebten Ziele wurden erreicht. Die Parameter Clock Skew, Setup- und Holdtime können nur durch Statische Timing Analyse mithilfe EDA-Tools und Simulationen verifiziert werden. Die Taktfrequenz von 200MHz konnte im BIST Lese-Test erreicht werden.

Verbesserung zeitlichen Verhaltens des Testchips

Die Test Zeit Genauigkeit konnte durch den Vergleich von Simulations- und Testergebnissen durchführen. Die untenstehende Tabelle zeigt Ergebnisse der UTC-Parameter an.

Parameter	Zielvorgabe in ns	Simulation Results (Tape-Out April 2023) in ns	Simulation Results (Tape-Out Jan. 2024) in ns	Testergebnis
Clock period	5.0	5.0	5.0	Test ok
Clock skew	0.3	0.8	0.3	simuliert
Setup time	2.0	2.0	2.0	simuliert
Hold time	1.0	1.0	1.0	simuliert
Genauigkeit der Zugriffszeitmessung	0.5	0.8	0.5	Test ok

Die Erfüllung der Aufgaben war möglich durch den optimierten Einsatz von EDA Tools von Cadence sowie einer überarbeiteten Verilog Beschreibung des Digitaldesigns.

Die Daten, welche den den EDA-Tool übergeben werden, wurden erfolgreich um Taktinformationen erweitert. Dazu wurden Synopsis Design Constraint Dateien (SDC) mit Taktdefinitionen und Taktbedingungen erweitert.

Die bisher genutzte Methode, einzelne Module als fertigen Layoutblock innerhalb des Testchip P&R zu integrieren, führt zu einem langsamen Design. Die verbesserte Methode ist das Auflösen aller Hierarchien innerhalb des digitalen Designs des Testchips. Das untenstehende Bild des Testchiplayouts zeigt den 2.

Testchip des XT011 Runs mit optimierten P&R und verbesserten Digitaldesign als auch den BIST, PEC und VCO zum Test des DUT XFE16K72TBV_1_1. Eine Flash-EEPROM Kombination.

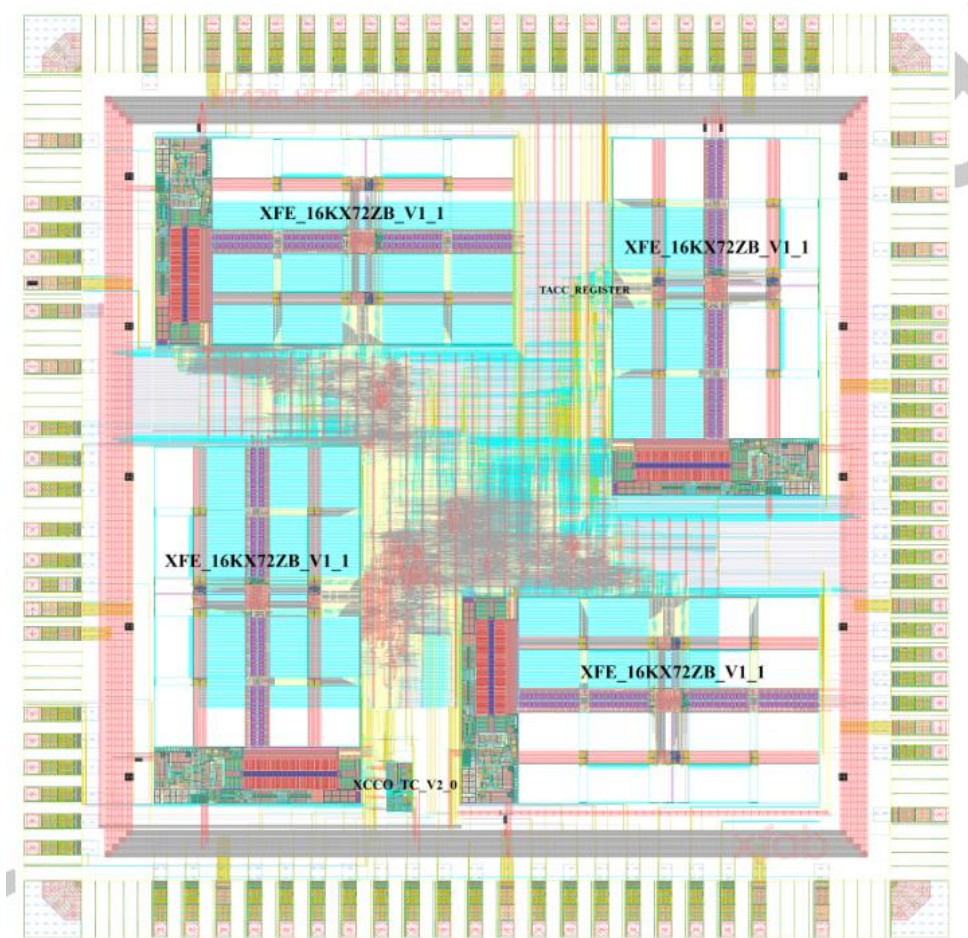


Abbildung 6: Layout des Testchips XT1 XFE16K72TBV_1_1

Durch das Auflösen der Hierarchie des Digitaldesigns, erhält das P&R-Tool mehr Möglichkeiten die digitalen Gatter entsprechend den zeitlichen Vorgaben in der SDC-Datei zu platzieren. Die Zeit die für den Vorgang P&R hat sich dementsprechend auch vervielfacht. Das P&R Tool ,Innovus von Cadence, benötigt mehrere Stunden um das Layout zu erstellen.

Zusammenfassung Arbeitspaket 3

Die Verbesserung des Zeitverhaltens des UTC ergeben sich durch Layout- und Designoptimierung Dies wurde durch verbesserte Handhabung der EDA-Tools und den dazugehörigen Datensatz wie SDC-, SDF-, und .lib Dateien erreicht. Verbesserung der Verilog Beschreibungen führten zu geringerer logischer Tiefe und optimierten Zugriff auf UTC-Register. Die gewonnenen Erkenntnisse werden in den folgenden Weiterentwicklungen ihre Anwendung finden.

3.2 Arbeitspaket 4 Ergebnisse

Der automatisierte Testablauf konnte verifiziert werden. Dazu gehören das Auslesen des BIST in Kombination mit dem Programmier- und Löschauf im Cycling Test. Der BIST konnte über den seriellen Takteingang (SCLK) und den parallelen Takteingang IP_CLK als auch über den internen Oszillator getaktet werden. Zur Ermittlung der VCO-Taktfrequenz wurde der Takt mittels UTC-Register Einstellungen, auf einen Datenausgang gelegt. So kann die Taktfrequenz mittels Oszilloskops oder anderer Testsysteme gemessen werden.

Im Folgenden Ablauf Diagramm ist der implementierte Ablauf des Cycling Test dargestellt.

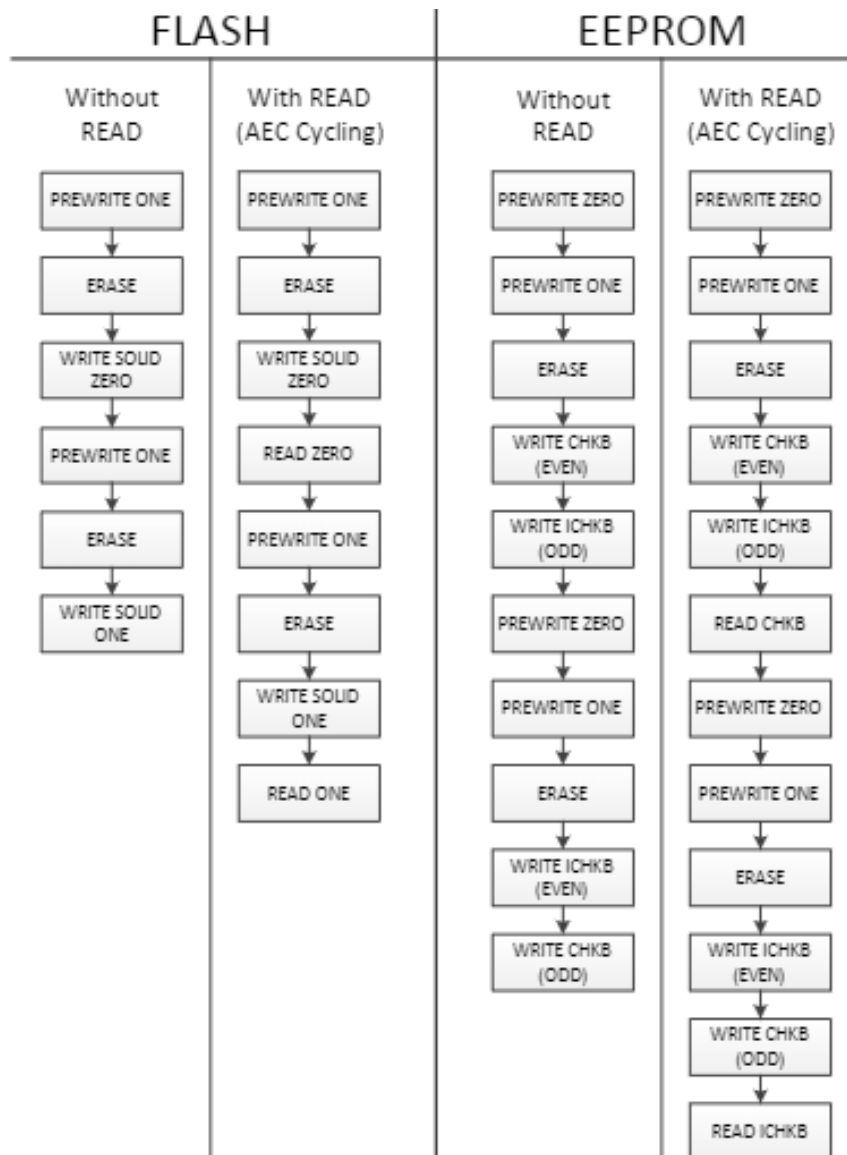


Abbildung 7: Implementierter Cycling Test Ablauf

Bei der Erstellung der Verilog Beschreibung der PEC wurde auf die spezifischen Anforderungen der verschiedenen Speichertypen geachtet. So lassen sich durch die Auswahl der Testmuster sehr schlechte Bedingungen, bezogen auf das Zeitverhalten des Speichers, erreichen.

Zur Verifikation der Funktionalität wurde weitestgehend das Programm Toolkit (PTK) von X-FAB genutzt. Dies ermöglicht es, ohne aufwendiges Test Equipment, den Test des UTC mittels USB-Verbindung zum Laptop. Das folgende Bild zeigt den Testaufbau zur Verifikation der Funktionalität mittels PTK.



Abbildung 8: PTK Testaufbau

Zusammenfassung Arbeitspaket 4

Folgende Tests wurden mit PTK und Magnum Testsystem erfolgreich durchgeführt:

- Cycling mit Frequenzvariationen
 - Testmuster One/Zero
- BIST Lesen
 - Mit verschiedenen Testmustern
 - Mit seriellen, parallelen und VCO Takt
- Oszillator Einstellungsbereich
 - Der Oszillator kann in 64 Schritten zwischen 5kHz und 100MHz eingestellt werden.
- Alle bisher genutzten Testmöglichkeiten funktionieren weiterhin
 - Es sind keine Beeinträchtigungen von bisher genutzten Funktionen festgestellt wurden

Das Testkonzept wurde erfolgreich implementiert und verifiziert. In zukünftigen Testchips für eingebettete nicht-flüchtige Speicher werden der BIST, die PEC und der VCO eine Schlüsselrolle zu Testautomation einnehmen.

3.3 Arbeitspaket 6 Ergebnisse

Der erfolgreiche Test der Arbeitspakete 3 und 4 wurde unter Ander durch die Vereinheitlichung der Testchipkomponenten erreicht werden. Im Rahmen des Projektes musste der Pading angepasst werden, um die zusätzlich benötigten Register ansteuern zu können. Der Pading besteht aus 88 Pads. Es wurden nur digitale Eingänge angepasst, sodass der UTC-V4 kompatible zu Vorgängerversionen des Testaufbaus ist. Im folgenden Bild ist der Schaltplan des Pading zu sehen sowie die digitalen Module und die insgesamt vier Speicher.

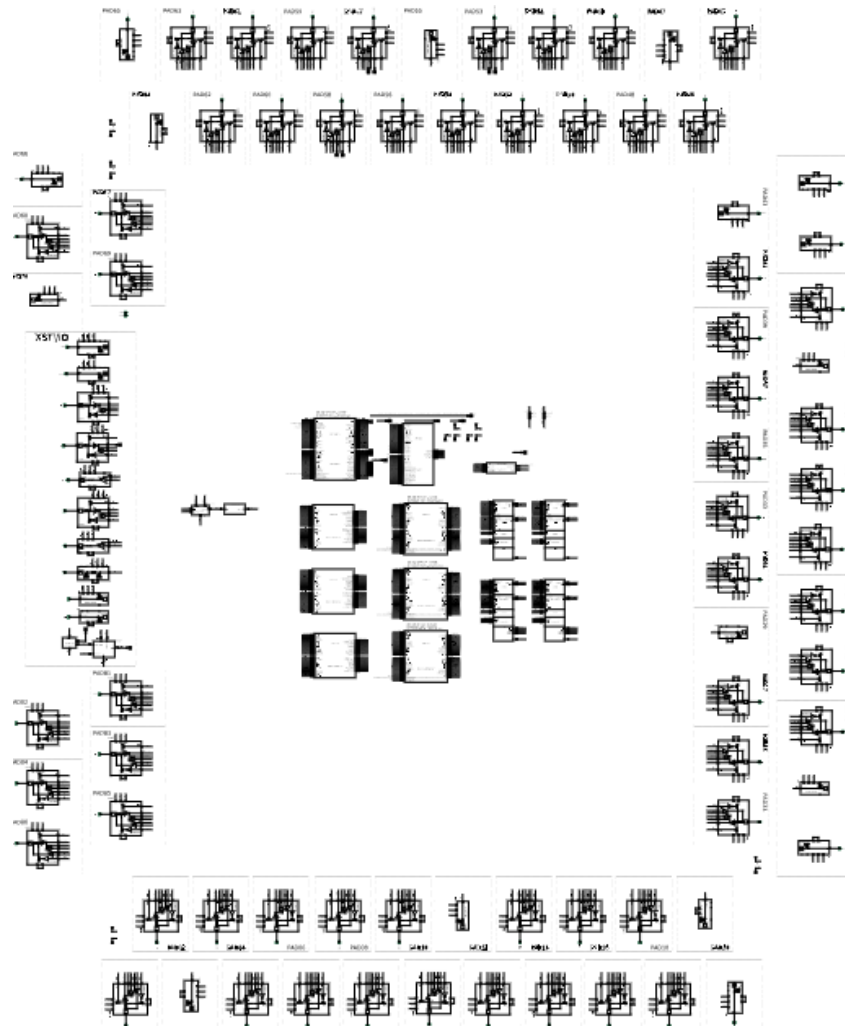


Abbildung 9: Schaltplan des Pading

Die UTC-Register lassen sich über Testmuster steuern, welche mit einer verbesserten digitalen Simulation erreicht wurde. Ein eigener Standard wird genutzt, um Teststimuli Dateien für den seriellen, parallelen und VCO Taktgesteuerten Test, zu generieren. Serielle Teststimuli werden vom Magnum Testsystem, dem PTK eingelesen und verarbeitet. Parallele Stimuli Dateien werden nur vom Magnum Testsystem unterstützt.

Zusammenfassung Arbeitspaket 6

Die Tester Kommunikation mit dem DUT konnte durch den VCO, BIST und PEC reduziert werden. Dies ermöglicht einen schnelleren Einstieg in den Markt, da Testzeiten reduziert werden, was die Charakterisierung der Speicher beschleunigt. Über dessen hinaus wird mit dem überarbeiteten UTC-V4 Konzept auch die Testentwicklungszeit erheblich reduziert. Wesentliche Bestandteile des Testprogramms sind schon auf den Testchip durch den BIST und der PEC integriert.

Durch den Austausch von Teststimuli, welche mittels digitaler Simulation sehr schnell erstellt werden können, sind Testprogramme auch mit anderen Testsystemen austauschbar und schnell generierbar und änderbar.

4 Projektfazit

Die Aufgabenstellung ein Testvehicle für Speicher für AI-Anwendungen zu Entwickeln wurde erfolgreich durchgeführt. Die aus dem Projekt gewonnenen Erfahrungen im Bereich Simulationsmöglichkeiten, Implementierung und Test digitaler Designs, werden ebenso wie das gewonnen Wissen über den automatischen Speichertest die Entwicklung für X-FAB auf diesem Gebieten positiv beeinflussen.

Als größter Nutzen dieser Entwicklungen kann die Möglichkeit zur beschleunigten Markteinführung von nicht-flüchtigen Speichern angesehen werden, welche durch Verkürzung der Testzeiten erreicht wird, was die Zeit für die Charakterisierung ebenso verkürzt.

Kurzer inhaltlicher Bericht

Zuwendungsempfänger: X-FAB Global Services GmbH	
Verbundprojekt:	Eingebettete Datenspeicher für Mikrocontroller mit Künstlicher Intelligenz (Embedded storage elements on next MCU generation ready for AI on the edge) - StorAlge
Förderkennzeichen:	16MEE0162T
Teilvorhaben:	Integration von nichtflüchtigen Speichertechnologien für KI-Anwendungen
Projektlaufzeit:	01.07.2021 bis 30.10.2024
Berichtszeitraum:	01.07.2021 bis 30.10.2024
Fälligkeit:	30.04.2025
Erstelldatum:	30.04.2025
Autor:	Marko Andre
Ansprechpartner:	Marko Andre X-FAB Global Services GmbH Haarbergstr. 67, 99097 Erfurt, Germany Tel: +49 151 4657 1048 E-Mail: marko.andre@xfab.com

Aufgabenstellung:

Ziel des Projektes war die Entwicklung eines neuen Verifikations- und Validierungskonzept für ferroelektrische Speicher. Im Rahmen dieser Aufgabe sollten mittels des entwickelten Testkonzeptes alle Charakterisierungen und Zuverlässigkeitsergebnisse geliefert werden können.

Das Konzept sollte mit geeigneten EDA-Tools und Simulationsmodellen erarbeitet und mit Hilfe eines Testchips im Silizium verifiziert werden. Es wurde geplant, mit 180nm zu beginnen und die Entwicklung auf 110nm anzupassen. Die Entwicklungsaufgaben des Test Chip-Designs umfassten die Konzeptionierung der Architektur, der Schaltplan und die Layout-Implementierung der Decoder, des Speicherarrays und der Lese-/Schreibpfade.

Planung:

Die folgenden Ziele waren für die X-FAB Global Services im Rahmen des StorAlge Projektes geplant:

- Anpassung des digitalen Interfaces für Zugriffszeiten von 10ns bei niedrigster zugelassener Betriebsspannung und höchster zulässiger Lesetemperatur.
- Automatisierter Lese- und Programmierablauf.
- Verbesserung der Simulationsgenauigkeit in Post-Layout-Simulationen
- Genaue und beschleunigte Simulation des Testchips vor und nach Layoutimplementierung.
- Beschleunigtes Routing des Testchips mit geeigneten EDA-Tools.

Es wurde geplant die Aufgaben wie folgt in die Arbeitspakete zu integrieren.

- Arbeitspaket 3 (WP3 Technologische Plattformen)
 - Verbesserung des Zeitverhaltens basierend auf der gegebenen Technologie (180nm und 110nm) mittels Verbesserungen des digitalen Speicherinterfaces

- Optimierung von Messmethoden zur Bestimmung von Zugriffszeiten
- Arbeitspaket 4 (WP4 Design Plattformen)
 - Automatisierung des Speicherzugriffes mittels BIST (Built-in Self-test) und Ablaufsteuerung zum Programmieren und Löschen (Program-Erase Control, PES)
- Arbeitspaket 6 (WP6 Anwendungsintegration und Validierung)
 - Testprogrammentwicklung und Validierung der implementierten Designs

Erreichte Ziele:

Arbeitspaket 3:

Die Verbesserung des Zeitverhaltens des UTC ergeben sich durch Layout- und Designoptimierung. Dies wurde durch verbesserte Handhabung der EDA-Tools und den dazugehörigen Datensatz wie SDC-, SDF-, und .lib Dateien erreicht. Verbesserung der Verilog Beschreibungen führten zu geringerer logischer Tiefe und optimierten Zugriff auf UTC-Register. Die gewonnenen Erkenntnisse werden in den folgenden Weiterentwicklungen ihre Anwendung finden.

Arbeitspaket 4:

Folgende Tests wurden mit PTK und Magnum Testsystem erfolgreich durchgeführt:

- Cycling mit Frequenzvariationen
 - Testmuster One/Zero
- BIST Lesen
 - Mit verschiedenen Testmustern
 - Mit seriellen, parallelen und VCO Takt
- Oszillator Einstellungsbereich
 - Der Oszillator kann in 64 Schritten zwischen 5kHz und 100MHz eingestellt werden.
- Alle bisher genutzten Testmöglichkeiten funktionieren weiterhin
 - Es sind keine Beeinträchtigungen von bisher genutzten Funktionen festgestellt wurden
 -

Das Testkonzept wurde erfolgreich implementiert und verifiziert. In zukünftigen Testchips für eingebettete nicht-flüchtige Speicher werden der BIST, die PEC und der VCO eine Schlüsselrolle zu Testautomatation einnehmen.

Arbeitspaket 6:

Die Tester Kommunikation mit dem DUT konnte durch den VCO, BIST und PEC reduziert werden. Dies ermöglicht einen schnelleren Einstieg in den Markt, da Testzeiten reduziert werden, was die Charakterisierung der Speicher beschleunigt. Über dessen hinaus wird mit dem überarbeiteten UTC-V4 Konzept auch die Testentwicklungszeit erheblich reduziert. Wesentliche Bestandteile des Testprogramms sind schon auf den Testchip durch den BIST und der PEC integriert.

Durch den Austausch von Teststimuli, welche mittels digitaler Simulation sehr schnell erstellt werden können, sind Testprogramme auch mit anderen Testsystemen austauschbar und schnell generierbar und änderbar.

Projektfazit:

Die Aufgabenstellung ein Testvehicle für Speicher für AI-Anwendungen zu Entwickeln wurde erfolgreich durchgeführt. Dies aus dem Projekt gewonnenen Erfahrungen im Bereich Simulationsmöglichkeiten, Implementierung und Test digitaler Designs, werden ebenso wie das gewonnen Wissen über den automatischen Speichertest die Entwicklung für X-FAB auf diesem Gebieten positiv beeinflussen.

Als größter Nutzen dieser Entwicklungen kann die Möglichkeit zur beschleunigten Markteinführung von nicht-flüchtigen Speichern angesehen werden, welche durch Verkürzung der Testzeiten erreicht wird, was die Zeit für die Charakterisierung ebenso verkürzt.