



Schlussbericht zum Vorhaben  
**„Designconstraining für rauschoptimierte  
Schaltungen mit Chip-Verifizierung“**

im Rahmen des Eurostars Projekts  
**E! 7531 IC-NAO**  
**„Framework zur Analyse und Optimierung des  
Rauschverhaltens Integrierter Schaltungen“**

**Dr. Miloš Krstić, Dr. Steffen Zeidler, Dr. Xin Fan**

IHP GmbH  
Im Technologiepark 25  
15236 Frankfurt Oder

Gefördert durch das Bundesministerium für Bildung und Forschung (BMBF)  
Förderkennzeichen: 01QE1218B  
Projektlaufzeit: 01.11.2012 – 31.10.2014



<b>Abkürzungen</b>	
ASIC	Application Specific Integrated Circuit
CAD	Computer-Aided-Design
CTS	Clock-Tree-Synthesis (deu. Taktnetzwerksynthese)
DPA	Differential Power Analysis (deu. Differentielle Leistungsaufnahmeanalyse)
EMI	Elektromagnetische Interferenz
EVCD	Enhanced Value Change Dump
IP	Intellectual Property
PDN	Power Delivery Network (Versorgungsnetzwerk)
RO	Ringoszillator
RTL	Register-Transfer-Level
TSN	Trusted Sensor Node / Sensorknoten
WSN	Wireless Sensor Network

## 1 Aufgabenstellung

Ziel des Projektes war die Entwicklung einer Technologie zur Abschätzung und Optimierung des Schaltrauschens digitaler Designs in einer sehr frühen Phase des Entwurfsprozesses. Diese Abschätzung bildet die Basis für eine Partitionierung und Anpassung des Designs (Definition von Synthese-Constraints, Einfügen von Pipelinestufen etc.) in Hinblick auf eine möglichst starke Reduktion des Rauschens. Neben der Entwicklung des Verfahrens stand insbesondere auch deren Integration in ein Software-Werkzeug im Fokus des Projekts. Zur Verifikation der verfolgten Ansätze und deren Effektivität sollte ein Mikrochip basierend auf den im Projekt entwickelten Konzepten entworfen werden. Dieser Chip sollte dem IHP zur Verfügung stehende IP-Cores (wie z.B. Prozessoren, Kryptobeschleuniger, etc.) enthalten. Gerade Kryptobeschleuniger stellen hier ein geeignetes, industrierelevantes Anwendungsbeispiel dar, da diese ein möglichst geringes Schaltrauschen erfordern, um deren Angreifbarkeit über differenzielle Leistungsanalysen (DPA) möglichst gering zu halten. Im Laufe der Projekts ergab sich dabei die Möglichkeit zwei statt, wie ursprünglich geplant, nur einen Demonstratorchip zu fertigen: einen mittels der 28nm Technologie von GlobalFoundries und einen in der IHP-eigenen 130nm Technologie. Die Chips wurden verpackt und anschließend vermessen, um die entwickelten Methoden und Werkzeuge zu evaluieren.

## 2 Voraussetzungen des Projektes

Durch die steigende Komplexität aktueller Mikrochips kommt es immer wieder zu Problemen mit der Spannungs-/Stromversorgung (Power Integrity) bzw. zu Störungen von analogen Komponenten durch digitale Schaltungselemente. Ausschlaggebend für das Projekt war der Bedarf an Methoden und Werkzeugen zur Optimierung des Schaltrauschens digitaler Schaltungen. Zwar gibt es bereits Methoden zur Optimierung des Schaltrauschens (Einführung von Jitter bzw. Phasenverschiebungen, Einsatz des Global-Asynchrone Lokal-Synchrone (GALS) System Paradigmas), jedoch gab es keinen werkzeuggestützten Ansatz den komplexen Problemen der Partitionierung eines Designs und Abschätzung des Schaltrauschens in einer frühen Phase des Schaltungsentwurfs zu begegnen.

Entsprechend lösungsorientiert wurde auch das Konsortium gebildet. Teklatech ist als einer der führenden Technologielieferanten zur Optimierung der Leistungsaufnahmeprofile ein äußerst geeigneter Projektkoordinator. Das von Teklatech entwickelte CAD-Werkzeug FloorDirector unterstützt die Optimierung und Abschätzung des Schaltrauschens auf Layout-Ebene, sollte aber um weitere Funktionalität erweitert werden. Das IHP hat seit geraumer Zeit einen Forschungsschwerpunkt im Bereich der GALS Systeme, um u.a. damit Vorteile bei der Leistungsaufnahme der Schaltungen zu erzielen. Dieser Ansatz sollte mit dem Projekt weiter vorangetrieben werden. Insbesondere sollte damit die Anwendbarkeit der Konzepte auf synchrone Schaltungen untersucht werden, was die Akzeptanz der Lösung im Hinblick auf eine industrielle Nutzung erhöht. Schließlich stellte RacyICs mit langjähriger Erfahrung im Schaltungsentwurf einen geeigneten Anwender der Technologien dar. Entsprechend sollte RacyICs Kriterien und Beispiele für die Anwendung der Technologien liefern.

## 3 Planung und Ablauf

Das Projekt wurde in vier Arbeitspakete (AP) unterteilt. Diese Planung konnte auch im Verlauf des Projektes eingehalten werden. Tabelle 1 zeigt das Gant-Diagramm des Projekts, wie es geplant bzw. durchgeführt wurde. Dabei ist die Aufgabe 3.1 „Portierung einer PLL in die Fertigungstechnologie des Demonstrators“ rot hervorgehoben, da sie, wie später erläutert, während der Laufzeit des Projekts hinfällig wurde.

Tabelle 1: Gant-Diagramm des Projekts

	Nov 12	Dez 12	Jan 13	Feb 13	Mrz 13	Apr 13	Mai 13	Jun 13	Jul 13	Aug 13	Sep 13	Okt 13	Nov 13	Dez 13	Jan 14	Feb 14	Mrz 14	Apr 14	Mai 14	Jun 14	Jul 14	Aug 14	Sep 14	Okt 14		
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24		
<b>AP 1 Signaturen von Leistungsrauschen</b>																										
1.1 Annotierung von RTL-Simulation auf Gatternetzlisten zur Generierung von Rauschsignaturen																			M1							
1.2 Vektorlose Generierung der Rauschsignaturen																			M1							
1.3 Methodik für die Abschätzung der Leistungsaufnahme zur Designkonditionierung																										
<b>AP2 Designpartitionierung zur Formung der Leistungsaufnahmekurven</b>																										
2.1 Designpartitionierung																			M2							
2.2 Designconstraining																			M2							
2.3 Frontenddesign des Demonstrators																										
<b>AP3 Demonstratorentwurf</b>																										
3.1 Portierung einer PLL in die Fertigungstechnologie des Demonstrators																										
3.2 Backend und Sign-Off des Demonstratordesigns																										
3.3 Fertigung und Test des Demonstrators																										
<b>AP4 Projektmanagement und Verbreitung der Projektergebnisse</b>																										
4.1 Gesamtmanagement des Projektes																										
4.2 Formale Verantwortlichkeiten																										
4.3 Administrative Verantwortlichkeiten																										
4.4 Allgemeine organisatorische Tätigkeiten während des Projekts																										
4.5 Schutz von IP und Publikation der Ergebnisse																										

## **AP1: Signaturen von Leistungsrauschen (14 PM)**

Im Arbeitspaket 1 sollte das IHP Methoden zur Abschätzung des Schaltrauschens an realen Designbeispielen evaluieren. Wie in Deliverable D1.3 beschrieben, wurden dazu die unterschiedliche Abschätzungsmethoden des Tools FloorDirector<sup>®</sup> auf ein Beispieldesign angewendet. Dabei wurden deren Charakteristiken wie benötigte Laufzeit und Genauigkeit bestimmt. Diese Parameter wurden anschließend als Kriterien verwendet, um die beste Methode auszuwählen und diese im weiteren Verlauf beim Design-Preconditioning zur Abschätzung der Leistungsaufnahmeprofile zu verwenden. Dabei erwies sich die vektorlose Abschätzung als sehr geeignet, da sie schnell und durchaus genaue Ergebnisse liefern kann. Mit diesem Ergebnis konnte auch der Meilenstein M1, welcher im 18. Projektmonat fällig war, erfolgreich eingehalten werden.

## **AP2: Designpartitionierung zur Formung der Leistungsaufnahmekurven (22 PM)**

Im AP2 hat das IHP eine Methode zur groben Partitionierung eines RTL-Designs zur Reduzierung des Schaltrauschens entwickelt. Das entwickelte Verfahren basiert auf einem Graph, welcher aus der Netzliste eines Designs erstellt wird. Die Knoten dieses Graphen stellen die Instanzen in der Designhierarchie dar. Die gerichteten Kanten dieses Graphen sind die Verbindungen der Instanzen untereinander, also die Signale von der Quelle (Ausgang einer Designinstanz) zur Senke (Eingang einer Instanz). Zur Partitionierung werden die Instanzen des Graphen mit aus einer Trial-Synthese gewonnenen Eigenschaften (z.B. Stromverbrauch, Flächenbedarf etc.) versehen. Diese Eigenschaften werden dann zur Berechnung einer Heuristik eines Knotens herangezogen, so dass die Knoten zu Partitionen mit etwa gleichen Eigenschaften gruppiert werden können.

Gemäß der Planung hat das IHP ebenfalls bei der Automatisierung der Designanalyse und dem Designconstraining mitgewirkt. Einerseits wurden dazu die entwickelten und in das Tool FloorDirector integrierten Mechanismen vom IHP an einem Design, welches als Demonstratorschaltung verwendet wurde, angewandt und evaluiert. Auf der anderen Seite hat das IHP selbst ein eigenes Software-CAD-Werkzeug entwickelt, das der Automatisierung der Partitionierungsmethodik und des Design-Preconditioning/-constraining dient. Das EMIAS genannte Software-Werkzeug liest Netzlisten eines Schaltungsdesigns ein, generiert daraus den Verbindungsgraphen auf dessen Basis die Partitionierung erstellt wird. Anschließend können für das Design-Preconditioning Constraints zur Taktung der Schaltung und deren Blöcke definiert werden. Schließlich unterstützt das Werkzeug Methoden zur Generierung und Visualisierung der Leistungsaufnahmeprofile in der Zeit und Frequenzdomäne, so dass Abschätzungen des Rauschverhaltens der optimierten Schaltung erstellt werden können.

Zusammen mit der Partitionierungsmethodik konnte damit Meilenstein M2 erfolgreich absolviert werden. Die entwickelten Verfahren zur Partitionierung, des Designpreconditioning und der Automatisierung mittels des EMIAS CAD-Werkzeugs wurden im Deliverable D2.1 beschrieben.

Als weiteren Punkt innerhalb dieses AP galt es das Demonstratordesign vorzubereiten. Dazu hat das IHP zunächst geeignete Schaltungen zusammengetragen und anschließend davon eine in Absprache mit den Projektpartnern ausgewählt. Die Wahl fiel dabei auf einen dem IHP zur Verfügung stehenden Sensorknoten, der aus einem Prozessor, zugehörigen Speichern sowie Kryptoprozessoren besteht. Geplant war, mehrere unterschiedliche Versionen dieses Designs mit und ohne Optimierung in einen Chip zu integrieren, so dass die Verbesserungen durch Anwendung der entwickelten Methoden evaluiert werden konnten. Dem Projektplan entsprechend hat das IHP das Design für den Einsatz als Demonstratorschaltung vorbereitet. Diese Aktivität umfasste im Wesentlichen die Anpassung der benötigten Pins der Schaltung und daraus resultierende architekturelle Anpassungen der Schaltung. So war es notwendig die Anzahl der Pins möglichst gering zu halten, um die verschiedenen Schaltungsversionen in einen Chip integrieren zu können. Zur Gewinnung der optimierten Designversionen wurden die entwickelten Methoden auf das ursprüngliche Sensorknotendesign angewandt. Das so

entstandene Demonstratordesign wurde in Deliverable D2.2 erläutert. Mit der Vorbereitung des Demonstratordesigns konnte Meilenstein M3 erfolgreich abgeschlossen werden.

### **AP3: Demonstratorentwurf (15 PM)**

Wie geplant hat das IHP im AP4 die Demonstratorschaltung in der hauseigenen 130nm Technologie gefertigt. Darüber hinaus hat auch Projektpartner RacyICs in Eigeninitiative und ohne zusätzliche Kosten für das Projekt einen eignen Demonstratorchip in GlobalFoundries 28nm Technologie gefertigt. Allerdings wurde dafür die ursprünglich für den 130nm Demonstrator geplante PLL nicht umgesetzt (vgl. Aufgabe 3.1 im Gant-Diagramm). Stattdessen einigten sich alle Projektpartner darauf, dass im 130nm Demonstrator ein Ringoszillator als Ersatz für die PLL verwendet werden soll. Dementsprechend hat das IHP in Abstimmung mit EUROSTARS mehr Aufgaben zur Implementierung des Demonstratorchips übernommen als ursprünglich geplant. Dies umfasst insbesondere das Backend-Design des 130nm Chips mit Integration benötigter Teststrukturen (Ringoszillator, Kontakte zum Substrat). Darüber hinaus hat das IHP beim Frontend-Design des 28nm Demonstratorchips mitgewirkt. Diese zusätzlichen Arbeiten wurden ohne zusätzliche Kosten durchgeführt. Für den anschließenden Test des 130nm Chips wurde ein Evaluationsboards für das zur Verfügung stehende Advantest V93000 SOC Testsystem konzipiert und durch einen externen Unterauftragnehmer angefertigt. Nach Verfügbarkeit des Chips und des Testboards wurde zunächst die Funktionalität des Chips verifiziert. Dabei wurden fehlerhafte Chips aussortiert, die nicht für die anschließenden Rauschmessungen verwendet werden sollten. Schließlich wurden die Rauschmessungen selbst durchgeführt.

### **AP4: Projektmanagement und Verbreitung der Projektergebnisse (6 PM)**

Letztlich hat das IHP an der Verwertung und Verbreitung der Projektergebnisse mit Zustimmung der am Projekt teilnehmenden KMU und Partnern diskutiert. Wie später in Abschnitt 11 erwähnt, sind drei Veröffentlichungen geplant. Ferner wurden auch Verwendungsmöglichkeiten der Projektergebnisse, z.B. die Möglichkeiten der Patentierung der Partitionierungsmethode, diskutiert.

Das IHP hat zum technischen Management des Projekts beitragen. Dies umfasste im Wesentlichen monatliche Telefonkonferenzen und halbjährlichen Statusmeetings abzuhalten um die technischen Aspekte des Projekts zu diskutieren, sowie der Kontrolle zur Einhaltung der Meilensteine bzw. der Erstellung der Deliverables. Insbesondere durch die Abhaltung regelmäßiger Telekonferenzen konnten auch zunächst geplante Kosten für Projekttreffen eingespart werden. Dennoch wurden während des Projekts folgende Treffen abgehalten:

- 28.12.2012 bei Teklatech in Kopenhagen
- 05.05.2013 bei IHP in Frankfurt (Oder)
- 17.12.2013 bei RacyICs in Dresden
- 21.05.2014 bei Teklatech in Kopenhagen

Zur Koordination des Projektes hat das IHP einen BSCW-Server eingerichtet und betrieben und hat damit für die Verteilung der Dokumente, Vorträge, der Spezifikationen und Literatur gesorgt.

## **4 Stand der Technik**

Bis zu Beginn des Projektes gab es weder Methoden noch kommerzielle oder akademische Werkzeuge, die eine Abschätzung des Schaltrauschens und eine Partitionierung des Designs in einer frühen Phase des Entwurfsprozesses erlauben. Die Entwicklung der im Projekt angestrebten Methoden und Werkzeuge stellt demnach einen Durchbruch für den Entwurf von ASICs<sup>1</sup> mit niedrigem Schaltrau-

---

<sup>1</sup> Application Specific Integrated Circuit

schen dar. Allerdings gibt es für diverse Teilziele des Projektes durchaus bestehende Lösungen bzw. Veröffentlichungen.

Im Bereich der Partitionierung eines Designs mit Fokus auf die Optimierung des Schaltrauschens ist insbesondere [1]. Dieses Verfahren basiert auf der Analyse der Länge der Signalpfade, welche als einziges Kriterium für die Partitionierung verwendet wird. Eine solche Betrachtung bringt jedoch nur Vorteile, wenn alle Pfade der Schaltung tatsächlich aktiv sind. Ferner werden keine Eigenschaften der Schaltung in die Partitionierung einbezogen. Der Vorteil der im IC-NAO Projekt entwickelten Methode liegt darin, dass solche Informationen aus einer s.g. Trial-Synthese gewonnen und bei der Partitionierung miteinbezogen werden.

Des Weiteren ist im Bereich der Optimierung des Schaltrauschens das CAD-Werkzeug des Projektpartners Teklatech zu nennen. Das Tool bietet die Möglichkeit das Schaltrauschen auf Layout-Ebene zu optimieren und kann daher als orthogonaler Ansatz zu der vom IHP angestrebten Lösung angesehen werden.

## 5 Zusammenarbeit mit anderen Stellen

Zunächst ist an dieser Stelle natürlich die Interaktion mit den Projektpartnern zu nennen. Innerhalb des Projektes gab es grundlegend einen regen Informations-, Wissens- und Technologieaustausch mittels abgehaltener Telefonkonferenzen und Statusmeetings. Während dieser Konferenzen stellte jeder Projektpartner den Fortschritt der Arbeit in Präsentationen dar.

Bezüglich des Technologieaustauschs gab es zwei entscheidende Punkte. Einerseits wurde vom Projektpartner Teklatech das CAD-Werkzeug FloorDirector den anderen Projektpartnern (IHP, RacyICs) zur Verfügung gestellt. Um eine schnelle Einarbeitung in bzw. eine effiziente Nutzung des Werkzeugs zu gewährleisten, lieferte Teklatech einerseits einen Beispielablauf und auf der anderen Seite stetige Unterstützung bei auftretenden Problemen bei der Anwendung des Werkzeugs auf die Demonstratorschaltung. So konnten auch diverse Fehler innerhalb der von Teklatech neu entwickelten Softwaremodule identifiziert und behoben werden.

Ähnlich verlief es bei der Suche und der anschließenden Vorbereitung der Demonstratorschaltung. Bereits während des Kick-Off-Meetings und in anschließenden Telefonkonferenzen und Meetings wurde seitens des IHP in Frage kommende IP-Cores vorgestellt und deren Eignung für den Demonstrator mit den Projektpartnern diskutiert. Nach Einigung auf das erwähnte TSN-Design wurde dieses vom IHP den anderen Projektpartnern (insbesondere RacyICs) als abstrakte RTL-Beschreibung zur Verfügung gestellt. Da sich während der Laufzeit die Möglichkeit ergab neben dem geplanten Demonstrator in der IHP 130nm Technologie noch einen weiteren Demonstratorchip in Global Foundries 28nm Technologie zu fertigen, musste Projektpartner RacyICs eine Portierung des Designs vornehmen, was insbesondere die verwendeten technologiespezifischen Speicherblöcke betraf. Auch musste das Design insgesamt angepasst werden, um eine möglichst geringe Anzahl an Pins zu erreichen. Hierbei gab es viel Interaktion zwischen dem IHP und dem Projektpartner RacyICs. Wie oben angedeutet, haben alle Partner letztlich beim Backend-Design (d.h. im Layoutprozess bzw. bei der Optimierung der TSN-Designversionen) des Demonstratorchips eng miteinander kooperiert.

Letztlich haben das IHP und die projektexterne Firma tesotec GmbH für den Entwurf und die Fertigung des Evaluationsboards zusammengearbeitet. Das IHP lieferte dabei das grundlegende Konzept, wohingegen tesotec das Board in Abstimmung mit dem IHP im Detail entworfen hat.

## 6 Verwendung der Zuwendung

Die Zuwendung wurde im Wesentlichen für die Bezahlung der technischen und administrativen Mitarbeiter, für die Fertigung des 130nm Demonstrators und dessen Evaluationsboards verwendet.

## 6.1 Kosten für Gehälter

Da die wesentliche Aufgabe des IHP im IC-NAO Projekt in der Entwicklung von Methoden und entsprechende Software-Werkzeuge lag, ist der größte Anteil der Zuwendung für die Gehälter verwendet worden. Dabei wurden die projektkritischen Aufgaben von erfahrenen Mitarbeitern ausgeführt, deren Gehälter in die Gruppen E12-E15 fallen.

So wurde ein erfahrener Mitarbeiter mit Führungsqualitäten (EG E14) für administrative und für technisch beratende Funktionen eingesetzt.

Ein ebenfalls erfahrener Mitarbeiter (EG E14) übernahm die Entwicklung der Methoden und Modelle zur Abschätzung und Optimierung der Schaltrauschsignaturen, sowie den Entwurf der Demonstrator-schaltung und die Konzeptionierung des Evaluationsboards. Schließlich half dieser Mitarbeiter bei der Messung des 130nm Chips und wertete die Ergebnisse aus. Neben den rein technischen Aufgaben übernahm Mitarbeiter 2 auch leitende Aufgaben insbesondere bei dem Design der Demonstratorschaltung.

Ein dritter erfahrener Mitarbeiter (EG E13, später E14) war stark in der technischen Planung und Umsetzung des Projekts involviert. So übernahm er leitende Rollen, insbesondere bei der Planung und Koordination der Projektaktivitäten. Daneben übernahm er die Entwicklung des CAD-Werkzeugs EMIAS, das die entwickelten Methoden automatisiert. Ferner half Mitarbeiter 3 bei der Konzeptionierung des Evaluationsboards, entwickelte das notwendige Testprogramm für die Testumgebung und führte letztlich die Tests und Messungen zusammen mit Mitarbeiter 2 durch.

Mitarbeiter 4 (EG E14) als Hauptentwickler des Basisdesigns wurde für Anforderungsdefinition und Konzipierung des Demonstrators eingesetzt.

Mitarbeiter 5 (EG E13) wurde wie Mitarbeiter 4 zur Anforderungsdefinition, Konzipierung eingesetzt. Darüber hinaus übernahm Mitarbeiter 5 einen entscheidenden Anteil bei der Umsetzung des Demonstrators. Dies umfasst insbesondere das Chip-Layouting.

Mitarbeiter 6 (EG E14) half ebenfalls bei der Umsetzung des Demonstrators und leistete beim Test desselben einen entscheidenden Beitrag. Dazu lieferte er Simulationsdaten, die für den Test benötigt werden.

Mitarbeiter 7 (EG E14) übernahm die Ausarbeitung und Planung des Testkonzepts für den Demonstrator. Er erarbeitete auch das Konzept des Testboards.

Für nichtkritische Aufgaben wurden eine Studentin und ein Student eingesetzt, deren Entgelte in unter Position 0822 verbucht wurden. Sie übernahmen insbesondere Programmieraufgaben des Software-Frameworks (z.B. die grafische Benutzeroberfläche).

## 6.2 Kosten für Verbrauchsmaterialien

Für die Fertigung des Demonstrators musste zunächst der Chip im Haus gefertigt werden. Dafür vielen Kosten in Höhe von 34087,84€ für Material (Masken, Wafer), sowie für die Fertigung an sich an, die unter Pos. 0843 verbucht wurden. Schließlich mussten die Chips in Gehäuse verpackt werden, um eine Evaluationsumgebung zu schaffen, die realen Anwendungen nahekommt. Zum Verpacken der Chips wurden zunächst drei Angebote eingeholt und aus diesen der wirtschaftlichste Serviceanbieter ausgewählt. Die Kosten von 3.992,00€ wurden unter der Vergabe von Aufträgen (Pos. 0835) verbucht.

Zur weiteren Evaluation bzw. zum Test des Demonstratorchips wurde ein Interfaceboard benötigt, mit dessen Hilfe der Chip mit dem V93000 Testsystem des IHP verbunden werden konnte. Wie erwähnt wurde das grundlegende Konzept vom IHP gestellt. Der Firmenzulieferer tesotec GmbH hat dann in Absprache mit dem IHP das Board im Detail entworfen und gefertigt. Dafür wurden unter Pos. 0843 3.976€ verbucht.

## 7 Wichtige Positionen des zahlenmäßigen Nachweises

Im Folgenden sind die wichtigsten Positionen der Mittelverwendung dargelegt. Insgesamt hatte das Projekt ein Budget von 386.512,00€ Euro. Die tatsächlich entstandenen Ausgaben beliefen sich auf 387.472,92€.

- Für Gehalt und Beschäftigungsentgelte wurden 312.751,29€ verbucht.
  - Davon wurden 301.431,29€ für erfahrene Beschäftigte E12-E15 (Pos. 0812), die für projektkritische Aufgaben eingesetzt wurden.
  - 11.320,99€ wurden für die Beschäftigung von Studenten verwendet, deren Entgelte unter Position 0822 „sonstige Beschäftigungsentgelte“ verbucht wurden.
- Für allgemeine Verwendungszwecke (Pos. 0843) wurden 69.339,07€ ausgegeben.
  - 38.063,84€ wurden für Verbrauchsmaterialien verwendet.
    - Für die Fertigung des 130nm Demonstratorchips wurden 34087,84€ verbucht. Darin enthalten wurden für IC-NAO anteilig 5 Maskensätze in Höhe von 13170€ aus dem Testfeld 301 belastet
    - Zur Herstellung des Testboards durch die Tesotec GmbH wurden 3.976€ benötigt.
  - Der Overhead von 10% beträgt 31.275,23€.
- Unter Vergabe von Aufträgen (Pos. 0835) wurden 3.992,00€ zum Verpacken von 90 Demonstratorchips verbucht. Dazu wurde die Firma Alpha Europe GmbH beauftragt.
- Schließlich wurden 1.389,57€ für die erwähnten zwei Dienstreisen (Pos 0846) benötigt.
  - Für das Kick-Off in Kopenhagen wurden 566,73€ für Flüge und Unterbringung benötigt.
  - Das Statusmeeting in Dresden im Dezember 2013 wurde mit einem Betriebswagen angetreten. Es fielen keine Übernachtungskosten an. Insgesamt wurden 70,34€ für das Treffen benötigt.
  - Das letzte Zusammentreffen im Mai 2014 fand wieder in Kopenhagen statt. Für Übernachtung und Flüge wurden 752,50€ verbucht.

Damit wurden insgesamt lediglich 10% der zunächst veranschlagten Reisemittel verwendet. Grund dafür ist zum einen, dass die Absprachen und Kommunikation sehr gut über Telekonferenzschaltungen abgehalten werden konnten. Zum anderen entfiel die enge Zusammenarbeit zwischen dem IHP und RacyICs, da zwei unabhängige Demonstratoren gefertigt wurden. Dadurch wurden geplante Projekttreffen überflüssig.

## 8 Notwendigkeit und Angemessenheit der geleisteten Arbeit

Mit dem Fokus auf dem Projektziel, neue Methoden zur Optimierung des Rauschverhaltens integrierter Schaltungen zu entwickeln, mussten zunächst geeignete Mechanismen zur Abschätzung des Rauschverhaltens identifiziert und evaluiert werden. Dies bildet die Grundlage um einerseits Schwachpunkte in konventionellen Schaltungen zu identifizieren und auf der anderen Seite das mögliche Ergebnis und die damit verbundene Optimierung einschätzen zu können. Entsprechend wurden die zur Verfügung stehenden Verfahren an Beispielschaltungen evaluiert und bezüglich ihrer Eigenschaften (Genauigkeit, benötigter Zeitaufwand) miteinander verglichen.

Die vom IHP angestrebte und schließlich umgesetzte Technologie zur Optimierung des Schaltrauschens basiert auf der Idee bereits während der Konzeptionierungsphase einer Schaltung auf deren finale Eigenschaften zu schließen und diese bei der Rauschoptimierung zu beachten. Hintergrund dieser Idee ist, dass etwaige Optimierungen mit erwartungsgemäß großem Verbesserungspotential, z.B. die Einführung von Lock-Up-Latches, bzw. die Taktinvertierung sich in der Konzeptionierungsphase leichter umsetzen lassen. Die Basis für eine solche Optimierung bildet in synchronen Schaltungen die Zerlegung der Gesamtschaltung in Blöcke, die mit unterschiedlichen Taktungseigenschaften betrieben werden, so dass die Schaltvorgänge dezentralisiert werden. Entsprechend musste ein Ver-

fahren entwickelt werden, dass eine Partitionierung der Schaltung liefert, während die Schaltung selbst noch nicht endgültig feststeht. Dabei erwies es sich als angemessen, eine Partitionierung der Schaltung auf Basis der RTL-Komponenten durchzuführen. Dazu wurde ein Verfahren entwickelt, das aus der Designhierarchie die einzelnen Komponenten und deren Verbindungen untereinander extrahiert. Zur Abschätzung der Eigenschaften der Komponenten sowie der Gesamtschaltung wird bei dem Verfahren eine Trialsynthese durchgeführt. Die Eigenschaften werden dann zur Bildung der Blöcke verwendet, wobei die Komponenten so gruppiert werden, dass die daraus entstehenden Blöcke etwa die gleichen Eigenschaften besitzen.

Die Partitionierung als solche bildet allerdings nur einen, wenngleich essentiellen Teil der für die Optimierung notwendigen Schritte. Das IHP hat sich mit dem IC-NAO Projekt das Ziel gesetzt ein Verfahren für die frühe Optimierung des Schaltrauschens zu entwickeln. Dieses Verfahren strebt an, Vorbedingungen für die spätere Synthese der Schaltung zu definieren, die unter anderem die Zerlegung der Schaltung in Blöcke sowie deren Taktungseigenschaften umfassen. Zur Entwicklung des Verfahrens wurden Eingangs- und Ausgangsbedingungen, die elementaren Prozessschritte und benötigten Dokumente anhand des bislang undokumentierten manuellen Prozesses identifiziert. Das Verfahren wurde anschließend mittels eines UML-Aktivitätsdiagramms formalisiert.

Da ein wesentliches Ziel des Projektes die Automatisierung der entwickelten Verfahren und Technologien war, mussten diese in ein Software-Werkzeug integriert werden. Dazu wurde ein Applikationsrahmen mit geeigneten Datenstrukturen entwickelt, der die Grundlage für das Software-Werkzeug bildet. Um eine größtmögliche Flexibilität und Wiederverwendbarkeit zu erreichen, wurde, wie es bei CAD-Werkzeugen dieser Art üblich ist, eine Skriptspracheninterpreter in den Applikationsrahmen integriert. Zur Integration der Technologien und Verfahren mussten neue Kommandos entworfen werden, die notwendige Einzelschritte, Hilfswerkzeuge und Ausgaben verkapseln. Diese umfassen das Einlesen von Schaltungsdesigndateien, sowie von Leistungsaufnahmeprofilen, das Partitionieren, das Erstellen von Syntheskriptdateien u.v.m. Auch mussten zur Visualisierung der Abschätzungen des Schaltrauschens geeignete Werkzeuge zur grafischen Ausgabe entwickelt werden. Das Ergebnis der Entwicklung ist ein CAD-Software-Werkzeug, mit dessen Hilfe das komplette Verfahren zum Designpreconditioning mit geringem Aufwand an einer Schaltung durchgeführt werden kann.

Schließlich mussten die entwickelten Verfahren und Technologien evaluiert werden. Wie im Projektplan angedacht, bestand dazu die Notwendigkeit einen Demonstrator zu entwickeln, der in der Lage ist das Optimierungspotenzial der angestrebten Verfahren darzustellen. Dazu musste zunächst ein Schaltungsdesign identifiziert werden. Diese Schaltung wurde auch während des Projektes zur Evaluation diverser Verfahren bzw. Technologien (z.B. zur Evaluation der Verfahren zur Abschätzung des Schaltrauschens) verwendet. Um die Verbesserungen des Rauschverhaltens durch Anwendung der Verfahren geeignet darstellen zu können, musste einerseits eine unoptimierte und andererseits mindestens eine optimierte Version der Schaltung gefertigt werden. Um prozessbedingte Unterschiede zwischen den Chips als Quelle von Varianzen innerhalb der Schaltrauschprofile zu minimieren, wurde der Demonstrator so entwickelt, dass er eine unoptimierte und drei optimierte Versionen der Zielschaltung enthielt. Dabei wurden zur Realisierung der optimierten Versionen die diversen Optimierungsverfahren unterschiedlich miteinander kombiniert. Der so entstandene Chip wurde gefertigt und anschließend von einer externen Firma verpackt. Dazu wurden wie üblich drei Angebote eingeholt.

Als letzten Schritt der Evaluation mussten die Chips auf deren Funktionalität geprüft und deren Eigenschaften mit Fokus auf dem Schaltrauschen ermittelt werden. Natürlich wäre es an dieser Stelle auch möglich gewesen, die Chips unverpackt zu messen. Allerdings lassen sich dann durch das Packaging entstehende parasitäre Einflüsse nicht ermitteln, was die Qualität der Ergebnisse im praktischen Bezug mindern würde. Daher wurde bereits bei der Projektplanung das Verpacken der eingepflanzt. Zum Test der verpackten Chips war es notwendig ein Testboard zu entwickeln, das über einen Sockel die Verbindung zwischen den Demonstratorchips und dem IHP zur Verfügung stehenden VLSI-Testsystem herstellt. Nach Fertigung des Testboards wurde ein Testprogramm zur funktionalen Veri-

fikation der Chips erstellt. Dies war notwendig, da defekte Chips mitunter stark abweichende parametrische Ergebnisse liefern und damit die Ergebnisse verfälscht hätten. Nach der Selektion der funktional korrekt arbeitenden Chips wurde deren Rauschverhalten in der Zeit und Frequenzdomäne mittels Oszillatoren bzw. Spektralanalysegeräten gemessen. Anschließend mussten die gewonnenen Daten analysiert und interpretiert werden.

## **9 Voraussichtlicher Nutzen der Projektergebnisse**

Das Projekt lieferte im Wesentlichen 3 Hauptergebnisse, welche in den folgenden Abschnitten erläutert werden sollen.

### **9.1 Methodik zum Design-Preconditioning auf RTL-Ebene**

Es wurde eine neuartige, automatisierte Methode zur Partitionierung synchroner Designs entwickelt, welche die Grundlage für die Optimierung des Rauschverhaltens darstellt. Für dieses Verfahren wurden Möglichkeiten zur Patentierung mit einer Patentanwaltskanzlei geprüft. Allerdings erwies sich die Patentierung als problematisch, da es bereits viele Verfahren zum Thema Partitionierung von Schaltungen gibt und eine Abgrenzung zu diesen Verfahren nur schwer zu definieren ist. Aufgrund der geringen Aussichten auf Erteilung wurde auf eine Patentierung verzichtet.

Stattdessen wurde das Verfahren in [2] veröffentlicht. Allerdings wurde darauf geachtet, nicht das gesamte Verfahren im Detail darzustellen, so dass die Lösung auch an dritte Parteien verkauft oder lizenziert werden könnte. Dabei ist der wichtigste Partner der Projektkoordinator Teklatech. Es wurden auch Möglichkeiten diskutiert, wie die entwickelte Technologie von Teklatech durch Integration in das CAD-Werkzeug FloorDirector genutzt werden kann. Aber auch andere Partner könnten an dieser Technologie interessiert sein. Als primären Endnutzer sehen wir immer noch unseren deutschen Projektpartner RacyICs, der bereits jetzt erhebliche Anteile seines Profits über die Analyse des Rauschverhaltens von ASICs macht. RacyICs konnte durch Publikation [3] des im Projekt gefertigten ersten Demonstrators bereits Erfolge bei der Rauschminimierung demonstrieren, so dass ihre Position in diesem Segment gestärkt wurde. Unter Anwendung unserer Methodik wird es möglich sein bessere Ergebnisse als die Konkurrenz zu erzielen, so dass die weitere Marktdurchdringung dieses KMU möglich ist.

Letztlich sind jedoch noch weitere Designbeispiele notwendig, um die vollständigen Einsatzmöglichkeiten und die Effektivität der Technologie aufzeigen. Dazu ist der Einsatz dieser Technologie in weiteren Projekten vorgesehen. Im Projekt GASEBO ist die Anwendung des Verfahrens bereits fest eingeplant. Darüber hinaus soll das Verfahren im Rahmen unserer Design Services angeboten werden. Entsprechend wird es sowohl in IHP internen Projekten als auch in Projekten mit externen Partnern zum Einsatz kommen.

### **9.2 CAD-Werkzeuge zur Abschätzung des Rauschverhaltens und Realisierung des Design-Preconditioning**

Ein wichtiges Ergebnis des Projekts ist das entwickelte Softwarewerkzeug EMIAS zur Minimierung des Rauschverhaltens digitaler Schaltungen. Die Software ist in Java geschrieben, so dass sie auf vielen Betriebssystemen ausgeführt werden kann.

Das CAD-Werkzeug stellt dabei potentiell ein eigenes Produkt dar, das ggf. über eine Ausgründung des IHPs oder eine dritte Firma unabhängig vermarktet werden könnte. Die Erfolgchancen dafür sind gut, da es im Moment kein vergleichbares Werkzeug auf dem Markt gibt. Allerdings ist es wichtig anzumerken, dass das Werkzeug lediglich in der Laufzeit des Projektes entwickelt wurde und noch fern von der Marktreife ist. Für eine Markteinführung müssten weitere Programmierer eingestellt und etliche Software-Tests zur Qualitätssicherung durchgeführt werden. Eine zuvor erwähnte Integration der Software in das vom Projektpartner entwickelte Werkzeug FloorDirector ist aufgrund

der unterschiedlichen Programmiersprachen nicht möglich. Allerdings wurden Schnittstellen definiert, so dass beide Werkzeuge miteinander interagieren können. Auch nach Ablauf des Projekts soll weiterhin nach Interessenten gesucht und die Möglichkeiten geprüft werden, ob ein Start-up-Unternehmen gegründet werden kann. Dabei käme dem Start-Up die langjährige Erfahrung des IHPs mit mehreren erfolgreichen Ausgründungen (Lesswire, Siliconradar, usw.) zu gute.

Genau wie das Verfahren zum Design-Preconditioning wird das Werkzeug als Teil unserer Design Services IHP-intern und auch bei Projekten von Forschungspartnern zur Anwendung kommen. So läuft bereits jetzt das DFG-Forschungsprojekt GASEBO (Ref.-nr. KR 3576/18-1) an der Brandenburgischen Technischen Universität Cottbus-Senftenberg bei dem der Einsatz des Werkzeugs fest eingeplant ist. Darüber hinaus sind weitere Aktivitäten in Zusammenarbeit mit der Universität Stettin in Aussicht. Dabei soll das Werkzeug um zusätzliche Funktionen erweitert werden.

### **9.3 Low-Noise ASIC Anwendungen**

Im Rahmen des Projekts wurden zwei Demonstratoren gefertigt, die zur Evaluation der entwickelten Maßnahmen dienen. Die Demonstratoren beinhalten dabei verschiedene Instanzen von einem Sensornetzknotten ohne bzw. mit unterschiedlichen Optimierungsmethoden. Die Demonstratordesigns als solche sind damit nicht kommerziell verwertbar, da sie lediglich experimentelle Designs zur Evaluation der Methoden darstellen. Jedoch lassen sich die einzelnen Instanzen durchaus verwerten, sowohl wirtschaftlich als auch wissenschaftlich z.B. in Folgeprojekten (GASEBO) des IHP und dessen Kooperationspartner. So kann z.B. ein Sensorknoten, der Kryptoprozessoren beinhaltet, schwerer ausgespäht werden, wenn er optimierte Rauscheigenschaften besitzt. Ein solcher Sensorknoten kann damit als besonders sicher vermarktet werden.

## **10 Weiterführung des Stands der Technik anderer Stellen**

Es sind keine Ergebnisse von dritter Seite bekannt geworden, die für die Durchführung und Erreichung der Ziele des Vorhabens von Relevanz sind.

## **11 Veröffentlichungen**

Im Rahmen des Projektes konnten bereits drei Arbeiten veröffentlicht werden.

- [2] thematisiert das vom IHP entwickelte Verfahren zur Reduzierung des Schaltrauschens thematisieren. Als wesentliche Neuerung steht die Tatsache im Fokus, dass die Optimierung bereits in der Konzeptionierungsphase des Schaltungsentwurfs ansetzt. Ein entscheidender Beitrag dieser Arbeit ist die Partitionierungsmethode. Anschließend werden die einzelnen Maßnahmen auf RTL-Ebene dargestellt, die zur Minderung des Schaltrauschens angewandt werden können. Neben dem Entwurfsprozess als solchen wird voraussichtlich auch dessen Anwendung an einem Beispieldesign erläutert.
- In [3] wurde die Optimierung des Schaltrauschens am Beispiel des 28nm Demonstratordesigns vorgestellt. Die Veröffentlichung zeigt die einzelnen Schritte des Designflows und Simulationsergebnisse.
- In [4] werden der Demonstratorchip und die Ergebnisse der Schaltrauschoptimierung vorgestellt. Dazu werden die angewandten Verfahren zur Verteilung der Schaltaktivität und deren Auswirkungen auf das Schaltrauschen in der Frequenzdomäne dargestellt. Ziel der Verbreitung der Ergebnisse ist die Anwendbarkeit und das Optimierungsmöglichkeiten, die durch die entwickelten Methoden bereitgestellt werden, aufzuzeigen.

Entsprechend der im Projekt erzielten Ergebnisse weitere Publikationen geplant. Die finalen Titel der Veröffentlichungen können von den hier angegebenen abweichen.

- *Methodik zur Abschätzung des Signalrauschens*: In dieser Publikation soll die entwickelte Methodik zum Abschätzen der Signaturen des Schaltrauschens digitaler Schaltungen vorgestellt werden. Entsprechend stellt die Publikation die wesentlichen Ergebnisse des AP1 dar. Die Publikation wird getrieben vom IHP voraussichtlich in Zusammenarbeit mit Teklatech entstehen.
- *EMIAS: Ein CAD-Werkzeug zum Design-Preconditioning*: Diese als Whitepaper geplante Publikation soll das vom IHP entwickelte Software-Werkzeug einem breiten Publikum bekanntmachen. Entsprechend werden die bereitgestellten Funktionen, benötigte Daten und Ausgaben des Tools, sowie der vorgesehene Workflow erläutert. Demnach soll dargestellt werden, wie das Werkzeug durch die praktische Umsetzung des Design-Preconditioning-Prozesses in der Konzeptionierungsphase zur Reduzierung des Schaltrauschens einer Schaltung eingesetzt werden kann. Auch hier soll der Nutzen des Werkzeugs durch Anwendung des Werkzeugs an einer Beispielschaltung aufgezeigt werden.

## 12 Literatur

[1] R. Hyman, N. Ranganathan, T. Bingel, and D. Tran Vo, “A Clock Control Strategy for Peak Power and RMS Current Reduction Using Path Clustering,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 21, no. 2, pp. 259–269, 2013. [Online]. Available: <http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=6166350>

[2] S. Zeidler, X. Fan, O. Schrape, and M. Krstic, “A Design Preconditioning Flow for Low-Noise Circuits,” in *Proc. of the 18th IEEE Symposium on Design and Diagnostics of Electronic Circuits and Systems (DDECS)*, Apr. 2015.

[3] H. Eisenreich, S. Scholze, S. Dietel, J. Uhlig, T. Bjerregaard, I. Jensen, M. Krstic, and K. Tittelbach-Helmrich, “Power Integrity Optimization: Design Trade-Offs in a 28nm Test Chip,” in *Design Automation Conference (DAC'14), Designer Track*, 2014.

[4] X. Fan, O. Schrape, S. Zeidler, M. Krstic, M. B. Stegmann, I. G. Jensen, J. Thorsen, and T. Bjerregaard, “SCREAMER – A Demonstrator Chip for Spectral Noise Optimization By Clock Latency Scheduling,” in *Proc. of the 28th IEEE International System-on-Chip Conference (SOCC'15)*, 2015.

## Berichtsblatt

1. ISBN oder ISSN	2. Berichtsart Schlussbericht	
3. Titel  Abschlussbericht des Projekts „Framework zur Analyse und Optimierung des Rauschverhaltens Integrierter Schaltungen“ (IC-NAO), Teilvorhaben „Designconstraining für rauschoptimierte Schaltungen mit Chip-Verifizierung“		
4. Autoren  Zeidler, Steffen Krstić, Miloš Fan, Xin	5. Abschlussdatum des Vorhabens Oktober 2014	
	6. Veröffentlichungsdatum April 2015	
	7. Form der Publikation Abschlussbericht	
8. Durchführende Institutionen  IHP GmbH Im Technologiepark 25 15236 Frankfurt Oder	9. Ber. Nr. Durchführende Institution 12638	
	10. Förderkennzeichen 01QE1218B	
	11. Seitenzahlen 50	
12. Fördernde Institution  Bundesministerium für Bildung und Forschung (BMBF) 53170 Bonn	13. Literaturangaben 4	
	14. Tabellen 7	
	15. Abbildungen 20	
16. Zusätzliche Angaben		
17. Vorgelegt bei		
18. Kurzfassung  Das simultane Schalten digitaler Logik in komplexen Mikrochips führt zum s.g. Schaltrauschen, das mit steigender Komplexität der Schaltungen vermehrt zu Problemen mit der Spannungsversorgung bzw. zu Störungen von analogen Komponenten. Zwar gibt es bereits Lösungen (z.B. das Einführung von Jitter bzw. Phasenverschiebungen), jedoch setzen entsprechende Verfahren im Layout-Prozess der Schaltung an, wo die Möglichkeiten zur Reduktion des Schaltrauschens limitiert sind.  Ziel des Projekts war es Methoden und Werkzeugen zur Optimierung des Schaltrauschens, wobei bereits während der Konzeptionierung durch Anpassungen der Schaltungsstruktur (Taktinvertierung, Einführen von zusätzlichen Pipelinestufen) der Optimierung des Schaltrauschens Rechnung getragen wird, ohne dass erneute aufwendige Designiterationen notwendig sind.  Neben der Entwicklung der Verfahren stand auch deren Integration in ein Software-Werkzeug im Fokus des Projekts. Entsprechend wurde eine CAD-Anwendung entwickelt, die Funktionen zur Realisierung des Optimierungsverfahrens bereitstellt.  Der Bericht stellt den Verlauf des Projektes und die Ergebnisse des Projekts dar.		
19. Schlagwörter Schaltrauschen, Schaltungsoptimierung, Entwurfsprozess, Design-Preconditioning, CAD-Werkzeug		
20. Verlag	21. Preis	

## Document Control Sheet

1. ISBN or ISSN	2. Type of document Final report	
3. Title  Final report of the project "Integrated Circuit Noise Analysis and Optimization Framework (IC-NAO)", "Design Constraining for Noise optimal Circuits with Chip Verification"		
4. Authors  Zeidler, Steffen Krstić, Miloš Fan, Xin	5. End of project October 2014	
	6. Publication date April 2015	
	7. Form of publication Abschlussbericht	
8. Performing organization  IHP GmbH Im Technologiepark 25 15236 Frankfurt Oder	9. Originator's report no. 12638	
	10. Reference no. 01QE1218B	
	11. No. of pages 50	
12. Sponsoring agency  Bundesministerium für Bildung und Forschung (BMBF) 53170 Bonn	13. No. of references 3	
	14. No. of tables 7	
	15. No. of figures 20	
16. Supplementary notes		
17. Presented at		
18. Abstract  In complex microchips, the simultaneous switching of digital logic causes variation of the voltage on power supply networks as well as on the substrate, which results in the so called switching noise. Due to the rising circuit complexity, this noise leads to problems with the supply voltage and can influence analog components. Indeed, a couple of solutions address this issue (e.g., introduction of jitter or phase shifting). However, these methods are applied in the layout process, where the possibilities of reducing the switching noise are relatively limited.  The goal of the project was the investigation of methods and tools for switching noise optimization at an early stage of circuit development. This allows adoptions of the structure of the design (e.g., clock inversion, adding pipeline stages) enabling optimal noise attenuation without going through further exhaustive design iterations.  Besides the development of the methods, their integration into a software tool has been focused within the project. Accordingly, a CAD tool has been developed which provides functions realizing the optimization techniques.  The report describes the project progression from the technical and administrative point of view as well as the project results and achievements.		
19. Keywords switching noise, design enhancement, design flow, design preconditioning, CAD-tool		
20. Publisher	21. Price	