



eProcessor: Schlussbericht
Teil I und Teil II

Förderprojekt eProcessor, Förderkennzeichen: 16HPC021

© EXTOLL GmbH

30.09.2025

Sitz der Gesellschaft:

Rheinvorlandstr. 5; 7. Stock
68159 Mannheim, Germany

Tel.: +49 621 / 124765-00

Mail: info@www.extoll.com

WWW: www.extoll.com

HRB 711590 (Mannheim)

Gefördert durch:



aufgrund eines Beschlusses
des Deutschen Bundestages

Das diesem Bericht zugrundeliegende Vorhaben wurde mit Mitteln des Bundesministeriums für Bildung und Forschung unter dem Förderkennzeichen 16HPC021 gefördert. Die Verantwortung für den Inhalt dieses Dokuments liegt beim Autor.

Inhalt

GRUNDDATEN DES VORHABENS	4
1 AUFGABENSTELLUNG	5
2 PLANUNG UND ABLAUF DES VORHABENS	5
3 WESENTLICHE ERGEBNISSE	6
4 ZUSAMMENARBEIT IM KONSORTIUM	6
5 INHALTLICHE BESCHREIBUNG DER ARBEITEN	7
5.1 WP1: PROJEKTMANAGEMENT (0 PM)	7
5.2 WP 2: DISSEMINATION AND EXPLOITATION (2PM)	7
5.3 WP 3: SOFTWARE APPLICATIONS USE CASES, SPECIFICATIONS AND EVALUATION (1PM)	7
5.3.1 Task 3.2	7
5.4 WP 5: ARCHITECTURE, RTL DESIGN AND VERIFICATION (4PM).....	8
5.4.1 Task 5.4	8
5.5 WP 6: SYSTEM SIMULATION AND FPGA EMULATION (3PM)	8
5.5.1 Task 6.2	8
5.6 WP 7: CHIP FABRICATION, PCB DEVELOPMENT AND VALIDATION (26PM)	8
5.6.1 Task 7.1 & 7.2	8
5.6.2 Task 7.4	9
6 WICHTIGSTE POSITIONEN DES ZAHLENMÄßIGEN NACHWEISES	10
7 NOTWENDIGKEIT UND ANGEMESSENHEIT DER GELEISTETEN ARBEIT	10
8 VORAUSSICHTLICHER NUTZEN	11
9 WÄHREND DER DURCHFÜHRUNG DES VORHABENS BEKANNT GEWORDENER FORTSCHRITT	11

Grunddaten des Vorhabens

Zuwendungsempfänger	EXTOLL GmbH, Rheinvorlandstr. 5, 68159 Mannheim
Förderkennzeichen	16HPC021
Vorhabenbezeichnung	Skalierbarer, heterogener RISC-V Multikerne-Prozessor für das zukünftige Supercomputing
Laufzeit des Vorhabens	01.04.2021 – 31.03.2025
Berichtszeitraum	01.04.2021 – 31.03.2025

Teil I: Kurzdarstellung

1 Aufgabenstellung

Das Projekt eProcessor zielte darauf ab, ein vollständig quelloffenes europäisches CPU-Ökosystem auf Basis der RISC-V-Architektur zu entwickeln. Es kombiniert einen energieeffizienten, superskalaren Out-of-Order-Prozessorkern mit spezialisierten Beschleunigern für High Performance Computing (HPC) und High Performance Data Analytics (HPDA), einschließlich Artificial Intelligence (AI), Machine Learning (ML), Deep Learning (DL) und Bioinformatics. Die deutschen Partner übernahmen dabei zentrale Aufgaben: EXTOLL GmbH entwickelte eine latenzarme, kohärente Off-Chip-Kommunikationsinfrastruktur (Transceiver-IP) zur effizienten Kopplung mehrerer eProcessor-Chips, während die Universität Bielefeld und christmann informationstechnik + medien GmbH & Co. KG den eProcessor in die modulare RECS®|Box-Serverplattform integrierten und einen Smartmirror-Demonstrator zur Evaluierung von Performance und Energieeffizienz umsetzten. Damit wurde eine bislang in Europa fehlende leistungsfähige RISC-V-CPU-Infrastruktur geschaffen, aufbauend auf IP und Erfahrungen aus europäischen Vorläuferprojekten wie European Processor Initiative (EPI), LEGaTO, MareNostrum Experimental Exascale Platform (MEEP) und ExaNeSt.

Das Teilvorhaben von EXTOLL hatte als Hauptziel die Entwicklung der latenzarmen Kommunikationsinfrastruktur zur Verbindung mehrerer Prozessoren (C2C Controller) sowie die Unterstützung der anderen Partner bei der Integration des C2C Controllers in das System sowie die als Background IP zur Verfügung gestellte SerDes IP für den 22nm FDX Chip Prozess von GlobalFoundries.

2 Planung und Ablauf des Vorhabens

Das Projekt eProcessor war in sieben Arbeitspakete (APs) gegliedert, die den gesamten Entwicklungszyklus vom Konzept bis zum Demonstrator abdeckten:

- AP1 – Projektmanagement: Koordination, Ressourcen- und Finanzverwaltung, Berichtswesen.
- AP2 – Dissemination und Verwertung: Öffentlichkeitsarbeit, Publikationen, Zusammenarbeit mit anderen Projekten, Standardisierung.
- AP3 – Spezifikation und Anwendungsszenarien: Auswahl, Analyse und Definition von Anforderungen und Metriken für Zielanwendungen.
- AP4 – Werkzeugkette und Betriebssystem: Entwicklung von Firmware, Treibern, Laufzeitumgebungen und Monitoring-Tools.
- AP5 – Hardwareentwurf und Verifikation: Architektur- und RTL-Design, Testbenches, formale Verifikation und Qualitätssicherung.
- AP6 – Simulation und FPGA-Emulation: Aufbau einer FPGA-Emulationsplattform und begleitende Simulation zur Validierung.
- AP7 – Chipfertigung, PCB-Entwicklung und Validierung: Integration der IP-Cores in ASICs, Entwicklung von COM-Leiterplatten, Inbetriebnahme und Test.

Beitrag des Partners EXTOLL GmbH: Entwicklungsarbeiten an der Kommunikationsinfrastruktur, Unterstützung bei der Integration desselben wie auch des als background-IP von Partner EXTOLL zur Verfügung gestellten SerDes IP. Insofern waren die Aktivitäten in den AP 3, AP 5, AP 6 und AP 7 angesiedelt.

3 Wesentliche Ergebnisse

Im Teilvorhaben der EXTOLL GmbH wurde insbesondere eine passende C2C Controller Version (Kommunikationsinfrastruktur) IP (Schaltung) entwickelt und verifiziert. Weiterhin wurden die übrigen Partner bei der Integration dieser Schaltung in das Gesamtdesign unterstützt. Ein weiteres Ergebnis war die erfolgreiche Integration der von der EXTOLL GmbH als Background IP zur Verfügung gestellten SerDes IP, die als Physical Layer für die Kommunikation im Gesamtprojekt verwendet wurde. Hiermit konnten alle definierten Ziele des Teilvorhabens von EXTOLL erreicht werden. Für die übrigen Ergebnisse des Projektes bzw. der Teilvorhaben der übrigen deutschen Partner sei hier auf die entsprechenden Dokumente und Berichte der jeweiligen Partner bzw. des Gesamtprojektes verwiesen.

4 Zusammenarbeit im Konsortium

EXTOLL hat im Laufe des Projektes mit allen Partnern zusammengearbeitet, z.B. bei der Integration der eigenen IP sowie der Unterstützung bei der Implementierung, Verifikation und der Inbetriebnahme des Gesamtsystems. Speziell bei den deutschen Partnern wurde mit Partner Universität Bielefeld zusammengearbeitet.

Teil II: Eingehende Darstellung

Die EXTOLL GmbH war im eProcessor Projekt vor allem verantwortlich für die Implementierung der benötigten Inter-Prozessor Kommunikationsinfrastruktur (C2C Controller), sowie der Unterstützung der übrigen Partner bei der Integration, Verifikation und der Inbetriebnahme der übrigen Partner. Hierbei ist insbesondere auch die Integration der hochkomplexen SerDes IP zu erwähnen, die die EXTOLL GmbH für das Projekt als Background IP zur Verfügung gestellt hat.

5 Inhaltliche Beschreibung der Arbeiten

Im Folgenden werden die im Projekt von Partner EXTOLL durchgeführten Arbeiten und Ergebnisse zusammengefasst. Für weitergehende Informationen wird hier auch auf die entsprechenden Berichte des EU Projektes hingewiesen, die die verschiedenen Aspekte, auch im Ganzen, detailliert darstellen.

Partner EXTOLL war in den AP 3, AP 5, AP 6 und AP 7 involviert. Die Arbeiten von EXTOLL konnten dabei planmäßig abgeschlossen werden, respektive dann abgeschlossen werden, nachdem entsprechende Voraussetzungen im Gesamtprojekt gegeben waren.

5.1 WP1: Projektmanagement (0 PM)

Das reguläre Projektreporting wurde im Rahmen von Arbeitspaket 1 durchgeführt. Neben den regelmäßigen Projekttreffen (General Assembly) wurde das zweite eProcessor Projekt Review Ende Mai 2024 erfolgreich abgeschlossen. Im Übrigen waren für den Partner EXTOLL hier keine PMs geplant.

5.2 WP 2: Dissemination and Exploitation (2PM)

Im Rahmen von Arbeitspaket 2 wurde das eProcessor Projekt insgesamt sowie die deutsche Beteiligung auf internationalen Fachkonferenzen wie der embedded world 2022 und der HiPEAC 2022 vorgestellt.

5.3 WP 3: Software Applications Use Cases, Specifications and Evaluation (1PM)

5.3.1 Task 3.2

Im Rahmen von Arbeitspaket 3 wurde die Spezifikation von Applikation, Software, Hardware und Systemarchitektur durchgeführt. Sie bildet die Grundlage für die weitere Arbeit im Projekt. Das resultierende Deliverable D3.1 (Use cases definition, requirements, and specifications reports) umfasst die Ergebnisse aller technischen Arbeitspakete.

Partner EXTOLL war insbesondere an der Spezifikation der Hardware für den CHI C2C Link beteiligt (Coherent Hub Interface Chip to Chip link). WP3 wurde seitens EXTOLL planmäßig abgeschlossen.

5.4 WP 5: Architecture, RTL Design and Verification (4PM)

5.4.1 Task 5.4

In Task 5.4 wurden Arbeiten für den C2C Link durchgeführt. EXTOLLs C2C link, der in der ursprünglichen Version im Projekt EPI SGA-1 entwickelt worden ist, wurde dabei von 8 seriellen Lanes auf 4 serielle Lanes sowie auf den XILINX Zynq-FPGA portiert. Damit steht der C2C link im Projekt in folgenden Varianten zur Verfügung (alle 4 Lane Varianten sind neu, sowie die Variante für den XILINX Zynq-FPGA):

- ASIC GF22FDX mit EXTOLL SerDes mit 4 und 8 Lanes
- XILINX UltraScale+ FPGAs mit 4 und 8 Lanes
- XILINX Zynq-FPGA mit 4 und 8 Lanes

Der C2C Link wurde mit einer random-constrained UVM basierten Testbench verifiziert. Diese Testbench ist so aufgebaut, dass sie alle verfügbaren Varianten verifizieren kann. Insbesondere werden Initialisierung, Flusskontrolle und der Paketversand getestet. Die Arbeiten konnten planmäßig abgeschlossen werden.

Die Integration in den Chip zum Tapeout wurde abgeschlossen. Dabei wurde der C2C link in das Gesamtsystem eingebaut und die Partner bei der Verifikation des Systems unterstützt.

Es wurde damit die Verifikation des C2C Links und die Integration des Links in das Gesamtdesign abgeschlossen und für Partner EXTOLL damit auch alle Arbeiten in WP5.

5.5 WP 6: System Simulation and FPGA Emulation (3PM)

5.5.1 Task 6.2

In enger Verbindung zu Task 5.4 wurde der C2C Link auf die FPGA Emulations-Plattform des Projektes portiert (Xilinx Zynq, siehe auch oben).

Die Integration wurde durchgeführt inklusive der Integration des C2C Links in die Emulations-Plattform. Die Arbeiten in WP6 wurden komplett abgeschlossen.

5.6 WP 7: Chip Fabrication, PCB development and Validation (26PM)

In WP7 hat EXTOLL bereits an der Abstimmung über das Chip Package beigetragen. Hierbei sind die Voraussetzungen für den High-Speed seriellen Link ein wichtiger Punkt, der durch den SerDes PHY von EXTOLL bestimmt wird.

5.6.1 Task 7.1 & 7.2

Die Partner wurden beim Design des Boards und des Packages beraten und unterstützt. Hierbei wurden insbesondere auch die Simulationsmodelle und Backendmodelle für den SerDes zur Verfügung gestellt. Der C2C link mit 4 Lanes wurde in das Chip top-level design integriert. Die Arbeiten wurden abgeschlossen. Der Multi-Core Tape-out im Gesamtprojekt wurde in einen „virtuellen“ Tape-out umgewandelt.

5.6.2 Task 7.4

Partner EXOTLL hat keine geplanten PMs in Task 7.4, dennoch wurden die Partner bei der Inbetriebnahme im Berichtszeitraum beraten und die Inbetriebnahme des Systems konnte erfolgreich vom Partner Uni Bielefeld abgeschlossen werden.

Die Arbeitsbeiträge zu WP7 sind für EXTOLL damit vollständig erbracht.

Übergreifende Arbeiten

Neben den technischen Tasks war Partner EXTOLL zudem an der allgemeinen Mitgestaltung sowie an bereichsübergreifenden Entwicklungen im eProcessor Projekt beteiligt. Dies umfasste zum Beispiel die Teilnahme an Projekttreffen und die Beteiligung an Vorbereitung und Durchführung der Projektreviews.

Zusammenfassung der Ergebnisse von EXTOLL

Das Hauptziel von EXTOLL im eProcessor-Projekt war die Kommunikationsinfrastruktur zur Inter-Prozessor Kommunikation zu entwickeln bzw. zur Verfügung zu stellen sowie die Integration und Inbetriebnahme derselben sicherzustellen. Diese Ziele konnten alle erreicht werden. Im Ergebnis ermöglicht dies Partner EXTOLL, die C2C Kommunikationsinfrastruktur wie sie in eProcessor verwendet wurde in das eigene IP Portfolio zur kommerziellen Lizenzierung zu integrieren. Gerade in Kombination mit der SerDes PHY IP ergeben sich dadurch interessante Anwendungsmöglichkeiten für Kunden der EXTOLL GmbH.

6 Wichtigste Positionen des zahlenmäßigen Nachweises

Die Tabelle fasst die wichtigsten Positionen zu den Projektkosten zusammen. Die anvisierten Kosten konnten laut Plan eingehalten werden.

	2021	2022	2023	2024	2025	Summe
Personalkosten						
gesamt	86.384,64 €	161.327,52 €	86.440,32 €	16.983,68 €	56.543,14 €	407.679,30 €
gefördert	13.044,08 €	24.360,46 €	13.052,49 €	2.564,54 €	8.538,01 €	61.559,58 €
Eigenanteil	73.340,56 €	136.967,06 €	73.387,83 €	14.419,14 €	48.005,13 €	346.119,72 €
Externe Leistungen						
gesamt			725,84 €	3.060,38 €	1.077,72 €	4.863,94 €
gefördert			109,60 €	462,12 €	162,74 €	734,46 €
Eigenanteil	- €	- €	616,24 €	2.598,26 €	914,98 €	4.129,48 €
Projektkosten gesamt						
gesamt	86.384,64 €	161.327,52 €	87.166,16 €	20.044,06 €	57.620,86 €	412.543,24 €
gefördert	13.044,08 €	24.360,46 €	13.162,09 €	3.026,66 €	8.700,75 €	62.294,04 €
Eigenanteil	73.340,56 €	136.967,06 €	74.004,07 €	17.017,40 €	48.920,11 €	350.249,20 €
Quote (ohne Abschlusszahlung)						15,1%

7 Notwendigkeit und Angemessenheit der geleisteten Arbeit

Alle geleisteten Projektarbeiten von EXTOLL waren notwendig und wurden wie im Arbeitsplan festgelegt durchgeführt. Wie im Antrag versprochen, konnten alle Ergebnisse erreicht werden. Durch die Förderung war so eine zielgerichtete und schnelle Entwicklung eines IP-Blocks möglich, der sowohl in Bezug auf Förderprojekte als auch insbesondere unter Aspekten der Vermarktung, wichtige Möglichkeiten bietet. Als KMU, werden es die Ergebnisse aller Voraussicht nach EXTOLL ermöglichen weitere, Anteile im IP-Markt zu erschließen. Die Entwicklung auch von Hochleistungs-IP in Europa und Deutschland ist zudem insbesondere sehr wichtig für die strategische Unabhängigkeit Europas.

8 Voraussichtlicher Nutzen

Die Ergebnisse wurden dem Produktportfolio der EXTOLL GmbH hinzugefügt und werden aktiv kommerziell angeboten. Gleichzeitig bilden die entstandenen Ergebnisse, als Ganzes und in Teilen, eine wertvolle Basis für weitere zukünftige Produkte der EXTOLL GmbH.

9 Während der Durchführung des Vorhabens bekannt gewordener Fortschritt

Während der Durchführung des Projektes wurden keine wesentlichen Fortschritte beim Stand der Technik bekannt, die einen Einfluss auf die Durchführung des Projektes oder die geplante Verwertung hat. Mit fortschreitender Zeit steigert sich die benötigte Bandbreite im Inter-Prozessorbereich kontinuierlich, was aber mit der vorgeschlagenen RTL Implementierung bereits vorausschauend abgedeckt ist. Eine Anpassung an zukünftige Physical Layer ist hierbei explizit im Design vorgesehen.