



# VE-VIDES

BMBF-Verbundprojekt: VE-VIDES

Förderkennzeichen: 16ME0254

Projektlaufzeit: 01.03.2021 bis 28.02.2025

Titel

## Sachbericht zum Ende des Projekt – Teil I

Art des Deliverables: Bericht

Fälligkeit: 31.08.2025

Erstelldatum: 31.07.2025

Autoren: Melanie Wilhelm, XGS

Beteiligte Zuwendungs-  
empfänger: X-FAB Global Services GmbH (XGS)

Ansprechpartner: Melanie Wilhelm, XGS

## I.1 Kurzbericht

### I.1.1 Motivation, Zielsetzung und Ausgangslage

Die steigenden Komplexitäten von Automobilsystemen, Unternehmens- und Produktionsnetzwerken und ihre starke Vernetzung versprechen mehr Funktionalität und Komfort, weniger Gefahren, reduzierten Energieverbrauch und geringere Betriebskosten.

Der Entwurf von mikroelektronischen Systemen geht von einem Prozess-Design-Kit (PDK) aus, welches von einem Technologieanbieter wie z.B. XGS zur Verfügung gestellt wird. Dabei wird der Halbleiterherstellungsprozess für die EDA-Entwurfswerkzeuge modelliert, die für den Entwurf einer integrierten Schaltung verwendet werden. PDKs enthalten somit definierte technologiespezifische Basiselemente für den Entwurf integrierter Schaltungen sowie Schnittstellen für EDA-Tools. Aufgrund der hohen Komplexität von PDKs werden diese nur selten einer durchgehenden Integritäts- und Funktionalprüfung unterzogen – die Vertrauenswürdigkeit eines Systems kann so nicht geprüft werden.

Neben der PDK-Umgebung entwickelt XGS verschiedene Design-IP, von Basis-IP wie digitalen Standardzellen über I/O-Zellen mit ESD-Schutz bis hin zu komplexen Speichern. Diese Komplex-IP werden dem Kunden als Black-Box Modelle zur Verfügung gestellt, die zwar IP-Schutz gewährleisten, aber nicht-funktionale Eigenschaften nur unzureichend abbilden.

Das XGS VE-VIDES Teilvorhaben verbessert Entwicklungsverfahren für vertrauenswürdige Intellektuell Property (IP) und deren Integration entlang der Wertschöpfungsketten. Dazu wird ein neuartiger IP-Design- und -Verifikationsflow entwickelt, mit dem die Vertrauenswürdigkeit insbesondere in sicherheitskritischen Elektroniksystemen gewährleistet wird. Ziel des Teilvorhabens war deshalb die Bereitstellung vertrauenswürdiger Grey-Box-IP, welche Nachvollziehbarkeit und Reproduzierbarkeit von Designabläufen auf Anwenderseite sowie Prüfbarkeit des Entwurfsablaufs und Verifikation im Gesamtsystem gemäß IP-Spezifikation ermöglichen, bei gleichzeitigem Schutz des geistigen Eigentums des IP-Providers.

Des Weiteren soll auch das PDK als kritischer Layer betrachtet und ein neuartiger PDK-Verifikationsflow entwickelt werden, mit dem dessen Vertrauenswürdigkeit gewährleistet wird.

Die im Teilvorhaben zu entwickelnden IP-Modelle und PDK-Verifikationsmethoden sollen eine solide Grundlage zukünftiger Designprozeduren für die Entwicklung vertrauenswürdiger Elektronik schaffen.

### I.1.2 Ablauf des Vorhabens, wesentliche Ergebnisse und Kooperationen

XGS als Halbleiterhersteller fokussiert sich im Vorhaben auf die Bereitstellung vertrauenswürdiger PDKs und Design-IP als die zentralen Bausteine für ein erfolgreiches Chipdesign und technologisches Fundament für den Aufbau komplexer Elektroniksysteme. Dabei wurden folgende Anforderungen zur Sicherstellung der Vertrauenswürdigkeit dieser Komponenten definiert und umgesetzt:

- PDK
  - Funktionalchecks der Basisbauelemente welche die Instanziierung als Layout und Schematic, physikalische Verifikation, Generierung von Netzlisten und parasitäre Extraktion beinhalten
  - Integritätschecks auf Vollständigkeit und Richtigkeit der im PDK verwendeten Basisbauelemente gegen die Spezifikationsdatenbank
  - Nutzung von Komplex-IPs/ Referenzdesigns (digital, analog, mixed-signal) zur PDK-Verifikation und Tool Qualifizierung
  - Standardisierte Package-Release-Dokumentation

- Design-IP Modelle
  - Erweiterung der vorhandenen Funktionalmodelle um analoge Charakteristika wie Stromverbrauch, Anlaufverhalten oder Lastabhängigkeit
  - Verbesserter Ansatz zur NVM (Non Volatile Memory) Liberty File Generierung als Modell für die digitale Simulation – Erweiterung der existenten worst-case Modelle, modularer Workflow zur Generierung von Liberty Daten zur Bestimmung von Power und Timing unter verschiedenen Betriebsbedingungen (Charakterisierung)

Die folgende Abbildung stellt die Arbeitsaufgaben in den verschiedenen Arbeitspaketen sowie die Kooperationen dar:

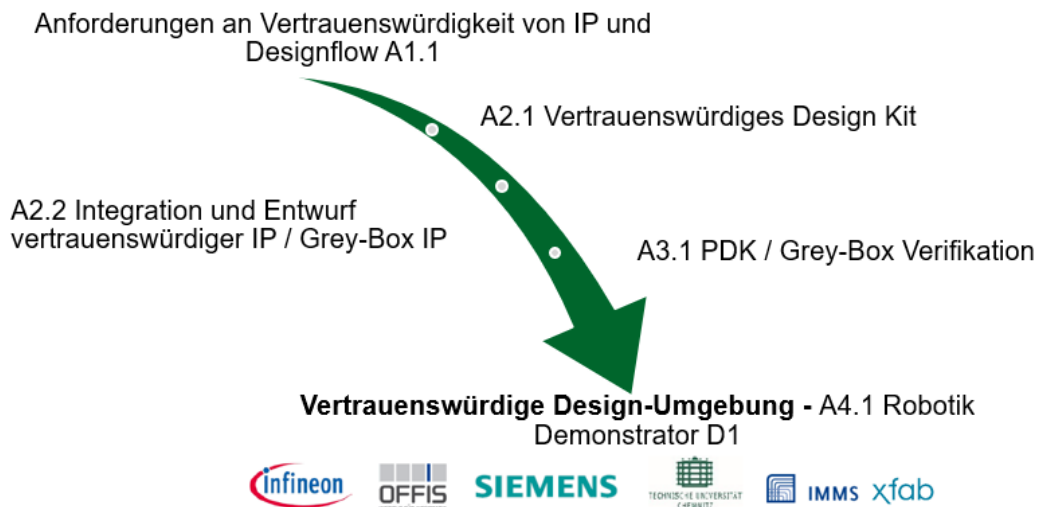


Abbildung 1: Arbeitsaufgaben und Kooperationspartner

Die XGS VE-VIDES Beiträge werden über den Horizont des Projektes hinaus den Entwurf von Halbleiterschaltungen durch die Umsetzung der im Projekt entwickelten PDK-Verifikationsmethode sowie die Bereitstellung von Grey-Box-IP vertrauenswürdiger machen. Damit kommt langfristig folgenden **Kerninnovationen** eine besondere Bedeutung zu:

- Langfristig müssen alle Elektronik-Systeme vertrauenswürdig sein. Beginnend mit dem PDK als unterstem kritischen Layer in der Entwurfsmatrix von Elektronikkomponenten und den Grey-Box-IP, wird eine robuste *technologische Basisarchitektur* für den Entwurf vertrauenswürdiger Halbleiter bereitgestellt.
- Die Konzepte und Maßnahmen zur Absicherung der Vertrauenswürdigkeit von PDK und Design-IP sollen dafür sorgen, dass diese unter verschiedensten Anwendungsszenarien einfach *test- und erweiterbar* sind. Damit wird es möglich, ein System effizient unter neuen Rahmenbedingungen zu validieren und damit potenzielle Schwächen zu erkennen.
- Parallel zu den rein technischen Entwicklungen geht mit den Maßnahmen für die Bereitstellung vertrauenswürdiger PDKs und Design-IPs auch eine *Standardisierung* dieser Strukturen einher, was wiederum Voraussetzung für den Entwurf vertrauenswürdiger SoCs ist.