

Schlussbericht

POL-Converter

Fördergeber **Bundesministerium für Wirtschaft und Energie**

Projektträger **Deutsches Zentrum für Luft- und Raumfahrt**
Raumfahrt-Agentur
Projektadministration und Controlling
Förderadministration Nationale Raumfahrt
Königswinterer Str. 522-524
53227 Bonn

Projektpartner

advlCo GmbH



IHP GmbH



Verbundvorhaben **POL-Converter**

Teilvorhaben **POLCo-IHP**

Zuwendungsempfänger

IHP-GmbH
Im Technologiepark 25
15236 Frankfurt (Oder)

Ansprechpartner

Dipl.-Ing. Stefan Scholz
E-Mail: scholzst@ihp-microelectronics.com
Telefon: 0335 5625 379

Förderkennzeichen 50 YB 1007

Projektlaufzeit 15.05.2010 bis 30.04.2015

1 Aufgabenstellung und Ablauf des Vorhabens

1.1 Aufgabenstellung

Das Hauptziel des Vorhabens ist die Untersuchung grundlegender Fragen zur Strahlenfestigkeit integrierter POL-Konverterschaltungen. Dazu soll im advICo-Teilprojekt eine integrierte Schaltung eines kaskadierbaren, strahlenharten POL-Konverters mit hohem Ausgangsspannungsbereich für Anwendungen im erdnahen Weltraum (LEO) entworfen werden. Im IHP-Teilprojekt sind entsprechende Entwurfsmethoden zu formulieren, wobei strahlenharte Bauelemente zu erforschen sind und der Designflow für strahlenharte ICs entsprechend weiterzuentwickeln ist.

Das langfristige Ziel ist die Nutzung des Demonstrator-ICs in späteren Projekten als Basis für die Entwicklung eines raumfahrtqualifizierten, europäischen, ITAR-freien POL-Konverters.

POL-Konverter werden eingesetzt, um zumeist digitale Baugruppen mit geringer Versorgungsspannung und hohen Versorgungsströmen aus Bordspannungsnetzen mit relativ hoher Spannung zu versorgen. Durch die Spannungsumsetzung am Ort des Verbrauchs (POL: Point-of-Load) werden die Verluste auf den Versorgungsleitungen minimiert, was insbesondere in energiekritischen Weltraum-Anwendungen notwendig ist.

Im Kooperationsprojekt haben als gewerblicher Partner die *advICo GmbH* aus Recklinghausen und als Forschungspartner die *IHP GmbH - Leibniz-Institut für innovative Mikroelektronik* aus Frankfurt (Oder) zusammengearbeitet.

1.2 Voraussetzungen, unter denen das Vorhaben durchgeführt wurde

Bei Antragstellung waren hochintegrierte, für Raumfahrt-Anwendungen qualifizierte, POL-Konverter mit hohen Eingangs- und Ausgangsspannungen nicht verfügbar. Untersuchungen der Universität Yale im Rahmen von Hardware-Entwicklungen für das ATLAS-Experiment am LHC in CERN haben gezeigt, dass mit der SGB25VD-Technologie des IHP gefertigte, kommerzielle POL-Konverter-Chips eines US-amerikanischen Chip-Anbieters Strahlungs-Dosen von mehr als 50 Mrad ohne Funktionsausfall tolerieren und die Strahlungsfestigkeit aller anderen von der Universität Yale getesteter DC-DC-Konverter um den Faktor 300 überstiegen. Diese Erkenntnis legte die Überlegung nahe, Optimierungsmöglichkeiten eines für Raumfahrtanwendungen spezifizierten POL-Konverters mit ebendieser SGB25VD-Technologie zu erforschen.

Forschungsfelder und daraus folgende schaltungstechnische Optimierungsmöglichkeiten betreffen u.a.:

- strahlenharte Digitalkomponenten durch redundante Logikschaltungen;
- gering degradierende Analogbauelemente sowie
- Latchup-geschützte Leistungselemente.

Aus der Forschungsliteratur waren zu diesen Themen bereits vielversprechende Konzepte bekannt, welche im Rahmen des IHP-Teilprojektes in der IHP-Technologie bzgl. strahlenbedingter Degradation und strahleninduzierter Single-Events zu untersuchen waren. Im advICo-Teilprojekt waren strahlen-kritische Bereiche einer POL-Konverterschaltung zu identifizieren und durch Einbringung der vom IHP bereitgestellten Bauelemente bzgl. Strahlenhärte zu verbessern.

1.3 Planung und Ablauf des Vorhabens

1.3.1 Ursprüngliche Projektplanung: 15.5.2010 – 31.10.2012

Bei Beantragung war das Projekt in 8 Arbeitspakete gegliedert. Die Konsortialführerschaft wurde vom Forschungspartner IHP übernommen. Die Beiträge des IHP zu den Arbeitspaketen waren wie folgt geplant:

AP-1 Projekt-Management

- Gesamtkoordination durch IHP
- Personelle Absicherung des Projektmanagements

AP-2 Spezifikation

- Abwicklung des Unterauftrags

AP3 Strahlungstoleranzuntersuchungen an Bauelementen (IHP, advlCo)

- Theoretische Untersuchung der Strahlungstoleranz von Bauelementen
- Entwicklung von Bauelemente-Teststrukturen für Strahlungsexperimente

AP4 Entwicklung der magnetischen Bauelemente (IHP, advlCo)

- Design und Herstellung der magnetischen Bauelemente (Drosselspule)
- Konzeptentwicklung für integrierte magnetische Bauelemente

AP5 Chipentwurf (advlCo, IHP)

- Entwurf des integrierten POL-Konverters in Version 1a, 1b, 2

AP6 Chipfertigung (IHP)

- Fertigung von Bauelemente-Teststrukturen
- Fertigung des integrierten POL-Konverters Version 1a, 1b, 2

AP7 Demonstratortest (advlCo, IHP)

- Entwicklung der Demonstrator-Boards (CMOS)
- Testvorbereitung und elektrische Tests
- Strahlungsexperimente

AP8 Methodenentwicklung Strahlungstoleranter Entwurf (advlCo, IHP)

- Methoden- und Regelentwicklung für strahlungstoleranten Entwurf
- Bauelementemodellierung für die Schaltungssimulation
- Implementierung von automatisierten Design-Routinen und Software-Bibliotheken (Designkit) für den SGB25V_GD-Prozesses

1.3.2 Aufstockungsantrag und Laufzeitverlängerung bis 30.09.2013

Im Rahmen der Arbeiten zur Erstellung der Spezifikation wurde der Wunsch nach höheren Eingangs- und Ausgangsspannungen deutlich, welche mit dem bis dato am IHP verfügbaren Leistungsbau- element (Standard-LDMOS) nicht erreichbar waren. Ebenso hätte das fehlende Bulk-Terminal zu erheblichen Einschränkungen der Schaltungstechnik geführt. Daher wurde die Entwicklung und Untersu- chung eines speziellen Leistungsbau- elementes (POLKO-LDMOS) erwogen und aufgrund vielverspre- chender theoretischer Studien beantragt.

1.3.3 Kostenneutrale Verlängerung der Projektlaufzeit bis 31.12.2014

Wegen verschiedener Probleme bei der Evaluierung des POLKO-LDMOS hat sich dessen Integration in die Gesamtschaltung verzögert und wurde eine MPW-Einspeisung verpasst, die für die notwendige Technologie-Option ohnehin nur 2 mal pro Jahr angeboten wird. Dadurch wurde eine Projektverlängerung bis Ende Dezember 2014 notwendig.

1.3.4 Kostenneutrale Verlängerung der Projektlaufzeit bis 30.04.2015

Um die ab Anfang Dezember 2014 verfügbaren POL-Konverter-ICs hinsichtlich Strahlenbelastbarkeit und Degradation testen zu können, war eine nochmalige Verlängerung der Projektlaufzeit bis Ende April 2015 geboten, welche der Projektträger gewährt hat.

1.4 Wissenschaftlicher und technischer Stand, an den angeknüpft wurde

1.4.1 Benutzte Konstruktionen, Verfahren und Schutzrechte

Die Konstruktion des im Aufstockungsprojekt beforschten POLKO-LDMOS basiert auf dem IHP-internen Prozesswissen zum Standard-LDMOS.

1.4.2 Fachliteratur sowie Informations- und Dokumentationsdienste

Fachliteratur

Steven B. Voldman: Latchup. ISBN 978-0470016428

Edward Petersen: Single Event Effects in Aerospace. ISBN 978-0470767498

Anelli, G.; Campbell, M.; Delmastro, M.; Faccio, F. et.al.:

Radiation tolerant VLSI circuits in standard deep submicron CMOS technologies for the LHC experiments: practical design aspects. DOI: 10.1109/23.819140

Snoeys, W.J.; Gutierrez, T.A.P.; Anelli, G.:

A new NMOS layout structure for radiation tolerance. DOI: 10.1109/NSSMIC.2001.1009683

Snoeys, W.J.; Gutierrez, T.A.P.; Anelli, G.:

A new NMOS layout structure for radiation tolerance. DOI: 10.1109/TNS.2002.801534

Silvestri, M.; Gerardin, S.; Paccagnella, A.; Faccio, F.:

Degradation Induced by X-Ray Irradiation and Channel Hot Carrier Stresses in 130-nm NMOSFETs With Enclosed Layout. DOI: 10.1109/TNS.2008.2006747

Lopez, P.; Hauer, J.; Filgueira, B.B.; Cabello, D.:

Enclosed layout transistors in saturation. DOI: 10.1109/SCED.2009.4800444

Lopez, P.; Cabello, D.; Hauer, H.: Improved Analytical I-V model for polygonal-shape enclosed layout transistors. DOI: 10.1109/ECCTD.2007.4529706

Li Chen; Gingrich, D.M.: Study of N-Channel MOSFETs With an Enclosed-Gate Layout in a 0.18 μm CMOS Technology. DOI: 10.1109/TNS.2005.852652

Li Chen; Gingrich, D.M.: Study of n-channel MOSFETs with an enclosed-gate layout in a 0.18 micron CMOS technology. DOI: 10.1109/NSSMIC.2004.1462447

Informationsdienste

IEEEXplore (<http://ieeexplore.ieee.org>)

1.5 Zusammenarbeit mit anderen Stellen

Das Kooperationsprojekt war als bilaterale Zusammenarbeit (siehe 1.1) geplant, jedoch waren weitere Stellen beteiligt.

1.5.1 Industrieller Beirat

Zur Erstellung einer Spezifikation anhand der Bedarfe von Komponentenherstellern für Weltraumwendungen wurden folgende Firmen als industrieller Beirat einbezogen: ASP Advanced Space Power Equipment GmbH, EADS ASTRIUM GmbH sowie Tesat-Spacecom GmbH & Co. KG.

1.5.2 Unterauftragnehmer

- AdMOS GmbH: Bauelemente-Modellierung
- Helmholtz-Zentrum Berlin für Materialien und Energie GmbH: Strahlenquelle für Total-Ionizing-Dose-Bestrahlungstests (TID-Tests)
- Kayser-Threde GmbH: Erstellung der Spezifikation und Herstellung von weltraum-tauglichen Spulen
- Université Catholique de Louvain (Louvain-la-Neuve, Belgien) - Centre de Ressources du Cyclotron: Strahlenquelle für Ionen-Bestrahlungstests (SEB-Tests)

2 Darstellung der erreichten Forschungsergebnisse

2.1 Verwendung der Zuwendung und des erzielten Ergebnisses im Einzelnen

2.1.1 AP-1 Projekt-Management

Die Abstimmung der Projektpartner wurde durch Telefonkonferenzen sichergestellt, die i.d.R. im wöchentlichen Abstand stattfanden und an denen in größeren Abständen auch der Projektträger teilgenommen hat.

Etwa 1 Mal pro Jahr wurde bei einem der Projektpartner ein Statustreffen durchgeführt.

2.1.2 AP-2 Spezifikation

Wenngleich adviCo für dieses AP verantwortlich war, hat IHP den Unterauftrag sowie die Kommunikation mit dem industriellen Beirat zur Erstellung der Spezifikation (siehe Tabelle 2.1) organisiert.

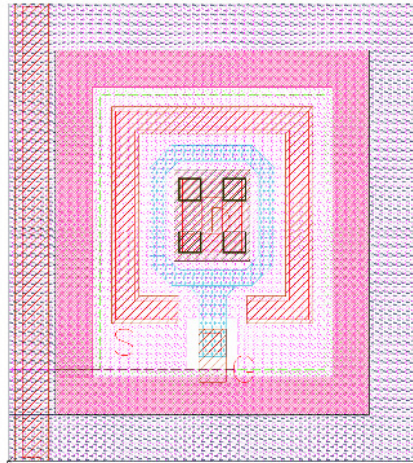
Tabelle 2.1: Auszug wichtiger Parameter der Spezifikation

Parameter	Sollwert	Wunschwert	Kommentar
Efficiency	> 90 %		At max. output current ($U_{in}:U_{out} = 4:1$); competitors: 85 %
Input voltage	5 to 12 V	15 V	12 V + 20% = 14.4 V
Output voltage	1.2 to 3.3 V	0.7 to 5 V	5 V derived from 12 V or 15 V
Output current	0.1 to 4 A	10 A	The 10 A will be realized by parallel operation of the POLs; up to three devices will be possible.
Current increase	15 A/ μ s		After output filter, 330 μ F 10 V standard application.
Temperature range	-55 to 125 °C		
Operating frequency	200 to 1000 kHz	100 kHz	Can be synchronized, externally connected. Preferred: 500 kHz
SEB / SEGR / SEL	80 MeV * mg/cm ²		Application / industry (ESCC 25100)
SET / SEU	37 MeV * mg/cm ²		Application / industry (ESCC 25100)
TID	100 krad	300 krad	Application / industry (ESCC 22900); Elders up to 50 (20) krad, then usual dose rate.

2.1.3 AP3 Strahlungstoleranzuntersuchungen an Bauelementen

Entwicklung von Bauelemente-Teststrukturen für Strahlungsexperimente

nmosELT



Zur Untersuchung eines strahlenharten CMOS-Transistors mit ringförmigem Gate (s. Abb. 2.1) hatte IHP von adviCo verschiedene Layouts übernommen und die Layoutdaten an die IHP-Designregeln angepasst. Die nmos Transistor-Struktur wurde durch einen Substratring (Guardring) um die Gesamtstruktur geringfügig weiterentwickelt. Aus halbleiterphysikalischen Gründen (p-Substrat) sind konstruktive Maßnahmen an pmos-Transistoren für IHP-Technologie nicht notwendig.

Die im Rahmen eines Unterauftrages an die AdMOS GmbH erstellten Teststrukturen wurden gefertigt und elektrisch hinsichtlich DC-Parameter und CV (Kapazität über Spannung) vermessen.

Abb. 2.1: nMOSELT mit ringförmigem Gate (IHP SGB25)

nmosSLT

Das Layout wurde konzipiert, jedoch erschweren die nichtorthogonalen Strukturen die Integration in das Designkit.

2.1.4 AP4 Entwicklung der magnetischen Bauelemente (IHP, adviCo)

Design und Herstellung der magnetischen Bauelemente (Drosselspule)

Im Verlauf der Dimensionierung des Demonstrators wurden die Spulenwerte für 3 typische Anwendungsfälle (2.5 μ H; 7 μ H und 22 μ H; jeweils für 4 Ampere) dimensioniert und beim Unterauftragnehmer Kayser-Threde GmbH als präzise kalibrierte Spulen gefertigt.

Konzeptentwicklung für integrierte magnetische Bauelemente

Als Voruntersuchung wurde eine Masterarbeit von Herrn Xiaoju Renn „Vergleich planarer Spulen für verschiedene Metallisierung und Rückseitenprozessierung“ an der FH Lausitz mit Abgabe im Februar 2011 betreut. In Auswertung dieser Arbeit wurde entschieden, das Konzept integrierter Spulen in diesem Projekt nicht weiter zu verfolgen.

2.1.5 AP5 Chipentwurf (advico, IHP)

Die erste Version des POL-Konverter-ICs wurde als Chipset mit den Teilen POL-V1a (Steuerteil, und POL-V1b (Leistungsstufe) entworfen, um im Leistungsteil flexibler bzgl. Leistungsbaulemente zu sein.

Das Konzept des Chipsets wurde auch für den finalen POL-Konverter-IC beibehalten. AdviCo hat in der Leistungsstufe (Design: POLCO_1404_power) mit dem POLKO-LDMOS in der adviCo-Variante entworfen und den Steuer-IC (Design: POLCO_1404_control) überarbeitet.

2.1.6 AP6 Chipfertigung (IHP)

Tabelle 2.1: Übersicht der gefertigten ICs

Design	Jahr	Monat	mm ²	Technologie
POL-V1a (Steuerteil)	2010	11	7,0	SGB25V
TestChip_DC_1109	2011	9	5,0	SGB25V_GD
TestChip_LDMOS4T_1109	2011	9	5,0	SGB25V_GD
POLKO_V2 (Leistungsteil V1b)	2012	4	5,0	SGB25V_GD
LDMOS_test_advico	2012	4	1,0	SGB25V_GD
POLKO_nmosELT_MODEL	2012	9	8,9	SGB25V
POLCO_1211	2012	11	3,0	SGB25V_GD
POLCO_1302	2013	2	2,0	Dev_int_25
TestChip_LDMOS4T_1209	2013	2	2,9	Dev_int_25
POLCO_1404_control	2014	8	6,2	SGB25V_GD
POLCO_1404_power	2014	8	36,6	SGB25V_GD

2.1.7 AP7 Demonstratortest (advICo, IHP)

Entwicklung der Demonstrator-Boards

Da die SEB-Test-Boards Variante-2 mit angekoppeltem FPGA und proprietärer Auswerte- und Ansteuerungssoftware des CERN nicht in Betrieb genommen werden konnten, wurde eine Eigenentwicklung beschlossen und eine Schaltung entwickelt. Die Kalttests vor der Bestrahlung wurden erfolgreich durchgeführt und die POLKO-LDMOS der IHP- und advICo-Variante getestet.

Strahlungsexperimente

Der nmosELT wurde am Paul-Scherrer-Institut (Schweiz) mit Protonen bestrahlt (Total-Ionizing-Dose-Test und Gitterdefekte). Da der verwendete Klebstoff ein langstrahlendes Isotop gebildet hat, war eine Messung wegen der langen Abklingzeit in der Projektlaufzeit nicht möglich.

Erneuter TID-Test am nmosELT am Helmholtz-Zentrum Berlin / Hahn-Meitner-Institut.

Für die Standard-CMOS-Transistoren kann bzgl. Strahlenfestigkeit auf eine Untersuchung aus dem Jahr 2008 rekurriert werden, wonach bis zu einer Strahlendosis von 300 krad nur ein Parametershift bei Schwellspannung und Leckstrom im Rahmen der Prozessvariabilität nachweisbar ist. Auf die Erstellung entsprechender Degradationsmodelle kann daher für den Standard-CMOS-Transistor verzichtet werden.

Die SEB-Untersuchung der beiden Varianten des POLKO-LDMOS fanden an der UC Louvain la Neuf (Belgien) statt. Die Abbildungen 2.2 und 2.3 zeigen das Board für die Ionen-Bestrahlungs-Tests des POLKO-LDMOS in der Ionen-Messkammer. Auf der Bestrahlungsseite (Abb. 2.2) ist nur der zu untersuchende IC mit 6 LDMOS-Bauelementen im Keramikgehäuse platziert, während sich die Auswerte-Elektronik auf der Rückseite (Abb. 2.3) befindet.

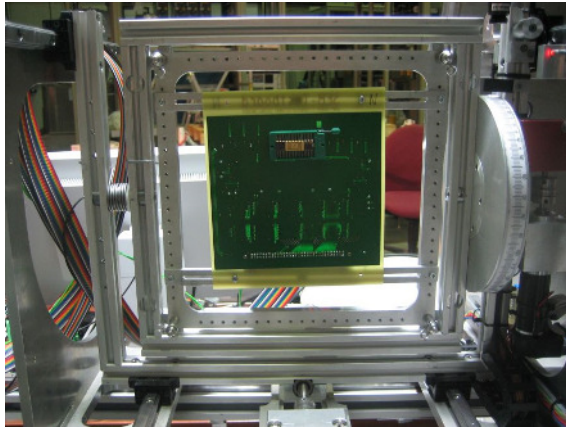


Abb. 2.2: DUT-Seite des SEB-Testboards

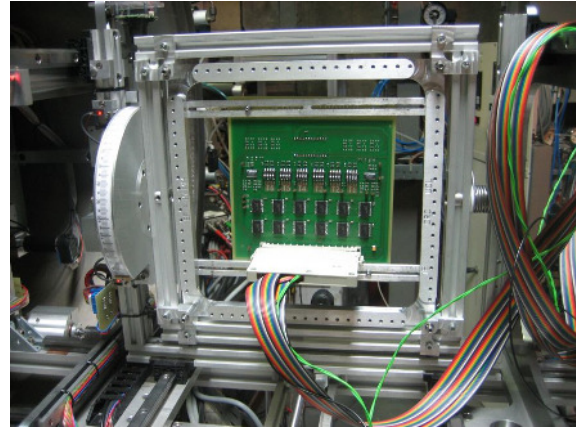


Abb. 2.3: Peripherie-Seite des SEB-Testboards

Kurzfassung des Testergebnisses zum SEB-Test am POLKO-LDMOS

Für Spannungen bis etwa 15 V sind alle getesteten Devices SEB-fest; die getesteten Varianten von advlCo auch bis 20 V (höchste Spannung im Test). Bei den IHP-Varianten, von denen nur jeweils eines tatsächlich das POLKO-LDMOS-Design ist, kann die maximal zulässige Spannung über der Teilchen-LET darstellen und erhält eine Aussage zur Safe-Operating-Area (SOA).

Die folgenden Abbildungen 2.4 und 2.5 illustrieren dies exemplarisch. Hierbei ist zu berücksichtigen: die angegebenen Spannungen sind jeweils die höchsten, bei denen kein SEB auftrat. Insbesondere dort, wo der Graph die 20V erreicht, sind vermutlich sogar noch höhere Spannungen möglich.

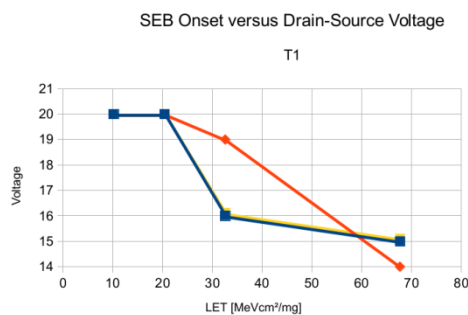


Abb. 2.4: Spannung vs. Teilchen-LET Transistor 1

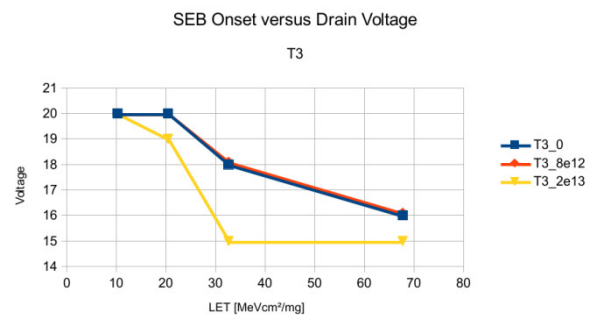


Abb. 2.5: Spannung vs. Teilchen-LET Tr.3

2.1.8 AP8 Methodenentwicklung Strahlungstoleranter Entwurf (advlCo, IHP)

Es wurde ein spezielles Designkit (Paket polco_20121018.tgz) per DK-Server mit folgenden Bestandteilen an advlCo übergeben:

- Report_POLCO_121017.zip (Dokumentation LDMOS-Modelle)
- Assura_SGB25_POLCO (DRC- und LVS-Regeln)
- LDMOS_POLCO_201209 (LDMOS-Modul: Layout und Modelle)

Dieses Designkit steht auch für zukünftige IC-Fertigungen des Projektpartners advlCo bereit. Das Leistungsbauelement POLKO-LDMOS bleibt über die Technologie SGB25V_GD mit der Präparationsvariante „F“ (SGB25V_GDF) verfügbar, jedoch mit 2 zusätzlichen Masken.

2.1.9 AP9 Weiterentwicklung LDMOS-Modul (IHP)

Es wurden Prototypen komplementärer LDMOS HF-Leistungstransistoren mit separierter Body-Elektrode in der 0.25 µm SGB25VGD Technologie des IHP hergestellt. Ziel war insbesondere die Korrektur der Schwellspannung der LDMOS Transistoren, welche zu hohen Leckströmen führte.

The figure consists of two cross-sectional diagrams of semiconductor devices. The left diagram shows a device with a p-well, n-LDD, and n+ region. The right diagram shows a device with a p-well, n-LDD, and n+ region, and a p-BULAY layer.

Abb. 9.2: Integrationsschema PLD2GD21A

Im Ergebnis der durchgeführten Schwellspannungskorrektur wurden die DC-Kennlinien der Transistoren NLD2GD42A und PLD2GD21A als internes Berichtspapier publiziert. Die Schwellspannungen V_{th} beider Transistoren liegen im Zielbereich, wie auch die übrigen Zielparameter. Die Zielwerte in Tabelle 2.2 sind den extrahierten Parametern der Präparation EQN403 in Tabelle 2.3 gegenübergestellt.

Tabelle 2.3: Parameter der Präparation EQN403

	NLD2GD42A	PLD2GD21A
BVDSS	42 V	- 21 V
V_{th}	0.55 V	- 0.45 V
I_{Dsat}	160 $\mu\text{A}/\mu\text{m}$ (V _{GS} = 1.5 V) (V _{DS} =10 V)	-70 $\mu\text{A}/\mu\text{m}$ (V _{GS} = -1.5 V) (V _{DS} =-10 V)
I_{leakage}	< 10 pA/ μm	> - 10 pA/ μm
RON	8 Ωmm	18 Ωmm
Peak f_{max}	30 GHz	22 GHz
Peak f_T	16 GHz	9 GHz

	NLD2GD42A	PLD2GD21A
BVDSS	38 V	- 23.5 V
V_{th}	0.52 V	-0.47V
ID_{sat}	186 $\mu\text{A}/\mu\text{m}$ (VGS= 1.5 V) (VDS=10 V)	-69.7 $\mu\text{A}/\mu\text{m}$ (VGS= -1.5 V) (VDS=-10 V)
I_{leakage}	< 1 pA/ μm	> - 1 pA/ μm
RON	9 Ωmm	16 Ωmm
Peak f_{max}	30 GHz	22 GHz
Peak f_T	15 GHz	8 GHz

Beim NLD2GD42C_SB stieg das Leckstromniveau bei $V_g=0V$, $V_{ds}=18V$ von $0.1 \text{ pA}/\mu\text{m}$ auf max. $200 \text{ pA}/\mu\text{m}$, ansonsten zeigte er eine geringe Kennliniendegradationen für $V_{gs} > V_{th} < 3\%$. Bzgl. Temperaturgang steigt der Leckstrom um etwa 1 Größenordnung für 40°C Temperaturerhöhung.

2.2 Darstellung der wichtigsten Positionen des zahlenmäßigen Nachweises

Die wichtigste und größte Position der Zuwendung waren die **Personalmittel**. Insgesamt wurden ca. 125 T€ (entsprechen etwa 0.6 FTE) für diverse wissenschaftliche Mitarbeiter über einen Zeitraum von 40 Monaten bewilligt sowie ca. 74 T€ für technische Mitarbeiter. Die gesamten geplanten Personalmittel betrugen etwa 199 T€, wobei tatsächlich ca. 231 T€ aufgewandt wurden.

Für **Unteraufträge** wurden insgesamt ca. 98.5 T€ ausgegeben: 29.3 T€ für die Erstellung der raumfahrttauglichen Spezifikation; 23.4 T€ zur Herstellung der magnetischen Bauelemente; 35.8 T€ für Bauelemente-Modellierung (POLKO-LDMOS und nmosELT); 7 T€ für Ionen-Bestrahlung; 1.7 T€ für TID-Bestrahlung sowie 1.3 T€ für Leiterplattenfertigung und Chip-Abdünung. Die Kosten von 8.6 T€ der Bestrahlungsuntersuchungen im März und April 2015 konnten nicht mehr dem Projekt zugeordnet werden, da die Rechnungen erst nach Projektende vorlagen.

Die **Materialausgaben** im Umfang von ca. 54 T€ betrafen im Wesentlichen (50.6 T€) Ausgangsstoffe (Fotomasken, Rohwafer und Chemikalien) zur IC-Fertigung von insgesamt ca. 83 mm² Chipfläche, wobei nicht alle Kosten in diesem Projekt umgelegt wurden. Weitere Posten waren 2.7 T€ für elektronische Bauelemente zum Aufbau der Bestrahlungsboards sowie 415 € für Fachliteratur.

Die Ausgaben für **Dienstreisen** von ca. 2,8 T€ betrafen die Fahrten zu den Projekttreffen in Recklinghausen sowie zu den Bestrahlungstests in Louvain la Neuf (Belgien).

Die bewilligten Mittel sind in der Tabelle 2.4 den tatsächlichen Ausgaben gegenübergestellt. Das Projekt wurde insgesamt leicht überbucht, am stärksten bei den Personalmitteln.

Tabelle 2.4 Gegenüberstellung der geplanten Mittel zur tatsächlichen Verwendung

Positionen	Plan in T€	Ist in T€	Prozentuale Auslastung (%)
<i>Wissenschaftl. Mitarbeiter</i>	125.3	149.5	119
<i>Technische Mitarbeiter</i>	73.7	81.1	110
<i>Overhead</i>	19.9	23.0	116
<i>Verbrauchsmaterial</i>	66.1	53.6 (86)	81
<i>Vergabe von Aufträgen</i>	100.2	98.5	98
<i>Dienstreisen</i>	5.6	2.8	50
Gesamt	390.9	408.6	105

2.3 Notwendigkeit und Angemessenheit der geleisteten Arbeit

Da die 0.25 um-CMOS-Technologie des IHP nur eine geringe strahlenbedingte Degradation zeigt, ist die Erweiterung des Bauteilportfolios um strahlenresistente Hochvolt- und Leistungselemente angezeigt, jedoch sind die Bestrahlungsuntersuchungen mit extrem hohem Know-how verbunden, wie sich an den verschiedenen Varianten der SEB-Boards gezeigt hat, wie auch eine Bauelementeentwicklung sehr aufwändig ist. Im Projekt wurde dennoch ein vergleichsweise strahlenhartes Hochvolt-

Leistungsbauelement (POLKO-LDMOS) konzipiert und anfanghaft erforscht, was ohne Förderung zur Zeit der Beantragung nicht möglich gewesen wäre.

2.4 Voraussichtlicher Nutzen und Verwertung der Ergebnisse

Neben der akademischen Verwertung im Rahmen des Dissertationsprojektes von Herrn Florian Teply sind die beforschten Bauelemente im entstandenen „POLCo-Designkit“ für IC-Entwicklungen der advlCo GmbH verfügbar und fließen nach noch zu leistenden Erweiterungen in zukünftige Designkits ein, wie auch die Erfahrungen bzgl. der Verifikation strahlenharter Schaltungen.

Die grundsätzlichen Erkenntnisse bzgl. Hochvolt-LDMOS-Transistor in der Technologievariante SGB25V_GD werden in der MPW-IC-Fertigung mit weltweitem Zugriff nutzbar gemacht. Insbesondere die europäische Raumfahrt kann somit von ITAR-freien Hochvolt-ICs profitieren.

An der Verwertung des in Demonstratorform vorliegenden POL-Konverter-IC-Sets durch den Projektpartner advlCo ist das IHP als eine überzeugende Referenz interessiert.

2.5 Fortschritte von anderer Seite

Bezüglich strahlenharter CMOS-Bauelemente sind keine Entwicklungen und Fortschritte von anderer Seite bekannt.

2.6 Erfolgte und geplante Veröffentlichungen

Auf der vom DLR vom 5.-6. Februar 2013 am IHP ausgerichteten Bauteilekonferenz hat Hr. Teply einen Vortrag über den Status der Evaluierung von IHP-SiGe-BiCMOS-Technologien für Raumfahrtanwendungen gehalten. Hr. S. Scholz hat stellvertretend für Hrn. Dr. Grau über den Entwicklungsstand des 12V-POL-Konverters als Projektziel dieses Projektes referiert.

Die Projektergebnisse hinsichtlich Bauelemente-Modellierung sind in den Arbeitsunterlagen zu den Designkits über den DK-Server allen Nutzern des MPW-Service zugänglich.

Berichtsblatt

1. ISBN oder ISSN	2. Berichtsart (Schlussbericht oder Veröffentlichung) Schlussbericht	
3. Titel POL-Converter (POLCo-IHP)		
4. Autor(en) [Name(n), Vorname(n)] Scholz, Stefan	5. Abschlussdatum des Vorhabens 30.04.2015	
	6. Veröffentlichungsdatum 28.10.2015	
	7. Form der Publikation Schlussbericht	
8. Durchführende Institution(en) (Name, Adresse) IHP-GmbH Im Technologiepark 25 15236 Frankfurt (Oder)	9. Ber. Nr. Durchführende Institution	
	10. Förderkennzeichen 50 YB 1007	
	11. Seitenzahl 11	
12. Fördernde Institution (Name, Adresse) Raumfahrtmanagement des Deutschen Zentrums für Luft- und Raumfahrt e.V. Königswinterer Str. 522-524 53227 Bonn	13. Literaturangaben 0	
	14. Tabellen 5	
	15. Abbildungen 7	
16. Zusätzliche Angaben		
17. Vorgelegt bei (Titel, Ort, Datum) Technische Informationsbibliothek		
18. Kurzfassung Für Raumfahrtmissionen werden strahlenharte Point-of-Load-Konverter benötigt, um die digitalen Schaltungskomponenten mit möglichst geringen Leitungsverlusten elektrisch zu versorgen. Die strahlenfeste IHP-CMOS-Technologie SGB25V war Ausgangspunkt der Erforschung von Optimierungsmöglichkeiten integrierter POL-Konverter hinsichtlich Strahlenfestigkeit und hohen Eingangs- und Ausgangsspannungen. Im IHP-Teilprojekt wurden die Bauelemente-Strukturen nmosELT und POLKO-LDMOS hinsichtlich strahlenbedingter Degradation und Robustheit gegenüber Single Events untersucht und die Designprozesse für strahlenharten Design optimiert.		
19. Schlagwörter POL-Konverter, strahlenharter CMOS-Transistor, strahlenharter LDMOS-Transistor		
20. Verlag	21. Preis	

Document Control Sheet

1. ISBN or ISSN	2. type of document (e.g. report, publication) Final Report	
3. title POL-Converter (POLCo-IHP)		
4. author(s) (family name, first name(s)) Scholz, Stefan	5. end of project 30.04.2015	
	6. publication date 28.10.2015	
	7. form of publication Report	
8. performing organization(s) (name, address) IHP-GmbH Im Technologiepark 25 15236 Frankfurt (Oder)	9. originator's report no.	
	10. reference no. 50 YB 1007	
	11. no. of pages 11	
12. sponsoring agency (name, address) Raumfahrtmanagement des Deutschen Zentrums für Luft- und Raumfahrt e.V. Königswinterer Str. 522-524 53227 Bonn	13. no. of references 0	
	14. no. of tables 5	
	15. no. of figures 7	
16. supplementary notes		
17. presented at (title, place, date) Technische Informationsbibliothek		
18. abstract Space missions require radiation hard Point-of-Load converter, to supply the digital components electrically without losses. The radiation hard IHP CMOS technology SGB25V was the starting point for research of optimizations to integrated POL converters regarding radiation hardness and high input- and output voltages. In the project part of IHP the device structures nmosELT and POLKO-LDMOS investigated regarding radiation induced degradation and robustness against single events; furthermore the design processes for radiation hard design were optimized.		
19. keywords POL-Converter, radiation hard CMOS transistor, radiation hard LDMOS transistor		
20. publisher	21. price	