

GEFÖRDERT VOM



Bundesministerium  
für Bildung  
und Forschung

# Schlussbericht Kennzeichen 03SF0565E für EPROC-IMT-3

Zeitraum vom 01.05.2019 bis 31.12.2023

Badilita, Vlad

Institute of Microstructure Technology (IMT)  
Karlsruhe Institute of Technology (KIT) Campus Nord  
Hermann-von-Helmholtz-Platz, 76344 Eggenstein-Leopoldshafen

## 1. Kurze Darstellung

Das Konzept und Design des Interposersubstrats wurden ab Juni 2020 am KIT in Zusammenarbeit mit dem Helmholtz-Zentrum Berlin (HZB) und der Universität Stuttgart (UST) entwickelt. Dabei wurden das Design eines Substrats mit 3-4 Schichten sowie die lateralen mechanischen Abmessungen festgelegt, die eine präzise Ausrichtung des EPR-Sensors innerhalb eines homogenen Magnetfelds sowie die Kompatibilität mit der Prevac-Plattform sicherstellen. Materialien wie LTCC, PCB und Glas wurden hinsichtlich ihrer thermischen Leitfähigkeit, Isolierung und mechanischen Stabilität evaluiert, wobei LTCC vielversprechende Ergebnisse für zukünftige Anwendungen zeigte. Ein erster Test der LTCC-Herstellung und der Leistung im Magnetfeld wurde unter Verwendung eines NMR-Chips durchgeführt.

Die Hochfrequenzrealisierung der Apertur- und Kontakttechniken wurde auf Basis des LTCC-Substrats entwickelt. Nach der Auswahl des CMOS-Chips der 2. Generation für die LTCC-Substratimplementierung im Dezember 2020 entwarf und charakterisierte das KIT die umgebende Schaltung. Das vorläufige LTCC-Substrat wies eine fluidische Kavität, Leiterbahnmuster und Durchkontaktierungen auf und erzielte dabei eine hohe mechanische Festigkeit und stabile Handhabung. Herausforderungen bei der Haftung von Goldpads wurden durch den Einsatz einer lötfähigen Schicht aus AgPt gelöst. Die Drahtbonding-Technik zur Verbindung von Chip und Leiterplatte wurde untersucht, wobei Aluminiumdrähte aufgrund der geringeren Wärmeableitung bevorzugt wurden. Ein manueller Bonding-Prozess erreichte eine geringe Bump-Höhe von etwa 20  $\mu\text{m}$ . Das LTCC-Schaltungsdesign wurde für CMOS- und BiCMOS-Chips angepasst, um Kompaktheit und Kompatibilität mit der Betriebskammer zu gewährleisten. Flexible Leiterplatten wurden ebenfalls für erste Tests eingeführt, da sie eine schnelle und kostengünstige Alternative zu LTCC darstellen, jedoch mit eingeschränkter Bonding-Qualität.

Die Leistung und Qualität des miniaturisierten Sensorsystems auf LTCC- und Glassubstraten wurden evaluiert. Für den auf LTCC basierenden NMR-Chip wurde die Magnetfeldverteilung durch COMSOL-Simulationen analysiert, die aufgrund der hohen Permittivität des LTCC-Substrats eine symmetrische Feldverteilung zeigten. Impedanzmessungen am KIT für den 10-spiraligen Detektor ergaben akzeptable Abweichungen (15%-20%) von den simulierten Werten, was die Genauigkeit der Resonanzfrequenzen bestätigte. Bei der thermischen Charakterisierung des EPRoC-Interposersubstrats in einer rechnergestützten Simulation zeigte sich, dass das LTCC-Substrat mit seiner höheren Wärmeleitfähigkeit im Vergleich zu FR4 die durchschnittliche Chiptemperatur um etwa 30°C senkte, was die Haltbarkeit verbesserte und thermisches Rauschen reduzierte. Ein optimiertes LTCC-Design mit eingebetteten fluidischen Kühlkanälen verbesserte die Wärmeableitung weiter, wobei erhöhte Flussraten die Temperatur effizient senkten, ohne die mechanische Festigkeit zu beeinträchtigen.

Glaswafer mit Dicken von 100  $\mu\text{m}$  und 200  $\mu\text{m}$  wurden als potenzielle Substrate für das EPR-Sensorsystem getestet. Eine dreilagige Stapelung von Glaswafern wurde untersucht, während für die Anwendung möglicherweise dünneres Glas (50  $\mu\text{m}$ ) erforderlich ist, obwohl es zerbrechlich und kostspielig ist. Verschiedene Fertigungstechniken wie Laserschneiden, Spin-Coating und Galvanisieren wurden am KIT erprobt. Glas-Substrate stören das Magnetfeld im Vergleich zu LTCC nur minimal, jedoch bestehen Herausforderungen wie die Fragilität, die Herstellung von Durchkontaktierungen und das Wafer-Bonding. Nach einer umfassenden Evaluierung wurde das

Glas-Substrat als ungeeignet für das Interposer-Design eingestuft, und der Fokus verlagerte sich auf LTCC und flexible Leiterplatten als Alternativen.

Die korrelative Charakterisierung unter Verwendung von Elektronenspinresonanz (EPR) und Röntgen-Charakterisierungstechniken befindet sich noch in der Entwicklung. Stand Dezember 2023 waren der CMOS-Chip von der Universität Stuttgart (UST) und das Interposersubstrat noch nicht vollständig für die kombinierte XES-EPR-Spektroskopie funktionsfähig, wie in AP 1.8 detailliert beschrieben.

## 2. Eingehende Darstellung

- AP 1.6 – Konzeption und Design des Interposersubstrates

### (a) Ziele (laut Gesamtvorhabensbeschreibung)

In diesem Arbeitsprogramm soll das Interposersubstrat konzipiert und designt. Dabei muss einerseits sichergestellt werden, dass der CMOS-Chip hochfrequenztauglich elektrisch auf dem Interposersubstrat montiert wird und somit mit der Außenwelt kommunizieren kann. Für die Kommunikation müssen geeignete Datenübertragungselemente auf dem Interposersubstrat vorgesehen werden (siehe auch AP1.4). Außerdem muss das Interposersubstrat so ausgelegt werden, dass die von der Fa. Bruker zu entwickelnden miniaturisierten Halbach-artigen Permanentmagnete und die notwendigen ferromagnetischen Schichten so integriert werden können, dass das System getrimmt werden kann. Der Aufbau muss so realisiert werden, dass die Position der Sensoren mechanisch relativ zum Magnetfeld und zum Messobjekt gesichert ist. Gegebenenfalls müssen Überlegungen angestellt werden, ob eine Kühlung des Chips notwendig ist, um thermisches Driften zu verhindern. Ein weiterer Punkt der bei der Konzeption berücksichtigt werden muss, ist das Einbringen eines Loches in das Interposersubstrat und in den Chip, das als Apertur für den Röntgenstrahl in korrelativen Charakterisierungen zusammen mit der XES dient.

### (b) Schlussfolgerungen, Einordnung und Relevanz für das Teilprojekt und ggf. den Verbund

Ab Juni 2020 trat Jianyi Liang dem Projekt als HiWi bei und begann ab September 2020 als Doktorand am KIT am Projekt zu arbeiten.

Während dieses Berichtszeitraums diskutierte und definierte das KIT gemeinsam mit den Partnern von HZB und UST die mechanischen Abmessungen des Substrats. Das Substrat sollte aus 3-4 Schichten bestehen, abhängig von den tatsächlichen Herstellungsschwierigkeiten und dem Substratmaterial, das in den folgenden Abschnitten erwähnt wird. Zunächst wurde die relative Position des EPR-Sensors und des Magneten zum Substrat in einem Bereich sichergestellt, in dem das Magnetfeld eine zufriedenstellende Homogenität und Stärke aufwies (Randbedingungen von HZB vorgegeben). Zusätzlich sollte die äußere Abmessung des Substrats mit der von HZB bereitgestellten Prevac-Plattform kompatibel sein. Um den Chip zu unterstützen, sollte der Stapel eine Kavität in der Mitte und interne leitende Bahnen

(Gold) zwischen den Schichten zur Signalübertragung enthalten. Die obere Oberfläche sollte für das Lötten von SMD-Bauelementen freigehalten werden, zu denen Anschlüsse, Kondensatoren und andere von UST definierte Elemente gehören.

Die Kandidatenmaterialien für das Substrat waren Niedrigtemperatur-keramiken (LTCC), Leiterplatten (PCB) und Glas. Diese wurden in Abhängigkeit von ihrer Wärmeleitfähigkeit (unter Berücksichtigung des durch den Chip erzeugten Temperaturgradienten), elektrischen Isolierung und Robustheit für die mechanische Fertigung (zusätzliche Bohrungen für das XES-Experiment) bewertet. Basierend auf diesen Bewertungen ist LTCC sehr vielversprechend für die Substratherstellung, während Glas relativ zerbrechlich ist. Glas bietet jedoch mehr Flexibilität und geringere Kosten, da es am KIT gefertigt werden könnte. Weitere Details zum LTCC-Substrat und Glas-Substrat werden in AP 1.8 und 1.9 erläutert.

Wie von den Partnern vereinbart, wurde ein vorläufiger Test des Fertigungsprozesses des LTCC und seiner Leistung im Magnetfeld in die Arbeiten auf der Grundlage eines bestehenden NMR-Geräts integriert, wie in AP 1.7 dargestellt.

### **Zusammenarbeit**

Durch monatliche Doktorandentreffen wurden detaillierte Diskussionen über Abmessungen und Geometrien mit den Partnern von HZB und UST geführt. Wir konzentrierten uns auf die Anforderungen des Magnetdesigns und den Betrieb des Chips, um das Gesamtsubstrat zu entwickeln.

Das KIT unterstützte auch die Tests des Laserschneidens der Shimming-Folie durch HZB mithilfe eines Lasersystems, das eine ultimative Schneidauflösung von 50  $\mu\text{m}$  demonstrierte und einen verbrannten kreisförmigen Bereich um das Loch auf der Folie zeigte.

- AP 1.7 – Aufbau der EPR-Systeme mit LTCC basierten Interposersubstraten und mit Apertur versehenen CMOS Chips

#### (a) Ziele (laut Gesamtvorhabensbeschreibung)

In diesem Arbeitspaket werden die Prozessschritte zur Herstellung und zum Aufbau des Interposersubstrates erarbeitet. In der ersten Phase wird als Interposersubstrat ein LTCC-Substrat verwendet. Dieses soll gemäß den für den EPR-Sensor relevanten Spezifikationen bei einer auf die Herstellung von solchen Substraten spezialisierten Einrichtung realisiert werden. KIT wird die Herstellung begleiten und die spezifikationsgerechte Realisierung prüfen. Dabei wird angestrebt ein möglichst dünnes Substrat einzusetzen (idealerweise wenige 100  $\mu\text{m}$  dick). KIT entwickelt die Aufbau und Verbindungstechnik, um den Chip zu realisieren. Dazu gehört die Entwicklung eines Prozesses zur hochfrequenztauglichen Integration des CMOS-Chips auf dem Interposersubstrat. Dies soll durch "Through-Silicon-Via" (TSV) erfolgen, die durch Laserprozessierung und Galvanik hergestellt werden (siehe auch AP1.1). Als Fall-Back Möglichkeit wird die Wirebondtechnik weiterentwickelt, so dass Wirebonds mit einer maximalen Höhe von 50  $\mu\text{m}$  hergestellt werden können. Außerdem wird eine Technik für das Einbringen der Apertur sowohl in den CMOS Chip als auch in das Interposersubstrat erarbeitet, die den Durchtritt des Röntgenstrahles durch den EPR-Sensor

ermöglicht. Weitere Aufgaben sind die präzise Platzierung und feste Verbindung der halbachtartigen Permanentmagneten sowie der ferromagnetischen Trimmsschicht auf dem Interposersubstrat.

(b) Schlussfolgerungen, Einordnung und Relevanz für das Teilprojekt und ggf. den Verbund

#### **Auswahl der EPR-Chip-Variante**

Es wurden mehrere Generationen von Chips und dazugehörigen Schaltungen am UST entwickelt. Auf dieser Grundlage diskutierten wir mit den Partnern darüber, welche Version des Chips auf dem LTCC-Substrat implementiert werden sollte. Es wurde beschlossen, die 2. Generation als Ziel zu nehmen, Stand Dezember 2020. Ein CMOS-Chip für die Charakterisierung des LTCC-Substrats wurde ausgewählt. Die Anschluss-Schaltung um den Chip herum wurde von UST entworfen und charakterisiert. Basierend auf späteren Fortschritten in der Chip- und Schaltungsentwicklung unter den Partnern wurde vorgeschlagen, ein Interposer-Substrat für die Anwendung mit einem BiCMOS-Chip zu verwenden, der eine stabile Leistung aufwies, aber eine um 1-2 Größenordnungen geringere Empfindlichkeit hatte (Stand Dezember 2022).

#### **LTCC-Designstudie basierend auf einem NMR-Sensor**

Um Kenntnisse über die Fertigungsmöglichkeiten und die Leistung des Substrats in magnetischen Resonanzanwendungen zu erlangen, wurde ein LTCC-basierter Breitband-NMR-Spulenchip entwickelt, basierend auf einem bestehenden Projekt am IMT, und für Vorversuche eingeführt, in denen Schaltungsentwurf und Stapeldesign abgeschlossen wurden. Er dient zum Vergleich zwischen LTCC- und Glassubstrat. Das NMR-Experiment mit dem LTCC-Keramikstück wurde am KIT durchgeführt, um die notwendigen magnetischen Suszeptibilitätsdaten zu erhalten. Ein Fachartikel über dieses Gerät steht kurz vor der Einreichung.

Dieses Design mit einem Detektor und einem Substrat für Breitband-NMR-Messungen umfasst eine fluidische Kavität, Leiterbahnmuster und Durchkontaktierungen. Diese Merkmale waren speziell für das Design des Interposer-Substrats erforderlich.

Wie in Abbildung 1 dargestellt, hat die fluidische Kavität eine Höhe von etwa 291  $\mu\text{m}$ , hergestellt durch das Brennen von drei 951PT-Schichten. Der Goldleiter hat einen Querschnitt von 80  $\mu\text{m}$  \* 10  $\mu\text{m}$  und bildet die Hauptstruktur einer planaren Spiralspule und Kontaktpads. Eine überhängende Signalbahn oberhalb der Spirale ist durch eine Via mit einem Durchmesser von 80  $\mu\text{m}$  verbunden, und der Abstand zwischen der obersten Schicht und der Spirale beträgt etwa 43  $\mu\text{m}$ . Die Gesamtabmessungen des Breitband-Detektorchips betragen 20 mm \* 15 mm \* 625  $\mu\text{m}$ .

Die Produktion und Lieferung durch die Gießerei (Via Electronics GmbH, Deutschland) dauerten etwa 4 Monate. Bezüglich der physikalischen Abmessungen hat das hergestellte Gerät eine Dicke von 575  $\mu\text{m}$ , was einer Schrumpfrate von 92,8 % im Vergleich zur Vorhersage entspricht. Der fluidische Kanal misst 242,65  $\mu\text{m}$  mit einer Schrumpfrate von etwa 83,3 %. Eine Untersuchung der Geometrieoberfläche zeigt, dass der Chip eine gute

Oberflächenqualität mit einer Verwerfung von weniger als 0,3 %/mm aufweist, was entscheidend für die Aufrechterhaltung eines homogenen Bereichs für die Probe ist, wenn das Interposer-Substrat auf dem Permanentmagneten implementiert wird. Die Keramik besitzt eine hohe mechanische Festigkeit mit einem Elastizitätsmodul von bis zu 145 GPa, was einen stabilen Umgang während des Experiments gewährleistet. Diese mechanischen Spezifikationen entsprechen den Anforderungen an das EPRoC-Substrat.

Während der Messung stellten wir fest, dass die Haftung zwischen dem Goldpad und dem LTCC-Substrat nicht stark genug war, um dem geschmolzenen Lötzinn standzuhalten, da sich das dünn gedruckte Pad vom Substrat ablöste (ca. 300 °C). Das Problem wurde gelöst, indem eine zusätzliche lötbare Schicht in Form einer chemischen Goldpaste (AgPt) auf das Pad aufgetragen wurde, ohne die Leitfähigkeit der Löt pads zu beeinträchtigen, die in Abbildung 2 als silbergraue Blöcke dargestellt sind. Die Paste sollte gleichmäßig auf das EPRoC-Substrat aufgetragen werden, das kompliziertere Schaltungsdesigns aufweist und daher eine höhere Verbindungsrobustheit erfordert.

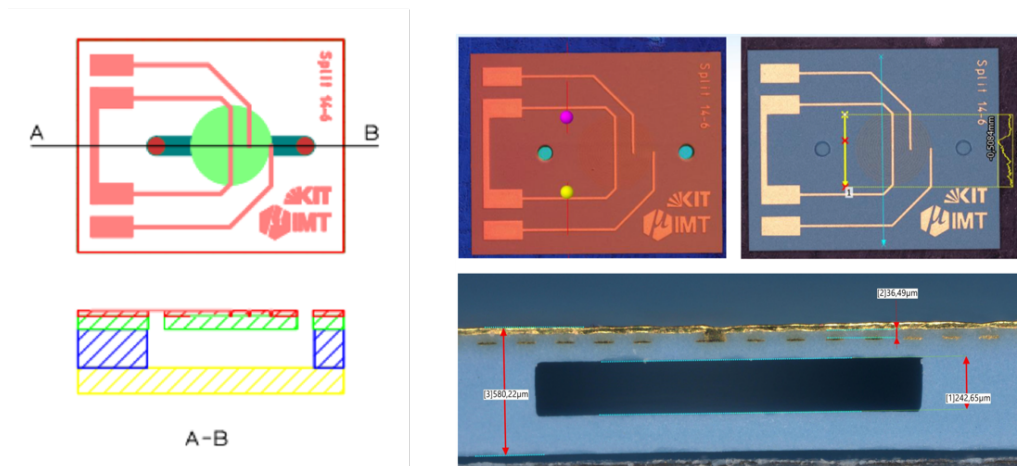


Abb. 1. Illustration des Chip-Layouts und des Querschnitts (links). Charakterisierung der Abmessungen des hergestellten LTCC-Chips (rechts).

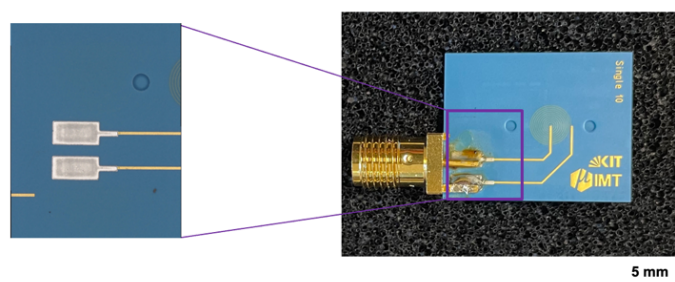


Abb. 2 Draufsicht auf einen LTCC-Chip mit goldenen Spulenbahnen und eine vergrößerte Ansicht der AgPt-beschichteten Pads.

### Drahtbonden Test

Für die Verbindung zwischen dem Chip und der Leiterplatte haben wir die Drahtbonding-Technik untersucht. Es wurde beschlossen, Drahtbonden als erste Wahl beizubehalten, wobei mehr Aufwand in den eigentlichen Bondvorgang investiert werden sollte, um die Höhe des Drahtes über dem Chip zu reduzieren. Ein Substratdesign mit planarem Bonden wurde

vorgeschlagen. Die Schicht zur Einkapselung des Chips sollte ähnlich dick wie der Chip selbst gewählt werden (auf etwa 50  $\mu\text{m}$  von UST heruntergedünnt).

In Bezug auf einen der Schwerpunkte des Projekts, das Drahtbonds zwischen dem CMOS-EPR-Chip und dem Interposer-Substrat, haben wir eine Reihe von Bonding-Tests mit einem defekten CMOS-Chip von der Universität Stuttgart und einem Glas-Substratimitat durchgeführt. Das 200  $\mu\text{m}$  dicke Glas-Substrat wurde mit Goldbahnen und Pads von etwa 20  $\mu\text{m}$  Dicke beschichtet, und es wurde mit einem Laser ein rechteckiger Ausschnitt gemacht, um den Chip zu platzieren. Dieser Chip war für die endgültige Anwendung noch nicht dünner gemacht worden. Daher befindet sich die Oberseite des Chips etwa 100  $\mu\text{m}$  über der Substratoberfläche. Aufgrund der Höhenanpassungslimits der automatischen Bonding-Maschine am IMT haben wir eine manuelle Bonding-Maschine verwendet. Der verwendete Draht besteht aus Gold und hat einen Durchmesser von etwa 25  $\mu\text{m}$ . Zwei typische Bonding-Methoden, Ball-Wedge-Bonding und Wedge-Wedge-Bonding, wurden untersucht. Erstere verwendet normalerweise Golddraht und erfordert eine höhere Betriebstemperatur. Bei letzterer werden sowohl Aluminium- als auch Golddrähte durch Reibschweißen verbunden. Aufgrund der Geometrie der Bondpunkte führt das Wedge-Bonding zu einer niedrigeren Erhebung des Drahts über dem Pad und deckt eine größere Fläche auf dem Substrat ab. In Anbetracht des Szenarios der NMR-Anwendung ist Aluminium außerdem aufgrund seiner niedrigeren relativen Permeabilität besser als Gold. In unseren Experimenten wurde die erwartete Bondqualität mit einer Erhebungshöhe von etwa 20  $\mu\text{m}$  und einem robusten Bond erreicht. Rückmeldungen der Partner deuteten darauf hin, dass der EPRoC-Chip mit mehreren Spulen aufgrund der hohen Stromdichte auf etwa 70  $^{\circ}\text{C}$  erhitzt werden kann. Daher wird für eine höhere Leitfähigkeit und geringere Wärmeableitung ein Aluminiumdraht mit einem größeren Durchmesser (50  $\mu\text{m}$ ) bevorzugt.

Beim Zusammenbau des endgültigen Chips und des Interposer-Substrats kann dieses Bonding genügend Freiraum für das Magnetfeld über dem Chip schaffen.

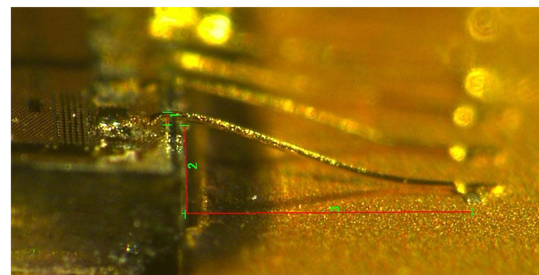
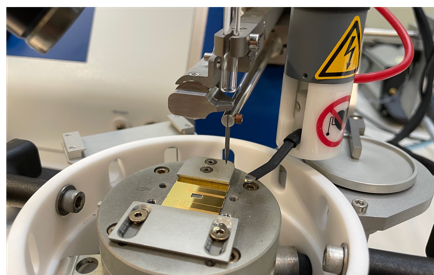


Abb. 3. Bondingmaschine mit dem oben befestigten Chip (links). Seitenansicht des gebondeten Golddrahtes vom Chip zum Glassubstrat (rechts).

### **Interposer-Substratdesign basierend auf LTCC**

Eine Umwandlung der Schaltung für den 1. Gen. CMOS-Chip in ein LTCC-Board-Design wurde implementiert, die einen wesentlichen Teil der Schaltung für die zu liefernden Chips ausmacht. Die Umwandlung umfasste hauptsächlich Änderungen des Schichtstapels,

Anpassungen der Leiterbahnbreite, der Pad-Dimensionen und die Einführung fluidischer Kanäle.

Der BiCMOS-Chip (Stand Dezember 2022) hat die gleiche Resonanzfrequenz wie die passive Spulenordnung, die den Hauptteil des Transceivers im EPRoC-System bildet. Es wurde eine Zweiplatinenlösung gewählt, bestehend aus einer Hauptplatine mit EPR-Chip, VGA und ADC sowie einer zusätzlichen Platine mit einer Stromversorgung. In Anbetracht des Betriebs unter Luftdruck wurde das Problem des Ausgasens in kommerziellen Chipkomponenten im Design vernachlässigt. Das Hauptziel dieses Designs war ein kompaktes Layout, das mit der Betriebskammer kompatibel ist.

Wie Abbildung 4 dargestellt, verfügt die Schaltung über einen Roh-EPR-Signaleingang und einen digitalen Ausgang. Die anderen Eingänge der Schaltung sind im unteren Schaltplan in Abbildung 4 dargestellt und bestehen aus VDD, GND, VGA-Steuersignal, Referenzfrequenz und CLK.

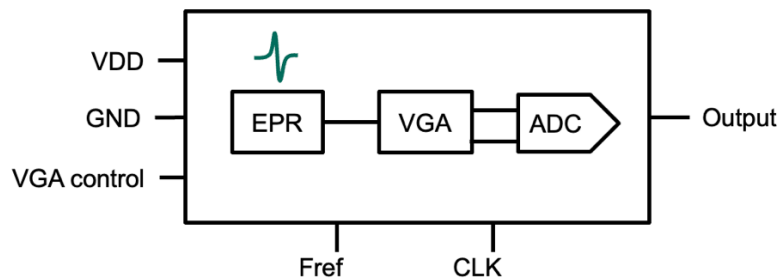


Abb. 4 Schema der Schaltungsstruktur für ein EPRoC-LTCC-Interposer-Substrat.

Das Schaltbild ist in Abbildung 5 zusammen mit einer 3D-Ansicht der Leiterplatte dargestellt, die die Stromversorgung umfasst. Eine Seitenansicht zeigt, dass die kommerziellen Chipkomponenten einen großen Teil der Gesamthöhe der Platine ausmachen, was dazu führt, dass die Platine dünner gestaltet werden muss, damit der Chip in die Kammer eingesetzt werden kann.

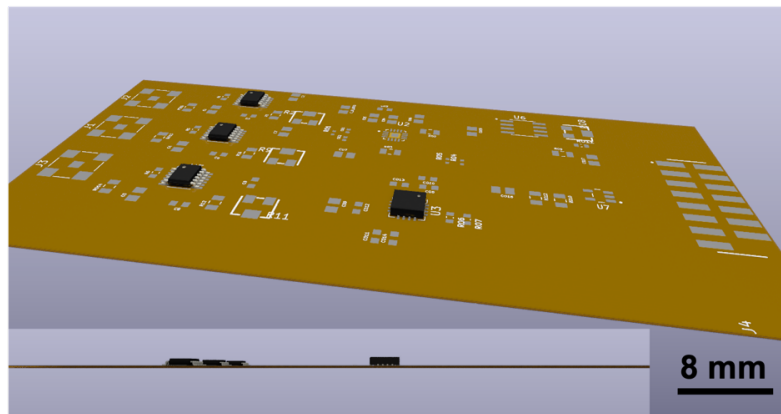
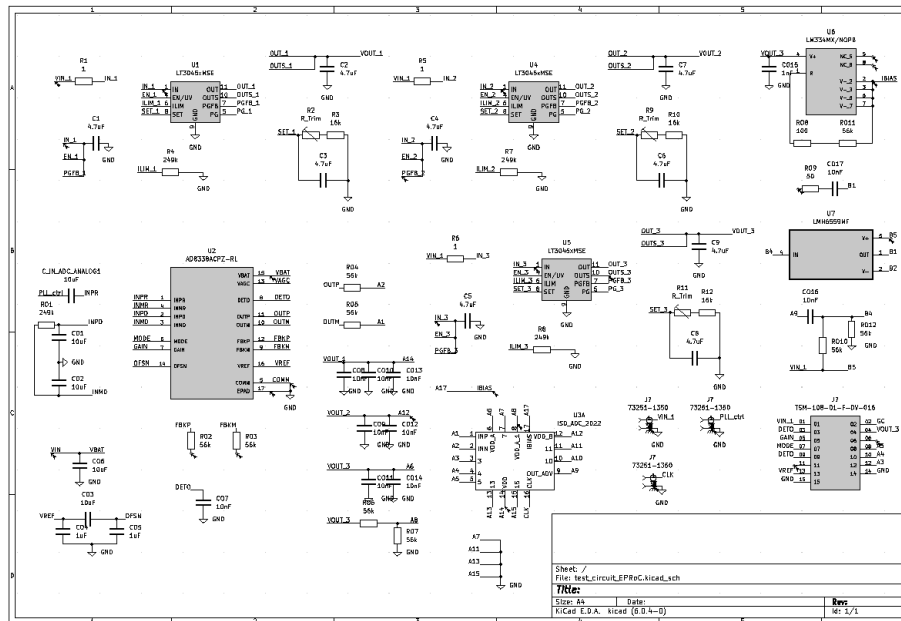


Abb. 5 Oben: Schaltplan der Platine. Unten: Schräg- und Seitenansichten der Platine.

### Flexible Leiterplatten für Vorversuche

Angesichts der relativ langen Lieferzeiten und hohen Herstellungskosten von LTCC haben wir flexible Leiterplatten für das Interposer-Substrat in der Vorversuchsphase eingeführt. Trotz ihrer geringen mechanischen Festigkeit stellen sie eine günstige Alternative dar, da sie eine schnelle Massenproduktion, niedrige Kosten, eine vergleichbare Schichtdicke (bis zu 35 mm) und eine funktionale Auflösung wie LTCC bieten, wie in Abbildung 6 erläutert. Diese Technologie ist kompatibel mit Blind-Vias und eingebetteten Luftspalten. Die auf diese Weise hergestellten Leiterplatten erfüllen genau die Höhenbeschränkungen des EPRoC.

Es sollte jedoch beachtet werden, dass dieses Substrat aufgrund der geringen Haftqualität der Partikel und der erhöhten Oberflächenspannung auf der Polymeroberfläche nach der Abscheidung nicht ideal für weitere Materialaufträge ist. Weitere technische Details zur Herstellung flexibler Leiterplatten wurden untersucht. Mechanische Verstärkungen können verwendet werden, um den Pin-Bereich zu vergrößern. Das 3M 9077 Klebeband ist eine Option zur Befestigung am Permanentmagneten.

## 4-Flex / adhesiveless with airgap

Stack-up	Possible thickness'				Standard	
PI Coverlay	13µm	25µm	50µm		25 µm	
Coverlay adhesive	20µm	25µm	50µm	75µm	25 µm	
Base copper + Button plating	18µm	35µm			18 µm	
Polymide	25µm	50µm	75µm		25 µm	
Base copper + Button plating	18µm	35µm			18 µm	
Adhesive	13µm	20µm	40µm		13 µm	
PI Coverlay	13µm	25µm	50µm		13 µm	
Adhesive	AIRGAP		13µm	20µm	40µm	13 µm
PI Coverlay	13µm	25µm	50µm		13 µm	
Adhesive	13µm	20µm	40µm		13 µm	
Base copper + Button plating	18µm	35µm			18 µm	
Polymide	25µm	50µm	75µm		25 µm	
Base copper + Button plating	18µm	35µm			18 µm	
Coverlay adhesive	20µm	25µm	50µm	75µm	25 µm	
PI Coverlay	13µm	25µm	50µm		25 µm	

Abb. 6 Abmessungen und Materialien einer 4-lagigen flexiblen Leiterplatte. (Quelle: <https://www.multi-circuit-boards.eu/en/pcb-design-aid/layer-buildup/flexible-pcb.html>)

### Zusammenarbeit

Dieses Arbeitspaket wurde in Zusammenarbeit mit anderen Partnern durchgeführt. Mehrere Entwurfsiteration des Substratlayouts und Modifikationen der 1. Generation Schaltung wurden sowohl für LTCC- als auch für Glassubstrate in Zusammenarbeit mit UST und HZB entwickelt, wie oben gezeigt und in AP 1.8 unten. Zu den Inputs gehören die Dimensionierungsinformationen der XSE-Kammer von HZB und die kontinuierlichen Fortschritte beim CMOS-Chip von UST. Die Untersuchung der mechanischen Eigenschaften des LTCC-Materials und die Anpassungen des EPRoC-kompatiblen Designs, wie z.B. die Leiterschichtdicke und -breite, wurden auf Grundlage dieser Inputs durchgeführt. Aufgrund der COVID-19-Beschränkungen am KIT und bei anderen Partnerinstitutionen gab es jedoch erhebliche Verzögerungen im Gesamtfortschritt.

- AP 1.8 – Charakterisieren der realisierten EPRoC

#### (a) Ziele (laut Gesamtvorhabensbeschreibung)

Dieses Arbeitsprogramm fasst die Charakterisierungsaktivitäten im Rahmen der Realisierung der Interposersubstrate und der darauf aufgebauten EPR-Sensoren zusammen. Dabei wird die Funktionalität des Aufbaus in den verschiedenen Zuständen mit Hilfe eines konventionellen EPRElektromagneten untersucht. Im ersten Schritt erfolgt die Charakterisierung der von der UST realisierten CMOS-Chips. Dabei steht die Signalstärke und –qualität sowie die Auflösung des Systems im Fokus. Diese Messungen dienen als Benchmark für die Bewertung der Ergebnisse der weiteren Charakterisierungen in den verschiedenen Aufbauvarianten. Die so erzielten Daten sind die Voraussetzung, um den Prozess und die Herangehensweise zum Aufbau der Interposersubstrate zu optimieren und den Einfluss z.B. der Apertur zu quantifizieren. Die Eigenschaften und das Verhalten des Halbach-artigen Magneten werden durch NMR Magnetometermessungen ermittelt, um sicherzustellen, dass funktionstaugliche Magnete verbaut werden und um das Systemverhalten theoretisch bewerten zu können. Ebenfalls untersucht wird die Funktionsweise der Kommunikationsschnittstelle. Fertig aufgebaute Systeme werden unter realistischen

Randbedingungen, denen ein miniaturisiertes „Hand-held“ System ausgesetzt ist (Vibrationen, Temperaturschwankungen, langperiodische Positionsänderungen, etc.) geprüft, bevor sie an den Partner HZB zur weiteren Verwendung weitergegeben werden. Die Analysen erfolgen sowohl für die Aufbauten mit den LTCC Substraten der ersten Phase, als auch für Aufbauten mit den Dünnschichtglassubstraten der zweiten Phase. Die Ergebnisse der Charakterisierung werden mit den Partnern ausgetauscht und diskutiert, um eine ergebnisorientierte und -optimierte Entwicklung der EPR Sensoren sicherzustellen.

(b) Schlussfolgerungen, Einordnung und Relevanz für das Teilprojekt und ggf. den Verbund

### **Charakterisierung des LTCC-basierten NMR-Chips**

Bezüglich des LTCC-basierten Spiralchips, der in AP 1.7 erwähnt wird, wurde die Magnetfeldverteilung durch COMSOL-Simulationen untersucht und die Impedanz der hergestellten Geräte am KIT gemessen. Die Ergebnisse sind Teil des Fachartikels, der eingereicht werden soll.

Abbildung 7 zeigt die RF-Feldverteilung sowohl von oben als auch von der Seite des Chips bei 3 NMR-Arbeitsfrequenzen. Die hier gezeigte Spirale hat 10 Windungen. Da das Substrat als LTCC zugewiesen ist, sehen wir, dass die Feldverteilung aus der Seitenansicht eine gute Symmetrie aufweist, da das LTCC-Substrat eine hohe Permittivität von ca. 7,8 hat, was vorteilhaft für die Feldkopplung zwischen dem Interposer-Substrat und der passiven Spule ist.

Für die elektrische Charakterisierung wurden die Ports des Chips über ein Koaxialkabel verbunden, und mehrere Spulen mit unterschiedlichen Windungszahlen wurden mit einem Netzwerkanalysator auf Impedanzen und Resonanzfrequenzen gemessen, wie in Abbildung 8 dargestellt. Im Fall eines 10-Windungs-Spiral-Detektors liegt die Resonanzfrequenz bei 340 MHz. Bei den beobachteten Betriebsfrequenzen von 200 MHz und 500 MHz betragen die Impedanzen  $14,1 + i 357,8 \Omega$  und  $25,3 - i 809 \Omega$ . Im Vergleich dazu sind die Simulationsergebnisse von COMSOL MultiPhysics  $12,85 + i 106,5 \Omega$  und  $30 \Omega - i 1295 \Omega$ . Im beobachteten Frequenzbereich hat der Widerstand des Detektors eine Toleranz von 15% bis 20%, was akzeptabel ist, da die Substratschaltung durch Widerstände mit hohen Werten gesteuert wird, wie in Abb. 5 gezeigt.

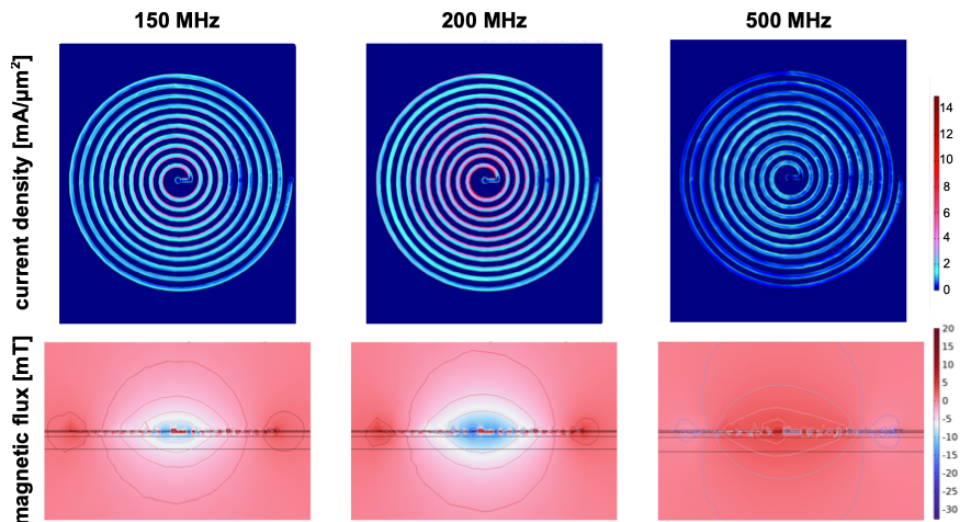


Abb.7 RF field of a 10-turn spiral at 3 NMR frequencies simulated in COMSOL (confidential).

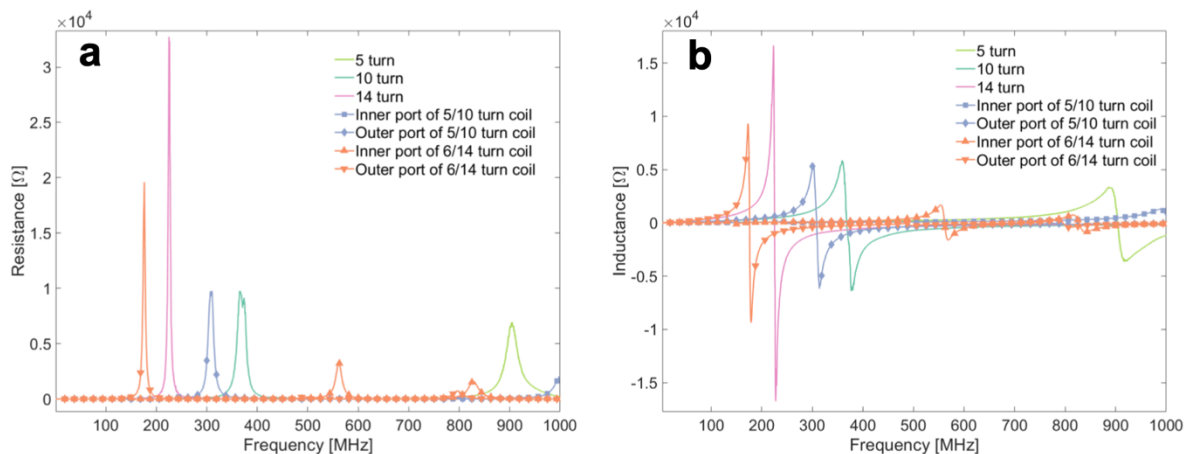


Abb.8 Left: resistance of spirals with different turn numbers. Right: inductance of the spirals (confidential).

### Charakterisierung der thermischen Bedingungen auf dem Substrat

In Anbetracht der Arbeitsumgebung des Interposer-Substrats berichteten die Projektpartner, dass der durch den CMOS-Chip verursachte Temperaturanstieg, der bis zu 40 °C betragen kann, signifikant hoch ist und die Funktion des Chips beeinträchtigen könnte. Daher wurde eine thermische Analyse des LTCC-Substrats mittels COMSOL durchgeführt, um die Wärmeableitung zwischen verschiedenen Substratmaterialien zu vergleichen. Die Schaltung der 1. Generation wurde in die Software übertragen. Das fünflagige Layout ist in Abbildung 9 in einer gestapelten Ansicht dargestellt, wobei die vertikale Dimension nicht maßstabsgetreu ist. In Bezug auf die Simulationseinstellungen wird der Chipbereich, der als blaues Detail im Stapel erscheint, mit einer Leistung von 1 W versorgt, und die Rückseite des Substrats wird bei 293 K gehalten. In einer Vakuumumgebung umfasst der Wärmeübertrag die Wärmeleitung innerhalb des Substrats und die Strahlung von Oberfläche zu Oberfläche, wie auf der linken Seite von Abb. 9 dargestellt.

Es wurde ein Vergleich zwischen FR4 als normalem Leiterplattenmaterial und LTCC angestellt. Die Wärmeübertragungskoeffizienten von FR4 und LTCC betragen jeweils 0,3 W/m K und 3,3 W/m K, während die spezifischen Wärmekapazitäten 1150 J/kg K und 1369 J/kg K betragen.

Dies bestätigt eine um eine Größenordnung verbesserte Wärmeleitfähigkeit im Vergleich zu FR4. Laut der Simulationstemperaturverteilung, die in Abb. 10 angezeigt wird, ist die durchschnittliche Temperatur im Chipbereich im Vergleich zu FR4 bei Verwendung von LTCC um etwa 30 °C gesenkt, was der langen Haltbarkeit des Geräts zugutekommt und das thermische Rauschen reduziert.

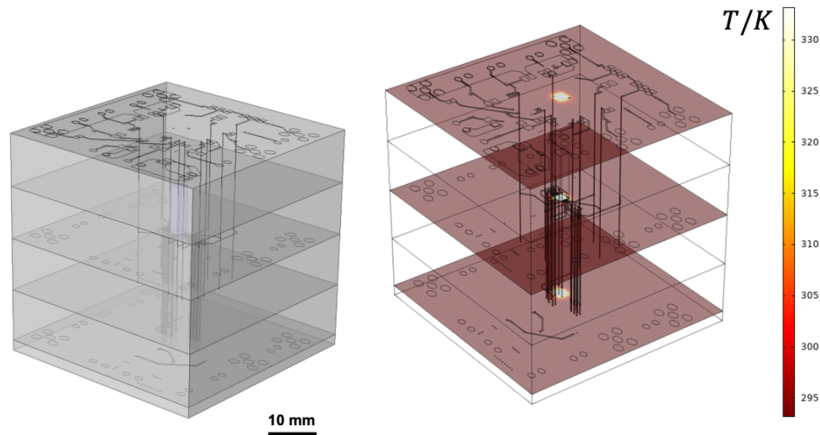


Abb. 9 Links: Stapelansicht des Substrats. Rechts: Temperaturverteilung des Substrats auf drei Leiterschichten.

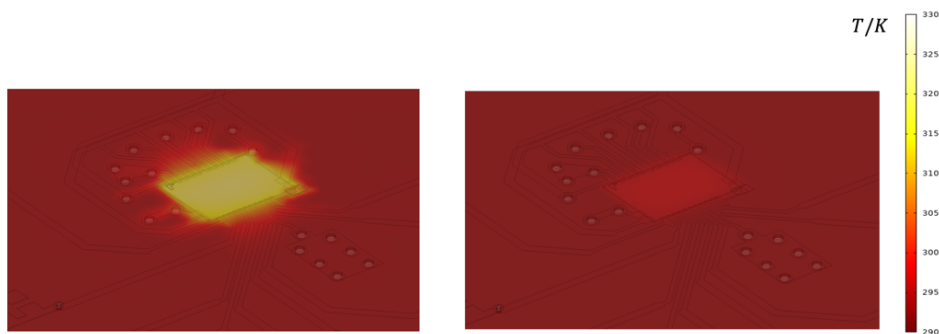


Abb. 10 Links: Temperaturverteilung um den Chipbereich auf FR4-Substrat. Rechts: Temperaturverteilung um die Chip-Domäne auf dem LTCC-Substrat.

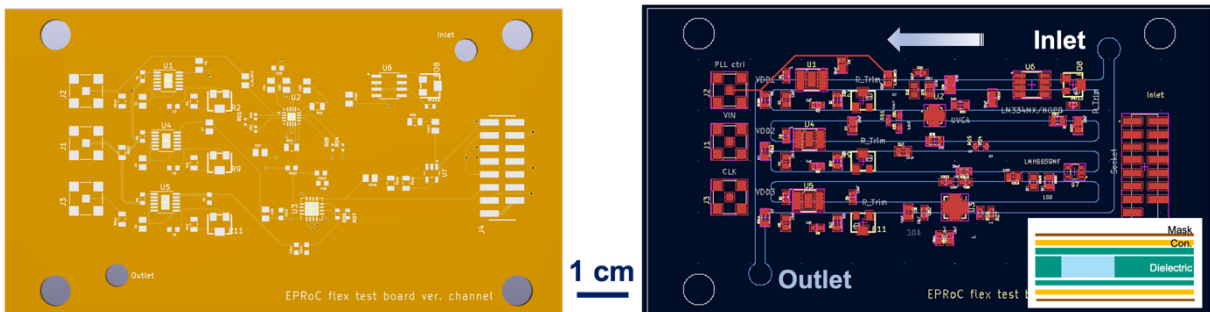


Abb. 11 Left: top view of the board for EPRoC with main VGAs, ADCs (110mm × 60mm × 0.39mm). Right: embedded fluid/gas cooling channel (blue inked) with a height of 0.20mm.

## Optimiertes Substratdesign mit eingebettetem Fluidkanal

Ein optimiertes Substratdesign mit eingebettetem Flüssigkeitskühlkanal wurde vorgeschlagen, wie in Abb. 11 gezeigt. Der eingebaute Hohlraum/Kanal ist einer der Vorteile von LTCC für diese Substratanwendung. Im Design sind ein Einlass und ein Auslass durch fünf Kanäle verbunden, die unter den Hauptwärme erzeugenden Komponenten auf der Platine verlaufen. Durch Variieren der Fließrate im Kanal wird die Temperaturverteilung auf dem Chip in Abb. 12 dargestellt, wenn eine übliche Temperatur von 50 °C auf die Komponenten angewendet wird. Bei einer Fließrate von mehr als 10 ml/s sehen wir eine durchschnittliche Temperaturabsenkung, die proportional zur Änderung der Fließrate ist.

Auf der anderen Seite wurde der Oberflächen Druck durch den Fluss in Abb. 13 untersucht. Bei einer Fließrate von 40 ml/s, was einem Temperaturabfall von 2 °C entspricht, wurde ein Druck von 950 Pa am Einlass erzeugt, was weit unter der mechanischen Festigkeit von LTCC liegt.

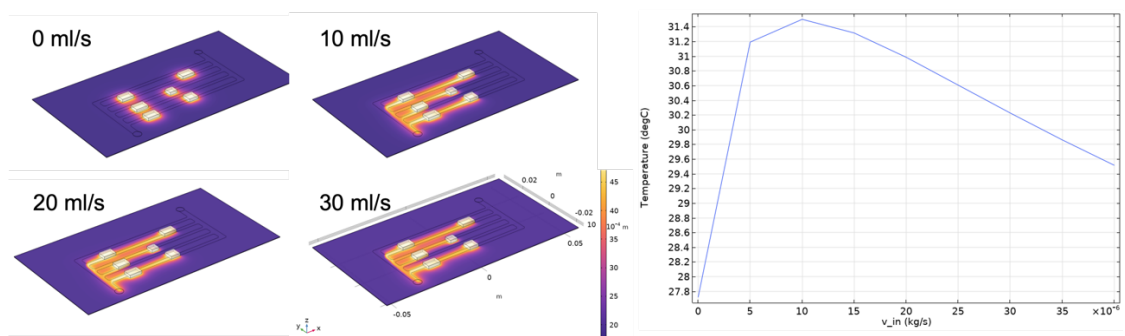


Abb. 12 Left: Temperature distribution (°C) in substrate with a constant 50 °C heat source from mocking chip elements. Right: Average temperature on the circuit area.

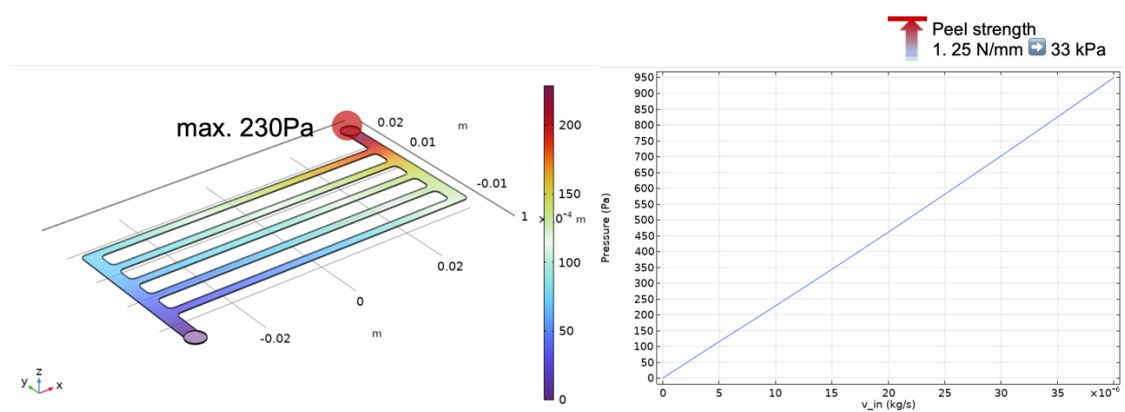


Abb. 13 Left: Surface pressure in liquid channel at 10 ml/s mass flow. Right: Average pressure upon the inlet area.

## Zusammenarbeit

Dieses Paket folgt im Wesentlichen AP 1.7 zur Charakterisierung des Substrats. Dieser Arbeitsbereich erforderte ebenfalls die Zusammenarbeit des Sensorchips von UST und der

Magnetaufstellung bei HZB, um die elektrische Leistung und die Bedingungen des Magnetfelds zu bewerten. Folglich wurde auch dieser Arbeitsbereich verzögert.

Die Charakterisierung wurde am IMT durchgeführt. Die Randbedingungen für die Substrat- und Schaltungsstudie basierten auf Diskussionen zwischen den Partnern. Das Design der ursprünglichen Leiterplatte und die thermischen Bedingungen des Chips wurden von den Partnern bereitgestellt. Die Simulation des Wärmeübergangs wurde von KIT erstellt und analysiert und innerhalb der Gruppe als Referenz verwendet.

- AP 1.9 – Aufbau der EPRoC-Systeme mit Dünnschichtglassubstraten und eingedünnten mit Apertur versehenen CMOS Chips

(a) Ziele (laut Gesamtvorhabensbeschreibung)

Je näher das EPRoC-System zu dem zu messenden Objekt und dem Permanentmagneten steht, umso größer ist die zu erwartende Signalstärke sowie Stärke des homogenen Magnetfeldes  $B_0$ . Aus diesem Grunde wird in der zweiten Phase des Projektes versucht, einen Sensor aufzubauen, der dieser Forderung so gut wie möglich nachkommt. Im Wesentlichen erfolgt dies durch Reduktion der Dicke der verwendeten Substrate, sowohl des CMOS-Substrates als auch des Interposer Substrates. In dem Arbeitspaket werden deshalb einerseits Möglichkeiten erarbeitet, mit denen das CMOS-Substrat eingedünnt werden kann. Andererseits werden Prozesse entwickelt, die den Einsatz von Dünnschichtglassubstraten als Interposer-Substrate erlauben. Zum Eindünnen der CMOS-Chips werden verfügbare Ätztechniken validiert. Dies erfolgt in enger Zusammenarbeit mit der UST, um den Prozess zu optimieren und die Grenzen des Eindünnens festzulegen, die dadurch bestimmt wird, dass die Funktion des CMOS-Chips nicht beeinträchtigt wird. Auch muss sichergestellt werden, dass der Chip nach Einbringen der Apertur für den Röntgenstrahl noch ausreichend mechanisch stabil ist. Die Bestückung der Dünnschichtglassubstrate erfordert eine Modifikation der im AP1.7 entwickelten Prozesse zur Integration von Chip, Halbach-artigem Magnet und Trimmsschicht. Insbesondere wird die Laserbearbeitung zur Durchkontaktierung und zur Realisierung der Apertur zu Spannungen im amorphen Glas führen. Der Prozess muss so optimiert werden, dass diese Spannungen nicht zu einem Bruch des Glases auch in der späteren Anwendung führen. Auch die Verbindungstechniken gestalten sich anders und müssen auf das Glassubstrat angepasst werden.

(b) Schlussfolgerungen, Einordnung und Relevanz für das Teilprojekt und ggf. den Verbund

Glas-Wafer mit einer Dicke von 100  $\mu\text{m}$  und 200  $\mu\text{m}$  wurden bestellt, um deren Potenzial für das Substrat zu untersuchen. Für ein Substrat von etwa 300  $\mu\text{m}$  könnten wir drei Schichten organisieren. Wenn ein Drei-Schichten-Stapel nicht ausreicht, sollte ein Glas-Wafer von 50  $\mu\text{m}$  in Betracht gezogen werden, der jedoch am teuersten und leicht zerbrechlich ist.

Für das Glas-Substrat haben wir die Herstellungsmöglichkeiten für jede Struktur untersucht. Die grundlegenden 2,5D-Fertigungstechniken wurden bereits in anderen IMT-Projekten getestet. Dazu gehören das Laserschneiden von 100  $\mu\text{m}$  dicken Glas-Wafern, Spin-

Beschichtung für die Leiterbahnabscheidung, Galvanisierung zur Verdickung der Leiterbahnen, Schichtlaminiierung und thermisches Wafer-Bonden. Zum Vergleich: Laserschneiden kann mindestens ein Loch mit einem Durchmesser von 50 µm realisieren. Die Linienbreite der Goldabscheidung beträgt 20 µm. Die Vorteile im Vergleich zu LTCC sind die relativ niedrigeren Kosten und die reduzierte Störung des Magnetflusses, der durch das Substrat hindurchtritt. Auf der anderen Seite gibt es weiterhin Fertigungsprobleme, die aus unseren Diskussionen hervorgegangen sind. Die Zerbrechlichkeit des Glases führt zu geringeren Produktionsausbeuten, da die Fertigungs-Komplexität zunimmt, was die Montage des Systems und die Handhabung während der Experimente kompliziert.

Eine der größten Herausforderungen ist die Herstellung von Durchkontaktierungen im Glas-Substrat. Nach Überprüfung der verfügbaren Forschungsergebnisse erscheinen Cu-Sputtern und photolithografisch unterstützte Galvanisierung vielversprechender für unser Projekt als die Durchkontaktierung mit Trägerschichten. Eine weitere Herausforderung ist das Bonden von Glas-Wafern. Bei mehr als drei Signalschichten ist es unvermeidlich, dass mindestens ein mittlerer Glas-Wafer wölbende Leiterbahnen aufweist. Zwei Glas-Wafer können nicht direkt ohne eine Haftschiicht, die die Leiterbahnen abdeckt, verbunden werden. Daher ist die Suche nach einem geeigneten Haftvermittler von größter Bedeutung. Gleichzeitig sollte die elektrische Verbindung zwischen den verschiedenen Schichten nach dem Bonden und anschließenden Löten zuverlässig bleiben.

Nach der Gesamtbewertung der Glas-Wafer wurde entschieden, dass das Glas-Substrat für das von uns entwickelte Interposer-Substratdesign unter Berücksichtigung aller Anforderungen der Partner nicht geeignet ist. Daher wurde dieses AP wie vereinbart abgeschlossen, und der Fokus lag auf dem Schaltungsdesign und der Prototypenentwicklung mit flexibler PCB und LTCC, wie in AP 1.8 präsentiert.

### **Zusammenarbeit**

Dieser Arbeitsbereich umfasst den Bau des Glas-Substrats und ist ähnlich der Aufgabe von AP 1.7, die vor AP 1.8.2 abgeschlossen werden sollte. Die Fertigungsprozesse für Glas-Durchkontaktierungen werden in regelmäßigen Treffen von den Partnern von HZB und UST diskutiert und bewertet, um eine ordnungsgemäße Herstellung sicherzustellen.

- AP 1.10 – Analysieren der Leistungsfähigkeit der on Chip EPR-Systeme in der korrelativen Charakterisierung mit Röntgenemissionspektroskopie und Abschätzung der Übertragbarkeit auf andere Röntgenanalysemethoden

(a) Ziele (laut Gesamtvorhabensbeschreibung)

Der im Rahmen dieses Projektes entwickelte Chip wird den beiden im Projekt verfolgten Anwendungsbeispielen (Analyse des Schichtwachstums von abgeschiedenen Verbundschichten, Korrelative XES-EPR-Spektroskopie, Elektrochemische Zelle zur spektroelektrochemischen Untersuchung in der Katalyse und der Batterieforschung) zur Verfügung gestellt. Von beiden Anwendungen erfolgt eine Rückkopplung an das KIT, um daraus mögliches Verbesserungspotential des Interposersubstrates und letztendlich auch des

EPR-Chips zu identifizieren. Im Falle des Einsatzes in der korrelativen Charakterisierung mit XES beteiligt sich das KIT an den Untersuchungen, um so direkt die Grenzen und Möglichkeiten der Kombination beider Technologien zu erkennen und zu verstehen. Von besonderem Interesse ist dabei auch der Umgang mit den generierten Daten und die Art und Weise, wie aus den unterschiedlichen Datensätzen ein gemeinsamer Datensatz mit höherem Informationsgehalt generiert werden kann. Dieses Verständnis ist Voraussetzung, um Abschätzungen vornehmen zu können, wie die EPR-Messung mit anderen Röntgencharakterisierungsmethoden korreliert werden kann. Dabei sind speziell die Kombination mit bildgebenden Methoden wie Radiographie, Mikroskopie und Tomographie im Fokus.

(b) Schlussfolgerungen, Einordnung und Relevanz für das Teilprojekt und ggf. den Verbund

Wie in AP 1.8 dargestellt, befand sich das Interposer-Substrat noch in der Charakterisierung der Betriebsbedingungen. Der CMOS-Chip von UST und das Interposer-Substrat waren zum Stand Dezember 2023 noch nicht bereit, für die XES-EPR-Spektroskopie zusammenzuarbeiten.

### 3. Erfolgskontrollbericht

Die Arbeitspakete des KIT, darunter AP1.6 bis AP1.10, konzentrierten sich auf die Entwicklung eines neuen Interposersubstrats, das mit dem CMOS-Chip bei hohen Frequenzen arbeitet und die Kommunikation des EPR-Systems mit der Außenwelt ermöglicht. Es handelt sich um ein Arbeitsprogramm, das in enger Zusammenarbeit mit allen Projektpartnern durchgeführt wird.

(a) **Zielverwirklichung**

Aufgrund von Schwierigkeiten bei der Rekrutierung und Einstellung neuer Mitarbeiter beantragte das KIT eine Verschiebung des Projektbeginns. Dieser Antrag wurde durch den Änderungsbescheid vom 17.09.2019 akzeptiert. Dieser Projektabschnitt begann im Juni 2020, und die Meilensteine wurden entsprechend angepasst. Ab Juni 2021 wurde aufgrund der Corona-Situation, die alle Partnerseiten betraf, eine weitere Verzögerung des gesamten Projekts vorgeschlagen, und das Ende des Projekts wurde auf Dezember 2023 verschoben. AP 1.6 und 1.7 wurden gemäß dem aktualisierten Meilensteinplan wie vorgesehen abgeschlossen. Dies umfasste die Konzeption und das Design eines Interposersubstrats, das hauptsächlich auf LTCC-Technologie basiert und auf den 2. Gen CMOS-Chip/BiCMOS-Chip abzielt, sowie einen ersten Test der Herstellung und der Magnetfeldleistung von LTCC mit einem NMR-Chipgerät. Die Schaltungsplatine wurde für die LTCC-Fertigung mit den erforderlichen fluidischen Kavitäten, Leiterbahnmustern und Durchkontaktierungen entworfen. Das Drahtbonding für die Verbindung von Chip und Leiterplatte wurde ebenfalls charakterisiert, wobei eine niedrige Bump-Höhe von etwa 20 µm von der Oberseite des Chips erreicht wurde. Später wurde die flexible Leiterplatte für Tests eingeführt, die eine schnelle und kostengünstige Alternative zu LTCC bietet.

AP 1.9, als paralleles Arbeitspaket zu AP 1.7, konzentrierte sich auf die Möglichkeit, Glaswafer als alternative Option für das Interposersubstrat zu verwenden. Nach einer

gründlichen Untersuchung und vor Ort durchgeführten Tests von Glaswafern in verschiedenen Dicken wurde deutlich, dass die Glas-Substrate für die EPRoC-Anwendung nicht geeignet waren, weshalb dieser Arbeitsabschnitt geschlossen wurde.

AP 1.8 und 1.10 wurden teilweise abgeschlossen und umfassten die Charakterisierung des Magnetfelds und der thermischen Bedingungen des LTCC-Substrats, wobei rechnergestützte Simulationen und Messungen kombiniert wurden. Eine Optimierung der Platine wurde mit fluidischen Kühlkanälen umgesetzt, wodurch die Temperatur um mindestens 2 °C gesenkt wurde. Aufgrund des Fehlens eines funktionsfähigen CMOS-Chips und eines gefertigten LTCC-Substrats innerhalb des begrenzten Projektzeitraums konnte die Kooperation der beiden Geräte im EPR-System bisher noch nicht realisiert werden.

#### (b) **Methodologie-Bewertung und Herausforderungen**

Um eine präzise Vorhersage der Leistung zu ermöglichen, wurden mehrere physikalische Simulationen angewendet, die sich als effektiv erwiesen, um die elektrischen und magnetischen Eigenschaften der Leiterbahnmuster sowie die gesamte Wärmeverteilung auf der Platine zu erfassen. Jedoch war es aufgrund der kontinuierlichen Iterationen im Chip-Design und Änderungen am EPR-Messsystem nicht möglich, das gefertigte Gerät nach jeder Iteration zu aktualisieren und zu optimieren. Der Zeitaufwand, um das Substrat an einen neuen Chip anzupassen, muss insbesondere bei komplexen Systemen mit vielen Einschränkungen berücksichtigt werden.

Die Tests verschiedener Substratmaterialien und Bonding-Technologien wurden am KIT durchgeführt, wobei die Reinraumeinrichtungen, RF-Messgeräte und Bonding-Maschinen genutzt wurden. Durch die Corona-Pandemie waren die Besuche bei Partnern und die kollaborativen Messungen in der entscheidenden Mittelphase des Projekts eingeschränkt, was die detaillierte Charakterisierung der Geräte und eine schnelle Lösung von Designänderungen vor Ort behinderte.

Es bestand Verbesserungsbedarf in der multilateral Kommunikation, und die Meilensteine sowie Indikatoren zur Fortschrittsmessung sollten kontinuierlich innerhalb des Projekts angepasst werden.

#### (c) **Fazit und Ausblick**

Der Projektabschnitt AP 1.6 bis AP 1.10 des KIT hat erfolgreich ein Design für ein LTCC-Interposersubstrat geliefert und eine umfassende Bewertung der Alternativen, einschließlich Glaswafer, FR4-basierter PCB und flexibler PCB, präsentiert. Eine erste Charakterisierung eines LTCC-basierten Spiralspulen-Chips wurde hinsichtlich seiner mechanischen und magnetischen Leistung durchgeführt. Der Chip zeigte eine hohe mechanische Festigkeit bei einer Dicke von bis zu 0,5 mm, hohe Flexibilität bei der Strukturierung und eine niedrige dielektrische Verlustleistung, wie versprochen. Weitere Fertigungen des LTCC-Interposersubstrats und Untersuchungen seiner Anwendung in einem EPRoC-Gerät stehen noch aus.