

# Sachbericht zum Verwendungsnachweis

## Teil 2: Eingehende Darstellung

### Effiziente Hardwareimplementierung von FEC-Verfahren in ASIC Technologie

Im KMUi-Verbundprojekt

## **FACTOR**

### *Fehlerkorrekturverfahren für hochratige, optische Freiraumkommunikation*

Förderkennzeichen: 16KIS1608

Laufzeit des Vorhabens: 01.07.2022 – 30.06.2025

Gefördert durch:



Bundesministerium  
für Forschung, Technologie  
und Raumfahrt

CREON | C

**RP TU** Rheinland-Pfälzische  
Technische Universität  
Kaiserslautern  
Landau

 **DLR** Deutsches Zentrum  
für Luft- und Raumfahrt  
German Aerospace Center

# Inhaltsverzeichnis

- 1 Projektübersicht..... 2
  - 1.1 Ziele ..... 2
  - 1.2 Rolle der RPTU im Projekt FACTOR..... 3
- 2 Arbeitsplan und Rolle der RPTU in den einzelnen Arbeitspaketen ..... 4
  - 2.1 Rolle der RPTU in AP2..... 4
  - 2.2 Rolle der RPTU in AP3..... 5
  - 2.3 Rolle der RPTU in AP4..... 5
- 3 Notwendigkeit und Angemessenheit der geleisteten Projektarbeiten ..... 5
- 4 Wichtigste Positionen des zahlenmäßigen Nachweises ..... 6
  - 4.1 Positionen im Einzelnen ..... 6
  - 4.2 Änderung bei der Ausgabenplanung..... 6
- 5 Beschreibung der Ergebnisse..... 6
  - 5.1 Anforderungen aus AP1 (0 PM)..... 7
  - 5.2 AP2: Design Kanalkodierungsverfahren (4 PM) ..... 7
  - 5.3 AP3: Design Space Exploration und Hardware Design (16 PM) ..... 8
    - 5.3.1 AP3 (Interleaver): Design Space Exploration und Hardware Design..... 8
    - 5.3.2 AP3 (Kanaldecoder): Design Space Exploration und Hardware Design ..... 13
  - 5.4 AP4: Labordemonstration (2 PM)..... 16
  - 5.5 Zusammenfassung..... 16
- 6 Voraussichtlicher Nutzen, insbesondere Verwertbarkeit der Ergebnisse ..... 17
- 7 Fortschritte auf dem Gebiet des Vorhabens bei anderen Stellen ..... 17
- 8 Erfolgte und geplante Veröffentlichungen..... 18

# 1 Projektübersicht

Das Verbundprojekt FACTOR (Fehlerkorrekturverfahren für hochratige, optische Freiraumkommunikation) adressierte die Entwicklung leistungsfähiger und zugleich implementierungseffizienter Forward Error Correction (FEC)-Verfahren für optische Freiraumkommunikations (FSO)-Systeme. Im Fokus standen insbesondere Downlinks von Low Earth Orbit (LEO)-Satelliten zu Bodenstationen, in denen sehr hohe Nutzdatenraten im Bereich von 100 Gbit/s angestrebt wurden und der Kanal durch atmosphärische Turbulenzen, Fading und zeitweise Ausfälle geprägt ist.

Wir untersuchten in FACTOR, wie leistungsfähige Kanalcodes und entsprechende Decoderarchitekturen so gestaltet werden können, dass zum einen die nachrichtentechnischen Anforderungen für FSO-Systeme erfüllt werden können, zum anderen aber auch effiziente Decoder in State-of-the-Art Halbleitertechnologien und FPGAs realisiert werden können.

Das Projekt wurde im Rahmen des Förderprogramms „KMU-innovativ“ durch das Bundesministerium für Bildung, Forschung, Technologie und Raumfahrt (BMFTR) gefördert. Der Verbund bestand aus der Creonic GmbH als KMU und Verbundkoordinator, dem Deutschen Zentrum für Luft- und Raumfahrt (DLR), der Rheinland-Pfälzischen Technischen Universität Kaiserslautern-Landau (RPTU) sowie Tesat-Spacecom als assoziiertem Industriepartner. Die Laufzeit des Verbundprojekts und des Teilvorhabens der RPTU erstreckte sich vom 01.07.2022 bis zum 30.06.2025.

## 1.1 Ziele

FACTOR verfolgte das Ziel, FEC-Lösungen für optische Freiraumkommunikation zu entwickeln, die folgende Bedingungen erfüllen sollen:

- bei großen Blocklängen unter Nutzung von Soft-Information nahe an die theoretisch erreichbare Fehlerkorrekturleistungsgrenze (Kanalkapazität) heranreichen,
- Datenraten von 100 Gbit/s zu unterstützen und
- dabei eine hohe Energie- und Flächeneffizienz aufweisen, so dass ein praktischer Einsatz in Raumfahrt- und Bodenstationssystemen realistisch ist.

**Um diese Ziele zu erreichen, wurden drei technische Schwerpunkte adressiert:**

1. Untersuchung von Kanalcodierungsverfahren für FSO-Links: Auswahl und Entwurf von Codefamilien, insbesondere Low-Density Parity-Check Codes (LDPC) Codes, die sich für lange Blocklängen, starke Quantisierung und sehr hohe Durchsätze eignen.
2. Decoderarchitekturen unter Implementierungsrestriktionen: Entwicklung von Decodieralgorithmen und Architekturen, die eine hohe Flächeneffizienz ( $bit/s/mm^2$ ) und Energieeffizienz ( $pJ/bit$ ) aufweisen.
3. Interleaver- und Speicherarchitekturen: Entwurf und Implementierung von Interleaverstrukturen auf Basis von Dynamic Random-Access Memories (DRAMs), um die für FSO notwendige Zeitdiversität zu ermöglichen.

Aus Sicht des Förderprogramms „KMU-innovativ“ zielte FACTOR darauf ab, die wissenschaftliche Kompetenz auf dem Gebiet der Kanalcodierung, Implementierungswissen, sowie Anwendungswissen über FSO-Systeme mit der Produkt Roadmap eines mittelständischen Unternehmens zu verknüpfen, um die Position des Unternehmens auf dem wachsenden Gebiet der Satellitenkommunikation zu stärken. Die im Projekt erzielten Ergebnisse sollten es Creonic

ermöglichen, neue IP-Cores und Lösungen für solche Systeme zu entwickeln und damit die Wettbewerbsposition im internationalen Markt zu stärken.

## 1.2 Rolle der RPTU im Projekt FACTOR

Die RPTU war im Verbund für Architekturen und deren Hardwareimplementierung zuständig. Wir untersuchten und bewerteten Code- und Decodieralgorithmen aus Implementierungssicht und verfolgten dabei einen Cross-Layeransatz, in dem Code, Decodierung und Hardwareimplementierung gemeinsam betrachtet wurden.

### Konkret übernahm die RPTU im Projekt FACTOR folgende Rollen:

- Mitwirkung bei der Systemfestlegung: Einbringen der Implementierungsaspekte in das FSO-Systemmodell, insbesondere zu Interleavergröße, Bandbreitenanforderungen und Decoderanforderungen bezüglich Durchsatz, Flächen- und Energieeffizienz.
- Design und Bewertung von Kanalcodierungsverfahren: Analyse und Vergleich von Spatially Coupled LDPC (SC-LDPC) Codes und LDPC-Blockcodes (LDPC-BCs) und entsprechender Decodieralgorithmen hinsichtlich nachrichtentechnischer Performanz, Quantisierung und Implementierungskomplexität.
- Design Space Exploration und Hardwaredesign: Aufbau eines Evaluationsframeworks zur gemeinsamen Betrachtung von Codeparametern, Decodieralgorithmen und Architekturvarianten. Implementierung und Charakterisierung ausgewählter Decoderarchitekturen in einer 12 nm FinFET Technologie.
- Entwurf und Implementierung eines DRAM-basierten Interleavers: Konzeption, Optimierung und prototypische Umsetzung eines hochratigen Interleavers auf einer FPGA-Plattform mit Standard-DRAMs.

Der Lehrstuhl Entwurf Mikroelektronischer Systeme legte den Schwerpunkt seiner Arbeiten in diesem Projekt auf das Cross-Layerdesign, i.e., das enge Zusammenspiel zwischen Code, Algorithmen, Architekturen und deren effiziente Implementierung in fortgeschrittenen ASIC-Technologien. Hierzu spielte der Trade-Off zwischen nachrichtentechnischer Performanz und Implementierungseffizienz eine zentrale Rolle. Die Untersuchung dieses Zusammenspiels mit dem Ziel einer bestmöglichen Implementierung mit kleiner Fläche, hohem Durchsatz und großer Energieeffizienz unter nachrichtentechnischen Performanzvorgaben wird als Entwurfsraumexploration bezeichnet. Aufgabe der RPTU in diesem Projekt war es, in Zusammenarbeit mit den Partnern, die ihren Fokus mehr auf der nachrichtentechnischen und algorithmischen Seite haben, in einem Ebenen-übergreifenden, iterativen Ansatz entsprechende effiziente Decoder-Architekturen zu entwickeln. Zur Bewertung der Implementierungseffizienz wurde ein Virtual Silicon Ansatz gewählt, d.h. es wurden keine Chips gefertigt, aber das Design bis auf Layout-Ebene durchgeführt und bezüglich Timings und Power unter Berücksichtigung der Parasitics ausführlich charakterisiert. Darüber hinaus wurde ein FPGA-Demonstrator mit allen notwendigen Komponenten implementiert.

## 2 Arbeitsplan und Rolle der RPTU in den einzelnen Arbeitspaketen

Im Verbundprojekt FACTOR war Arbeitsplan in sechs Arbeitspakete (APs) gegliedert, wie in Abbildung 1 schematisch dargestellt. Die Arbeitspakete wurden inhaltlich aufeinander aufbauend strukturiert. **AP1** definierte die Systemrandbedingungen des optischen Freiraumlinks und legte damit die Grundlage für die in **AP2** entwickelten Kanalcodierungsverfahren. In **AP3** wurden diese Verfahren unter Implementierungsgesichtspunkten untersucht, in ASIC-Zieltechnologien und auf FPGAs abgebildet und hinsichtlich Durchsatz, Flächenbedarf und Energieeffizienz charakterisiert. **AP4** diente der labormäßigen Demonstration auf FPGAs der im Verbund entwickelten Komponenten. **AP5** adressierte die Übertragbarkeit der Konzepte auf Feeder-Uplinks. **AP6** umfasste die Projektkoordination, Abstimmung im Verbund und das Berichtswesen.

**Der Fokus der RPTU (grün in Abbildung 1) lag auf AP2, AP3 und AP4.** In **AP1** brachte sie die Implementierungsperspektive in die Systemfestlegung ein, ohne hierfür eigene Personenmonate zu veranschlagen. In **AP5** war die RPTU nicht direkt eingebunden. Im Rahmen von **AP6** nahm die RPTU regelmäßig an Workshops und Abstimmungstreffen teil und unterstützte die Erstellung der fachlichen Berichte und Publikationen.

### 2.1 Rolle der RPTU in AP2

Ziel von AP2 war es, Kanalcodierungsverfahren für optische Freiraumkommunikation zu entwerfen, die die in AP1 definierten Systemanforderungen erfüllten. Dazu gehörten große Blocklängen, die Nutzung von Soft-Information, starke Kanalfluktuationen sowie eine implementierbare Datenrate von 100 Gbit/s.

Die RPTU beteiligte sich in AP2, indem sie sowohl SC-LDPC- und LDPC-BCs aus Implementierungssicht analysierte und bewertete. Als Ergebnis zeigte sich, dass stark quantisierte LDPC-BC Decoder am ehesten sowohl aus nachrichtentechnischer Sicht als auch aus Implementierungssicht die Anforderungen aus AP1 erfüllten.

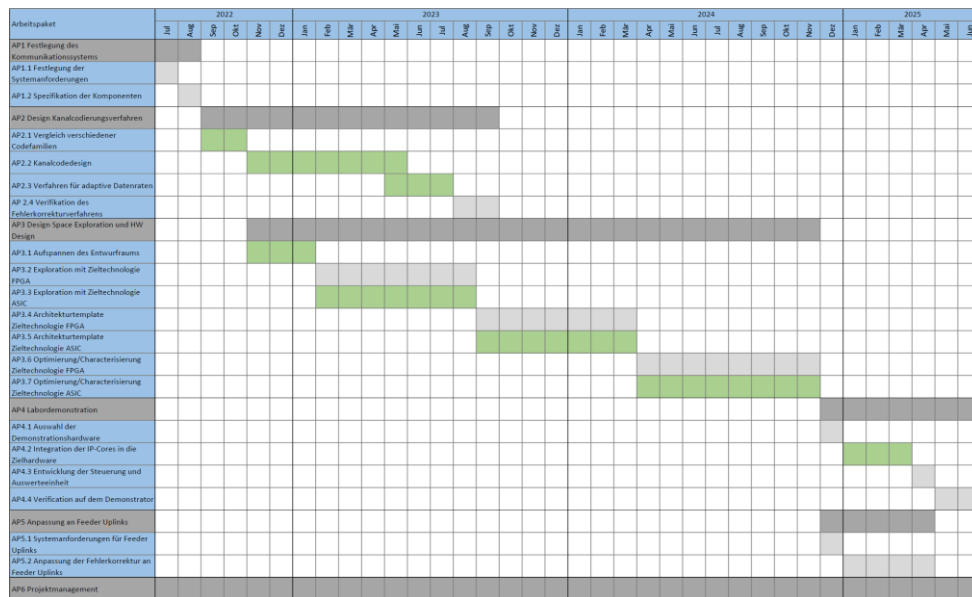


Abbildung 1: Struktur der Arbeitspakete im Verbundprojekt FACTOR

## 2.2 Rolle der RPTU in AP3

Ziel von AP3 war es, den Entwurfsraum für FEC-Decoder und Interleaver aufzuspannen, geeignete FPGAs und ASIC-Zieltechnologien auszuwählen und Architekturtemplates zu entwickeln, um Durchsatz, Flächenbedarf und Energieeffizienz und deren Trade-Off mit der nachrichtentechnischen Performanz quantitativ zu bewerten. Dazu sollten prototypische Implementierungen in modernen Technologien virtuell aufgebaut und charakterisiert werden.

Die RPTU war der Hauptakteur in AP3 für die Design Space Exploration, Architekturtemplates und die Hardwareimplementierung. Als Zieltechnologien für eine virtuelle ASIC-Implementierung wurden eine 22 nm FD-SOI und 12 nm FinFET ausgewählt. Neben stark quantisierten LDPC-BC Decodern auf der Basis von Quaternary Message-Passing wurden zudem Sliding-Window-Decoder (SWD) für SC-LDPC Codes entwickelt, sowie ein DRAM-basierter Interleaver.

## 2.3 Rolle der RPTU in AP4

Ziel von AP4 war ein FPGA-basierter Demonstrator, der den FEC-Decoder und Interleaver in eine gemeinsame Demonstrationsplattform integriert und die Leistungsfähigkeit des Systems zeigt.

Die RPTU beteiligte sich in AP4, indem sie den optimierten DRAM-basierten Interleaver samt FPGA-Implementierung in den gemeinsamen Demonstrator mit Creonic einbrachte und die Schnittstellen zu den übrigen Komponenten technisch begleitete. Der Demonstrator wurde auf einer FPGA-Plattform realisiert, welcher durch das FPGA die geforderte Durchsatzrate projektseitig auf 10 Gbit/s begrenzte. Der Demonstrator diente praxisnahen Präsentation der Projektergebnisse auf Messen und Konferenzen.

# 3 Notwendigkeit und Angemessenheit der geleisteten Projektarbeiten

Die geleisteten Projektarbeiten entsprachen im Wesentlichen den im Antrag vorgesehenen Arbeiten. Die im Antrag formulierte Ziele wurden alle erreicht.

Im Projektverlauf zeigte sich, dass der Interleaver auf Grund der geforderten sehr großen Blocklängen sowie der hohen Durchsatzraten einen zentralen Flaschenhals für hochratige FSO-Systeme darstellt. Deshalb wurde der Interleaver in die Untersuchungen miteinbezogen, d.h. theoretische Untersuchungen hinsichtlich Interleaverstrukturen, optimierter Architekturen und deren Implementierung durchgeführt. Diese zusätzlichen Untersuchungen gingen über die im Antrag aufgeführten Untersuchungen hinaus, waren aus Systemsicht jedoch notwendig, um die Machbarkeit eines vollständiges FEC-Systems für FSO-Links zu zeigen.

## 4 Wichtigste Positionen des zahlenmäßigen Nachweises

Für die Durchführung von FACTOR waren sowohl für die Maßnahmen zur technischen Umsetzung als auch für die inhaltlichen Arbeitspakete Personalressourcen und Reisekosten erforderlich. Die bewilligte Zuwendung einschließlich Projektpauschale betrug 161.553,71 Euro, davon entfielen 26.925,62 Euro auf die Projektpauschale.

### 4.1 Positionen im Einzelnen

Die im Verwendungsnachweis ausgewiesenen projektbezogenen Ausgaben beliefen sich insgesamt auf 135.615,84 Euro. Diese Ausgaben wurden vollständig für wissenschaftliches Personal verausgabt (Position 0812). Für Reisekosten und sonstige Sachausgaben wurden keine Bundesmittel in Anspruch genommen. Entsprechende Aufwendungen wurden über Landesmittel abgerechnet.

Die geringe Abweichung gegenüber dem ursprünglichen Gesamtfinanzierungsplan resultierte aus den tatsächlichen Beschäftigungsentgelten der eingesetzten Personen, die von den bei Antragstellung angesetzten Erfahrungsstufen geringfügig abwichen.

### 4.2 Änderung bei der Ausgabenplanung

Im ursprünglichen Zeitplan war vorgesehen, die benötigten Stellen zeitnah zu Projektbeginn zu besetzen. Tatsächlich konnten die geplanten Stellenbesetzungen bedingt durch die Covid Situation erst verzögert vorgenommen werden, was zu einer kurzfristigen Verschiebung bei der Bearbeitung einzelner Arbeitspakete führte. Diese Verzögerung wurde durch einen verdichteten Arbeitsplan im weiteren Projektverlauf vollständig kompensiert, sodass alle Arbeitspakete fristgerecht abgeschlossen werden konnten.

## 5 Beschreibung der Ergebnisse

In diesem Abschnitt stellen wir die Ergebnisse des Teilvorhabens der RPTU entlang der Arbeitspakete dar. In AP1 haben wir gemeinsam mit dem DLR und Creonic die Systemanforderungen an den optischen Freiraumlink und die physikalische Schicht festgelegt. In AP2 haben wir zusammen mit dem DLR geeignete Kanalcodierungsverfahren identifiziert und weiterentwickelt. In AP3 haben wir diese Verfahren unter ASIC-Randbedingungen untersucht, Decoderarchitekturen und

Interleaverstrukturen entworfen und hinsichtlich Durchsatzes, Flächenbedarf und Energieeffizienz optimiert und charakterisiert. In AP4 haben wir den optimierten, DRAM-basierten Interleaver in den gemeinsamen Demonstrator mit Creonic eingebracht und damit zur labormäßigen Erprobung der im Verbund entwickelten Konzepte beigetragen. Die Ergebnisse sind in Abschnitt 5.5 zusammengefasst.

## 5.1 Anforderungen aus AP1 (0 PM)

In AP1 haben wir im Verbund das Zielsystem für einen Downlink von LEO-Satelliten zur Bodenstation in der FSO festgelegt. LEO-Satelliten befinden sich in einer niedrigen Erdumlaufbahn und ermöglichen dadurch geringe Laufzeiten und hohe Datenraten. Optische Übertragungsstrecken nutzen Licht statt Funkwellen und bieten so sehr hohe Datenraten im Bereich von deutlich über  $100 \text{ Gbit/s}$  in einem frei verfügbaren optischen Spektrum. Gleichzeitig ist der Kanal durch atmosphärische Turbulenzen stark gestört. Turbulenzen sind zeitlich variierende Brechungsindizes in den Luftschichten, die zu Mehrwegeausbreitung und Interferenz der Lichtwellen führen. Dadurch schwankt der Empfangspegel stark (Fading), und Fehler treten nicht vereinzelt, sondern in Bündeln auf (burstartige Störungen).

Wir haben auf dieser Grundlage unter Führung des DLR ein Systemmodell für die physikalische Schicht des FSO-Links definiert, das die gesamte Übertragungskette vom Sender bis zum Kanaldecoder abbildet. Für den Kanal haben wir eine Kohärenzzeit im Bereich von etwa  $2 \text{ ms}$  bis  $5 \text{ ms}$  zugrunde gelegt. Die Kohärenzzeit ist das Zeitintervall, in dem sich die Kanaleigenschaften nur wenig ändern und der Kanal als nahezu konstant angesehen werden kann. Um die burstartigen Störungen aufzulösen, muss ein Interleaver eingesetzt werden. Ein Interleaver ist eine „Umsortiereinheit“, die aufeinanderfolgende Symbole zeitlich so verteilt, dass der Decoder anstelle weniger großer Fehlerblöcke viele kleinere, leichter korrigierbare Fehler sieht. Damit der Interleaver die von der Kohärenzzeit bestimmte Bündelung der Fehler ausreichend verwürfelt, haben wir Interleaving-Intervalle vorgesehen, die ein Vielfaches der Kohärenzzeit abdecken.

Aus diesen Überlegungen haben wir Anforderungen an Kanalcodierung und Implementierung abgeleitet. Wir haben lange Blocklängen und einen Interleaver mit großer zeitlicher Spannweite vorgesehen. Außerdem haben wir eine stark quantisierte Soft-Schnittstelle zwischen Demodulator und Decoder definiert. Soft-Schnittstelle bedeutet hier, dass der Decoder nicht nur binäre Informationen, sondern abgestufte Vertrauenswerte erhält. Eine starke Quantisierung reduziert dabei die Anzahl der Stufen, um Speicherbandbreite und Verdrahtungsaufwand zu begrenzen. Die geforderte Datenrate lag bei mindestens  $100 \text{ Gbit/s}$  unter Annahme einer Implementierung auf State-of-the-Art CMOS-Technologien. Die RPTU war in AP1 ohne eigene Personenmonate eingebunden und hat diese Anforderungen aus Implementierungssicht gemeinsam mit dem DLR und Creonic abgestimmt. Die so gewonnenen Vorgaben bildeten die Grundlage für die Arbeiten in AP2 und AP3.

## 5.2 AP2: Design Kanalkodierungsverfahren (4 PM)

Auf Basis der in AP1 definierten Anforderungen haben wir in AP2 ein vereinfachtes Systemmodell für den Entwurf des Kanalcodierungsverfahrens erstellt (Abbildung 2). Dieses Modell enthält nur die für die Kanalcodierung wesentlichen Komponenten und besteht aus Datenquelle (SRC), Kanalencoder (ENC), Interleaver ( $\Pi$ ), Modulator (MOD), Kanal, Demodulator (DEMOD), Deinterleaver ( $\Pi^{-1}$ ), Kanaldecoder (DEC) und Datensenke (SINK). Den Übertragungskanal haben wir als log-normalen Fading-Kanal modelliert. Log-normal bedeutet, dass der Empfangspegel als Zufallsgröße angenommen wird, deren Logarithmus normalverteilt ist. Dieses Modell beschreibt die durch Turbulenzen verursachten Leistungsschwankungen gut. Die Parametrisierung des Kanalmodells erfolgte durch das DLR auf Basis gemessener Daten.

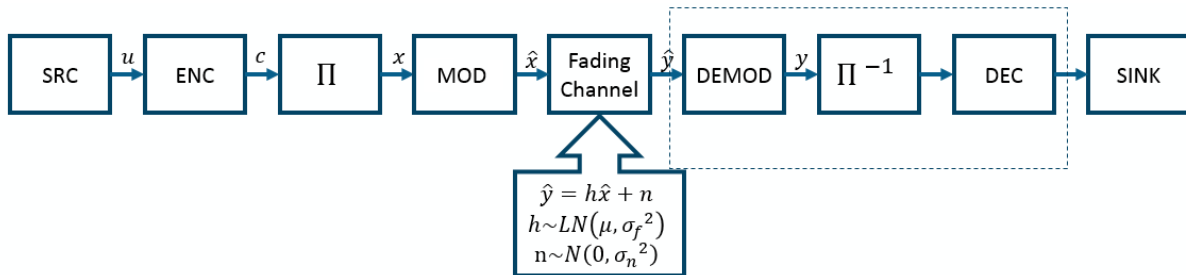


Abbildung 2: Vereinfachtes Systemmodell.

Die Untersuchungen in AP2 haben gezeigt, dass das Design des Kanalcodierungsverfahrens eng mit dem Design des Interleavers verknüpft werden muss [4]. Blocklängen, Code und Interleaverstruktur mussten gemeinsam festgelegt werden, damit das Interleaving-Intervall ein Vielfaches der Kohärenzzeit abdeckt und der Decoder gleichzeitig implementierbar bleibt. In enger Zusammenarbeit mit dem DLR haben wir verschiedene LDPC-basierte Codes entworfen und bewertet (siehe AP3). Der Fokus lag auf SC-LDPC Codes und LDPC-Block Codes. Wir haben diese hinsichtlich ihrer Fehlerkorrekturleistung, ihre Eignung für starke Quantisierung und ihre Struktur im Hinblick auf Parallelisierbarkeit und Verdrahtungsaufwand untersucht. Auf Grundlage unserer Untersuchungen haben wir Code- und Interleaverstrukturen festgelegt, welche die Anforderungen des FACTOR-Szenarios erfüllten. Diese Varianten wurden als Eingang für die Design-Space-Exploration und Hardwareimplementierungen in AP3 definiert und die Ergebnisse im iterativen Austausch mit AP2 verbessert.

### 5.3 AP3: Design Space Exploration und Hardware Design (16 PM)

In AP3 haben wir aufbauend auf den Ergebnissen aus AP2 den Entwurfsraum für Kanaldecoder und Interleaver systematisch untersucht und vielversprechende Architekturen in Hardware umgesetzt. Wir haben dazu sowohl den Decoder als auch den Interleaver unter ASIC-Randbedingungen betrachtet. Dazu haben wir die Metriken Durchsatz, Flächeneffizienz und Energieeffizienz verwendet und mit diesen Metriken verschiedener Code-, Algorithmen- und Architekturvarianten bewertet. In den folgenden Unterabschnitten beschreiben wir die Ergebnisse für Interleaver und Kanaldecoder getrennt.

#### 5.3.1 AP3 (Interleaver): Design Space Exploration und Hardware Design

Hohe Durchsätze und große Blocklängen sind in der FSO wesentliche Voraussetzungen, um trotz starker Signalpegel-Schwankungen eine robuste Fehlerkorrektur zu erzielen. Vor diesem Hintergrund haben wir im Rahmen von AP3 untersucht, welche Interleavingverfahren sich für diese Anforderungen eignen und wie sich deren Implementierung effizient umsetzen lässt. Im Folgenden beschreiben wir die wesentlichen Ergebnisse der einzelnen Schritte innerhalb von AP3.

### 5.3.1.1 AP3.1 (Interleaver): Aufspannen des Entwurfsraums

Die Größe des Interleavers  $C_{Mem}$  ergibt sich als Produkt der Datenrate  $\theta$ , der Quantisierung der Kanalwerte  $q_{ch}$ , der Kohärenzzeit  $t_c$  und des Interleaving Faktors  $I_{\Pi}$ , der festlegt, über wieviele Kohärenzzeiten die Kanalwerte interleaved werden sollen:

$$C_{Mem} = \theta \cdot q_{ch} \cdot t_c \cdot I_{\Pi}.$$

Kohärenzzeit und Datenrate waren feste Systemparameter, die in AP1 festgelegt werden. Quantisierung und Interleaving-Faktor stellten hingegen Stellgrößen dar, mit denen eine Abwägung zwischen Systemperformanz und Speicherbedarf des Interleavers getroffen werden konnte. Ein einfaches Rechenbeispiel verdeutlicht die Herausforderung für das Design des Interleavers: Bei einer durchschnittlichen Kohärenzzeit von  $5\text{ ms}$ , einer Datenrate von  $100\text{ Gbit/s}$ , einer Quantisierung von  $6\text{ bit}$  und einem Interleaving-Faktor von 8 ergibt sich ein Speicherbedarf von  $24\text{ Gbit}$  bzw.  $3\text{ Gbyte}$ . Ein Interleaver dieser Größe kann nicht On-Chip, beispielsweise in Form von SRAM, realisiert werden. Stattdessen ist der Einsatz eines externen Speichers erforderlich. State-of-the-Art-DRAMs stellen hierfür ausreichend Kapazität zur Verfügung. Eine Herausforderung stellte bei DRAM-Bausteinen die benötigte Speicherbandbreite  $B_{Mem}$  dar. Sie ergibt sich zu

$$B_{Mem} = \theta \cdot q_{ch}$$

Für das oben genannte Beispiel ergibt sich eine Bandbreite von  $600\text{ Gbit/s}$  bzw.  $75\text{ Gbyte/s}$ . Dies überschreitet jedoch die maximale Datenrate aktueller DDR-Speicherbausteine, diese ist beispielsweise  $64\text{ Gbyte/s}$  bei DDR5-8000 DRAMs. Die Nutzung von DRAM-Speicher war auf Grund der Größe zwingend notwendig, führte aber zu weiteren Herausforderungen:

- Die erreichbare Speicherbandbreite bei DRAM hängt stark vom Zugriffsmuster ab.
- DRAM-Bausteine arbeiten mit burstartigem Zugriff auf typischerweise  $512\text{ bit}$  Daten, also einer groben Granularität.
- Die angegebene Speicherbandbreite (in Megatransfers pro Sekunde) bezieht sich nur auf die Schnittstelle (Datenbus) und berücksichtigt weder den internen Aufbau des DRAM (Zeilen, Spalten, Bänke, Bankgruppen) noch das notwendige periodische Auffrischen des Speicherinhalts (Refresh).

Bei burstartigen Fehlern im Übertragungskanal besteht das Ziel des Interleavings darin, die auftretenden Fehler möglichst gleichmäßig über das Interleaverintervall zu verteilen. Die Anzahl der Empfangswerte in einem DRAM-Burst liegt in unserem Szenario zwischen etwa 85 Werten bei  $6\text{ bit}$  Quantisierung und 256 Werten bei  $2\text{ bit}$  Quantisierung. Wenn diese Empfangswerte ohne

Interleaving kontinuierlich in den Decoder eingehen, tritt bei den betrachteten LDPC-Codes im Fall eines starken Signalschwunds typischerweise ein Codewortfehler auf. Das Interleaververfahren muss daher auch über die DRAM-Bursts hinweg für eine hinreichende Verwürfelung der Daten sorgen.

Wir mussten damit sowohl die Auswirkungen des Interleavings auf die nachrichtentechnische Güte als auch dessen Einfluss auf die erreichbare Datenrate im Downlink betrachten.

### 5.3.1.2 AP3.3 (Interleaver): Exploration Zieltechnologie ASIC

Für die Evaluierung der nachrichtentechnischen Güte haben wir ein zweistufiges Interleavingschema entwickelt. Die erste Stufe arbeitete auf einem relativ kleinen Bereich, der hinsichtlich Durchsatz und Kapazität On-Chip mit einem On-Chip SRAM realisierbar ist. Die zweite Stufe operierte auf DRAM-Ebene und verwendete als Granularität einen DRAM-Burst. Für den Deinterleaver haben wir die umgekehrte Reihenfolge genutzt: Nach der Speicherung der Empfangswerte in DRAM werden die Daten mit deinterleavten Adressen ausgelesen und anschließend in einem kleinen SRAM-Bereich über einige Codewörter hinweg erneut mit deinterleavten Adressen dem Decoder zugeführt. Es werden zwei Kanäle verwendet: je ein Kanal für Schreiben und Lesen.

Zur systematischen Untersuchung geeigneter Interleaverarchitekturen haben wir eine Software entwickelt, mit der sich verschiedene Interleaververfahren modellieren lassen. Diese Software ermöglicht:

1. die Evaluierung der erreichbaren Speicherbandbreite,
2. die Einbindung in die nachrichtentechnische Simulationskette (vgl. Abbildung 2) als Interleaver bzw. Deinterleaver und
3. erstellt die Daten für die Berechnung der Unterbrechungswahrscheinlichkeit, also der Wahrscheinlichkeit eines Signalverlustes.

Die nachrichtentechnische Gesamtsimulationen entsprechend der Abbildung 2 wurden vom DLR durchgeführt. Die Software zur Berechnung der Unterbrechungswahrscheinlichkeit wurde vom DLR zur Verfügung gestellt. Die entwickelte Software zur Modellierung der Interleaverstruktur ist sehr flexibel ausgelegt, um den Entwurfsraum gut nachbilden zu können. Die Form (Dreieck, Rechteck) des Vorinterleavers als auch des Hauptinterleavers auf DRAM Basis ist einstellbar. Wesentliches Entwurfskriterium und ist Form des jeweiligen Interleavers; es ergeben sich damit vier Konstellationen:

- Dreieck-Dreieck,
- Dreieck-Rechteck,
- Rechteck-Dreieck und
- Rechteck-Rechteck.

Die Größe des Vorinterleavers und die Gesamtgröße des Hauptinterleavers sind frei einstellbar, sodass eine Vielzahl an Architekturen untersucht werden konnte.

Zur Abschätzung der nachrichtentechnischen Güte der Interleaverkonstellationen haben wir eine Schnittstelle zu einem Werkzeug zur Berechnung der Unterbrechungswahrscheinlichkeit geschaffen. Dabei wurden zusätzlich die Kohärenzzeit beziehungsweise das Verhältnis von Interleavergröße zu

Kohärenzzeit, die Codewortlänge und die Coderate berücksichtigt. Diese Parameter sind frei einstellbar. Die Berechnung der Unterbrechungswahrscheinlichkeit erfolgte um Größenordnungen schneller als eine vergleichbare Monte-Carlo-Simulation und erlaubte eine schnelle Abschätzung der erreichbaren nachrichtentechnischen Güte der Interleaververfahren.

Abbildung 3 zeigt beispielhaft die Ausfallwahrscheinlichkeit (y-Achse) in Abhängigkeit vom Signal-zu-Rausch-Abstand (SNR) (x-Achse) für ein vorgegebenes Interleaverintervall. Die schwarze Kurve beschreibt das Verhalten eines informationstheoretisch idealen Interleavers. Die weiteren Kurven zeigen das Verhalten des zweistufigen Interleaververfahrens mit unterschiedlich großen Vorinterleavern bzw. Post De-Interleavern. Die Größe ist in DRAM-Bursts angegeben (siehe Legende). Hierdurch wird der Trade Off zwischen Implementierungskomplexität (Kosten für ASIC Fläche) und nachrichtentechnischer Güte sowie die Sättigung ab einer gewissen Mindestgröße ermöglicht.

Insgesamt konnten wir mit diesem Ansatz die relevanten Interleaverarchitekturen systematisch eingrenzen und eine Obergrenze für die notwendige Vorinterleavergröße ableiten, bei der sich weitere Flächenzuwächse kaum noch in einer reduzierten Ausfallwahrscheinlichkeit niederschlagen.

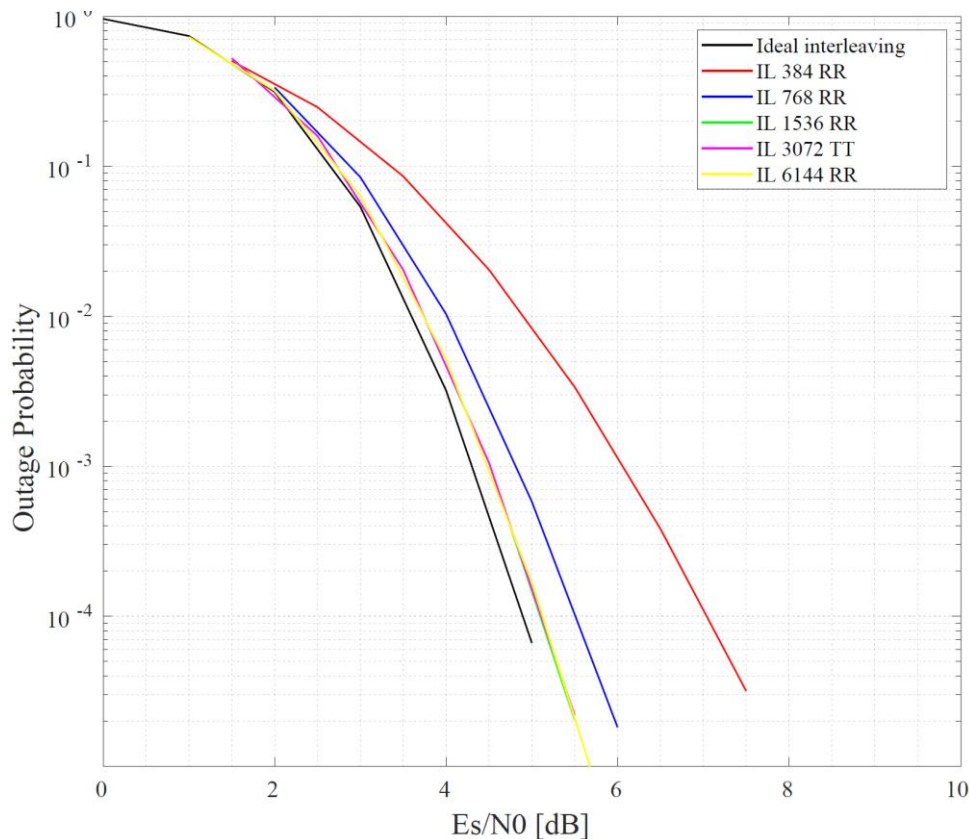


Abbildung 3: Beispielhafte Darstellung der Ausfallwahrscheinlichkeit.

### 5.3.1.3 AP3.5 (Interleaver): Architektur Template

Die Untersuchungen zur tatsächlich erreichbaren Speicherbandbreite für verschiedene DRAM-Technologien haben wir mit dem Open-Source-Tool „DRAMSys“, das am Lehrstuhl entwickelt wurde, durchgeführt. Als Grundlage diente ein Dreiecksinterleaver, der eine gute Verteilung der Kanalwerte

erreicht. Auf der Empfängerseite haben wir die empfangenen Daten beim Schreiben zeilenweise in den DRAM-Speicher abgelegt. Beim Auslesen erfolgte der Zugriff spaltenweise. Der Schreibprozess erlaubte eine sequenzielle Adressierung innerhalb des Speichers und war daher unkritisch im Hinblick auf Page-Misses. Beim Auslesen der Kanalwerte ergab sich hingegen eine nichtlineare Adressfolge. Hier führten Page-Misses zu einer reduzierten Speicherbandbreite.

Die tatsächlich erreichte Bandbreite variierte stark mit der verwendeten DRAM-Technologie, der Speicherkapazität und der Taktrate. Um die Auslastung der Speicherbandbreite, die in einer Basiskonfiguration teilweise unter 50% lag, zu erhöhen, haben wir ein neuartiges Speicheradressierungsschema für den Speichercontroller entworfen. Dieses Adressierungsschema berücksichtigt die innere Struktur der DRAM-Bausteine mit der Aufteilung in Zeilen, Spalten, Bänke und teilweise Bankgruppen. Tabelle 1 zeigt exemplarisch die erzielten Ergebnisse für den erreichbaren Durchsatz. Relevant für den erreichbaren Durchsatz sind jeweils die Minimalwerte für Lesen bzw. Schreiben. Hier wurden für alle Speicher die Auslastung der Speicherbandbreite auf mehr als 90% erhöht.

*Tabelle 1: Auslastung der Speicherbandbreite bei dem Interleaving [7].*

DRAM Configuration	Default Mapping		Optimized Mapping	
	Write	Read	Write	Read
<b>DDR3-800</b>	95.99%	96.03%	95.99%	96.26%
<b>DDR3-1600</b>	95.75%	64.16%	95.91%	96.16%
<b>DDR4-1600</b>	92.02%	73.92%	92.01%	92.37%
<b>DDR4-3200</b>	91.83%	<b>43.50%</b>	91.86%	<b>92.15%</b>
<b>DDR5-3200</b>	100.00%	96.37%	100.00%	100.00%
<b>DDR5-6400</b>	99.90%	88.95%	99.83%	99.97%
<b>LPDDR4-2133</b>	99.02%	66.00%	99.41%	98.30%
<b>LPDDR4-4267</b>	98.03%	<b>35.77%</b>	99.67%	<b>99.72%</b>
<b>LPDDR5-4267</b>	99.39%	55.87%	99.67%	99.72%
<b>LPDDR5-8533</b>	97.56%	<b>47.25%</b>	99.14%	<b>99.66%</b>

Die nachrichtentechnische Güte der verschiedenen Interleaverkonstellationen wurde auf Basis der nachrichtentechnischen Simulationskette durch das DLR evaluiert. Diese Bewertungen waren zeitaufwendig, da sie mittels Monte-Carlo-Simulationen vorgenommen wurden.

Insgesamt konnten wir mit dem neuen Adressierungsschema die effektive Speicherbandbreite für realistische Zugriffsmuster deutlich steigern und zeigen, dass sich die geforderten Interleaverdurchsätze mit sorgfältig abgestimmter Adressierung auf Standard-DRAM realisieren lassen.

5.3.1.4 AP3.7 (Interleaver): Optimierung und ausführliche Charakterisierung Zieltechnologie ASIC/FPGA

Das Interleaver Architekturtemplate wurde in ASIC-Technologie implementiert und charakterisiert. Der Interleaver wurde zudem auf einem FPGA implementiert.

5.3.2 AP3 (Kanaldecoder): Design Space Exploration und Hardware Design

Im Rahmen von AP3 wurde untersucht, welche LDPC-Codevarianten die Systemanforderungen erfüllen können und wie entsprechende Decoder effizient implementiert werden können. Im Folgenden werden die einzelnen Schritte von AP3 ausführlicher erläutert.

5.3.2.1 AP3.1 (Kanaldecoder): Aufspannen des Entwurfsraums

In einem ersten Schritt wurde der Entwurfsraum aufgespannt. Fokus lag auf SC-LDPC Codes und LDPC Block Codes (LDPC-BCs), welche aufgrund Ihrer hervorragenden Fehlerkorrekturfähigkeit von vielen Standards unterstützt werden. Der entsprechende Entwurfsraum ist in Abbildung 4 dargestellt. Auf Basis einer Anforderungsanalyse (Blocklänge, Fehlerkorrekturfähigkeit, und Durchsatzvorgaben) erfolgte eine systematische Ermittlung, welche Parameter die vielversprechendsten sind, um die Anforderungen zu erfüllen.

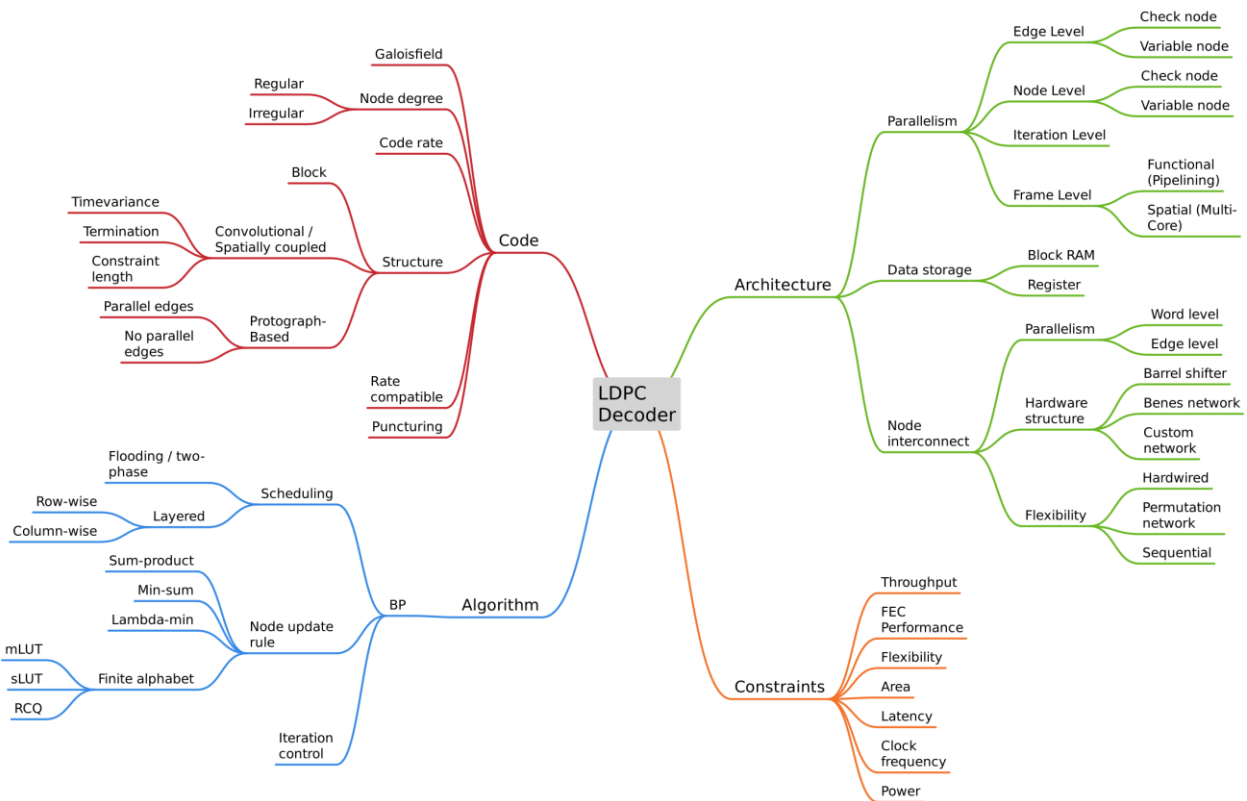


Abbildung 4: Entwurfsraum für das Decodierverfahren.

### 5.3.2.2 AP3.3 (Kanaldecoder): Exploration Zieltechnologie ASIC

Zur schnellen Entwurfsraumexploration wurde ein Framework verwendet, welches in Abbildung 5 dargestellt ist. Inputs zu dem Framework sind Codeparameter, Decodieralgorithmus und Architektur. Simulationsmodell und Architektur werden mit Hilfe einer Bibliothek automatisch generiert. Somit können Fehlerkorrekturfähigkeit und Implementierungseffizienz in einem iterativen Prozess schnell ausgewertet und Trade-Offs abgewogen werden.

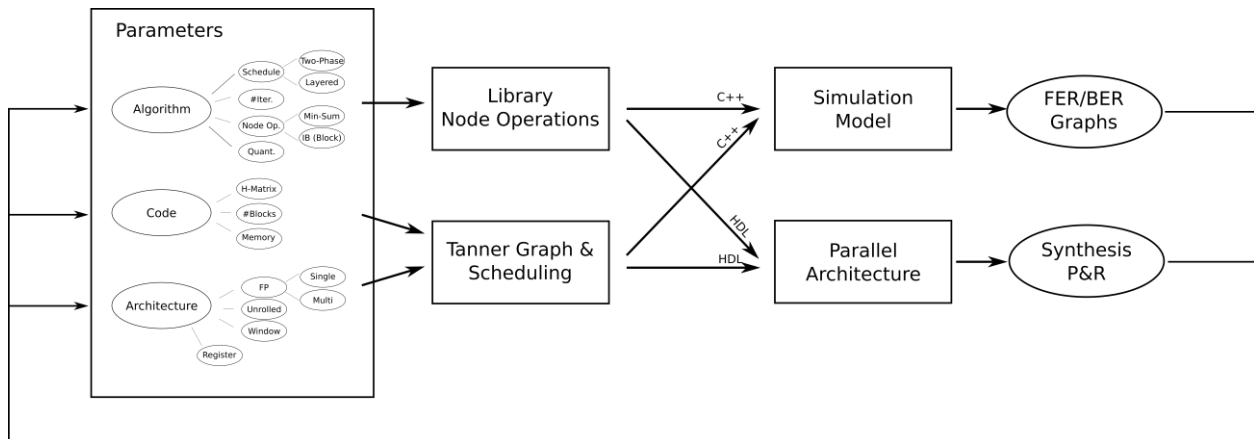


Abbildung 5: Framework zur Evaluierung des Entwurfsraumes für LDPC Code Decoder.

SC-LDPC Codes besitzen eine bessere Fehlerkorrekturfähigkeit im Vergleich zu LDPC-BCs. Dies geht jedoch auf Kosten einer schlechteren Implementierungseffizienz [3].

### 5.3.2.3 AP3.5 (Kanaldecoder): Architektur Template Zieltechnologie ASIC

Aufbauend auf den Erkenntnissen von AP3.3 wurden zwei Architekturtemplates festgelegt:

- **SC-LDPC Code Decoder-Template:** Diese Codes werden mit Hilfe eines Fenster-basierten Ansatzes decodiert (SWD). Dieser Decoder setzt sich aus mehreren LDPC-BC Decodern zusammen die geeignet miteinander verbunden werden.
- **LDPC-BC Decoder-Template:** Für den LDPC-BC-Decoder wurde ein Architektur Template entwickelt, welches bei geringer Quantisierung große Blocklängen verarbeiten kann.

Insbesondere ging es darum, die Vorteile der geringen Quantisierung hinsichtlich nachrichtentechnischer Performanz zu quantifizieren und vergleichen zu können. Zudem wurden unterschiedliche Blocklängen untersucht.

### 5.3.2.4 AP3.7 (Kanaldecoder): Optimierung und ausführliche Charakterisierung Zieltech. ASIC

Die in AP3.5 definierten Decoder Architekturen wurden in einer 12 nm FinFET Technologie implementiert und als virtueller ASIC-Prototyp charakterisiert.

- **SC-LDPC Code Decoder:** wir haben ein neues adaptives Verfahren für hochparallel fenster-basierte Decoder entwickelt, das ändernde Kanalbedingungen, d.h. SNR, berücksichtigt, um

den Leistungsverbrauch des Decoders in Abhängigkeit des SNR deutlich zu reduzieren [6, 8]. Abbildung 6 zeigt die erzielte Leistungsreduktion (y-Achse) in Abhängigkeit vom SNR (x-Achse) für den adaptiven Ansatz (grüne Linie) im Vergleich zu einem festen SWD (rote Linie). Im typischen Betriebsbereich zwischen 4 dB und 7 dB erreichen wir einen Energieeffizienzgewinn im Bereich von 30 % bis 70 % gegenüber der Referenz, der den Stand der Technik darstellt. Bei einem Kanal mit hohem SNR (> 10 dB) steigt der Gewinn auf knapp 85 %. Sowohl die Fläche als auch die nachrichtentechnische Performanz des adaptiven SWD sind fast identisch zum Referenzdecoder. Abbildung 7 zeigt die Layouts der beiden Decoder in gleicher Skalierung.

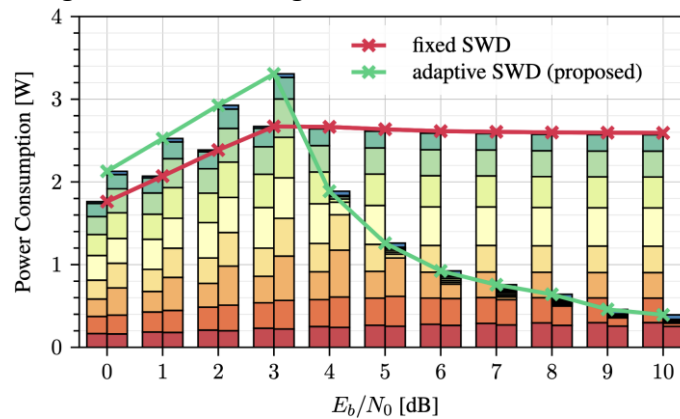


Abbildung 6: Leistungsverbrauch für neuen adaptiven Decoder abhängig vom SNR bei gleicher Frequenz [8].

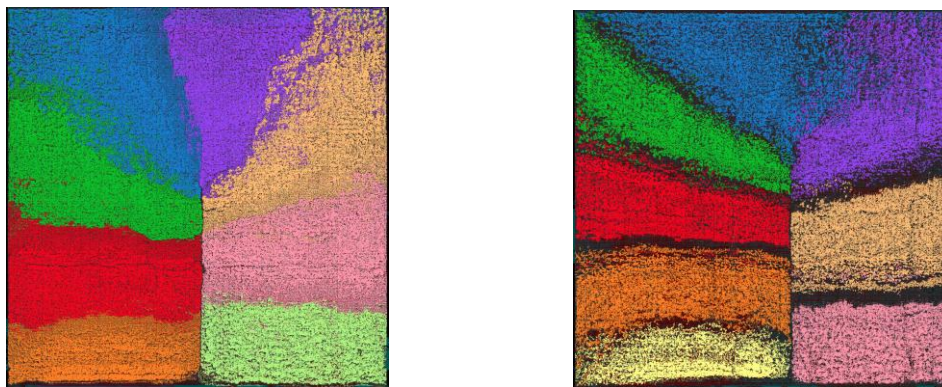


Abbildung 7: Layouts des adaptiven SWD (links) und des fixed SWD (rechts) zur Decodierung von SC-LDPC Codes in gleicher Skalierung [8]. Die Farben stellen die unterschiedlichen Prozessoren eines Decoders dar.

- LDPC-BC Decoder:** Für den LDPC-BC Decoder haben wir einen normalized min-sum (NMS) Decoder als Referenz und einen QMP Decoder implementiert. Wir konnten zeigen, dass der QMP Decoder eine deutlich reduzierte Implementierungskomplexität als der NMS Decoder besitzt, wobei die Fehlerkorrekturleistung sich nur leicht reduziert [1]. Tabelle 2 zeigt dass der QMP Decoder in allen Implementierungsmetriken dem NMS Decoder überlegen ist. Ein stark quantisierter QMP Decoder erfüllt die Anforderungen des FACTOR-Anwendungsfalls.

Tabelle 2: Implementierungskomplexität von QMP Decodern und NMS Decodern für einen LDPC-BC [1].

Decoder	QMP	NMS
Frequency [MHz]	600	526

Throughput [ $Gbit/s$ ]	92.1	80.7
Latency [ $ns$ ]	33.3	38.0
Area [ $mm^2$ ]	0.272	0.461
Power Consumption [ $W$ ]	0.57	1.39
Area Efficiency [ $Gbit/s/mm^2$ ]	338.2	175.3
Energy Efficiency [ $pJ/bit$ ]	6.18	17.21
Power Density [ $W/mm^2$ ]	2.09	3.02

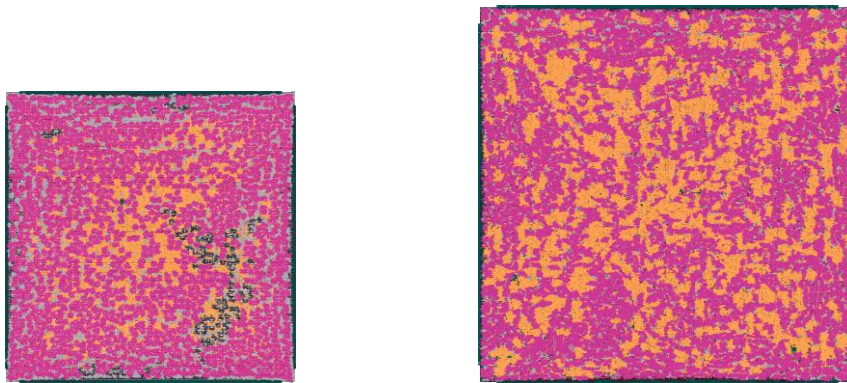


Abbildung 8: Layouts des QMP Decoders (links) und des NMS Decoders (rechts) in gleicher Skalierung[1].

#### 5.4 AP4: Labordemonstration (2 PM)

Die Ergebnisse unserer Decoder Untersuchungen haben wir an Creonic übergeben. Zudem haben wir die Templates für den Interleaver für die Implementierung auf einem Xilinx-Board vom Typ Alveo U280 bereitgestellt.

Darüber hinaus haben wir Creonic unsere Softwaremodelle zur Verfügung gestellt sowie die Hardwarebeschreibung des QMP-basierten LDPC-BC Decoders zur Verfügung gestellt. Creonic hat diese in den Demonstrator integriert und an die vorhandene Systemumgebung angebunden. Wir haben den Integrationsprozess intensiv unterstützt. Mit dem Demonstrator konnten sowohl die optimierte Interleaverarchitektur als auch der LDPC-BC Decoder unter realistischen Bedingungen gemeinsam erprobt werden.

Der Labordemonstrator wurde erfolgreich am Projektabschlussstreifen präsentiert. Die detaillierten Ergebnisse sind im Bericht der Projektpartner erläutert.

#### 5.5 Zusammenfassung

Im Verbund haben wir die im Antrag vorgesehenen Arbeiten zur Entwicklung implementierungseffizienter FEC-Lösungen für optische Freiraumkommunikation vollständig umgesetzt. Wir haben die Systemanforderungen für LEO-Downlinks gemeinsam festgelegt, geeignete Kanalcodes und Decoderverfahren identifiziert und diese auf der Basis von virtuellen ASIC-

Prototypen in 12-nm FinFET Technologie ausführlich untersucht und diese hinsichtlich von Implementierungsmetriken charakterisiert. Zusätzlich zum ursprünglichen Fokus auf Decoderarchitekturen haben wir den Interleaver als Engpass identifiziert und geeignete Interleaverstrukturen und Architekturen auf der Basis von DRAMs untersucht. Wir konnten zeigen, dass Datenraten von über 100 Gbit/s technisch realisierbar sind.

Für den Kanaldecoder haben wir SC-LDPC-Codes mit SWD und LDPC-Blockcodes mit starker Quantisierung untersucht. Im Bereich der SC-LDPC-Decoder haben wir ein neues adaptives SWD Verfahren entwickelt, das deutliche Leistungs- und Energieeinsparungen gegenüber dem Stand der Technik zeigt. Unser neuer QMP-basierte LDPC-BC-Decoder zeigt ebenfalls deutlich bessere Implementierungsergebnisse als ein Stand der Technik NMS-Referenzdecoder. Die erzielten Ergebnisse sind in einem FPGA-basierten Demonstrator gemeinsam mit Creonic praktisch evaluiert und durch acht wissenschaftliche Publikationen sowie drei geplante Dissertationen langfristig verwertbar gemacht worden.

## 6 Voraussichtlicher Nutzen, insbesondere Verwertbarkeit der Ergebnisse

Die Ergebnisse des Projekts wurden durch wissenschaftliche Veröffentlichungen und auf Konferenzen publiziert. Somit wurde die wissenschaftliche Verwertung der durchgeführten Untersuchungen und deren Ergebnissen sichergestellt. Des Weiteren erfolgte innerhalb des Projekts eine enge Zusammenarbeit mit Industriepartnern. Im Fall der RPTU fand vor allem eine enge Kooperation mit der Firma Creonic statt. Die innerhalb dieses Projektes gesammelten Erkenntnisse fließen damit in die Produkt Roadmap von Creonic ein.

Die Ergebnisse können dazu genutzt werden effiziente Codes und entsprechende Decoder Architekturen für die Kommunikation zwischen LEO-Satelliten und Basisstationen für z.B. zukünftiger Kommunikationsstandards vorzuschlagen. Die Ergebnisse der Interleaveruntersuchungen können prinzipiell in allen Anwendungen der Freiraumoptik mit hohen Datenraten und sehr großen Blockgrößen genutzt werden. Der im Projekt in Zusammenarbeit mit Creonic entwickelte Demonstrator wird auch zukünftig für die Präsentation der wissenschaftlichen Erkenntnisse des Projekts auf Messen und Konferenzen genutzt.

## 7 Fortschritte auf dem Gebiet des Vorhabens bei anderen Stellen

Im Projekt FACTOR wurde der Stand der Technik fortlaufend beobachtet und bei unseren Untersuchungen berücksichtigt. Wir haben Recherchen und die Auswertung aktueller Veröffentlichungen im Bereich Kanalcodierung, Freiraumoptik und hochratiger FEC-Implementierungen durchgeführt.

Ein Austausch erfolgte darüber hinaus im Rahmen projektinterner Workshops sowie durch Beiträge und Diskussionen auf wissenschaftlichen Konferenzen. Auf diese Weise wurden die im Projekt erzielten Ergebnisse kontinuierlich mit internationalen Entwicklungen gespiegelt. Es wurden keine externen Fortschritte bekannt, die die im Projekt verfolgten Ziele obsolet gemacht hätten. Vielmehr

bestätigten die beobachteten Entwicklungen die Relevanz der im Projekt adressierten Fragestellungen und erzielten Ergebnisse.

## 8 Erfolgte und geplante Veröffentlichungen

Von Seiten der RPTU wurden mehrere wissenschaftlichen Publikationen sowohl in Fachzeitschriften als auch auf Konferenzen veröffentlicht. Darüber hinaus sind die erarbeiteten Beiträge für drei geplante Dissertationen an der RPTU von zentraler Bedeutung.

Die wissenschaftlichen Publikationen sind in Tabelle 3 und 4 aufgelistet.

*Tabelle 3: Konferenzbeiträge der RPTU im Rahmen von FACTOR*

Ref.	Autoren	Titel	Konferenz	Datum
1	O. Griebel, A. Sauter, G. Liva, N. Wehn	Implementation of a Quaternary Message Passing Low-Density Parity-Check Decoder	International SoC Conference	Okt. 2025
2	O. Griebel, K. Kraft, L. Johannsen, C. Kestel, G. M. Dick and N. Wehn	rptu.de/channel-codes: An Update on the Maximum Likelihood Decoding Performance of 5G-NR Channel Codes	International Symposium on Topics in Coding	Aug. 2025
3	O. Griebel, L. Johannsen, C. Kestel, M. Herrmann, N. Wehn	Channel Coding under Silicon Implementation Constraints	Asilomar Conference on Signals, Systems, and Computers	Okt. 2024
4	O. Griebel, A. Sauter, U. Wasenmüller, L. Steiner, J. Poliak, B. Matuz, N. Wehn	Physical Layer Forward Error Correction for Free-Space Optical Links	SPIE Photonics West, Free-Space Laser Communications XXXVI	Jan. 2024
5	L. Steiner, T. Lehnigk-Emden, M. Fehrenz, N. Wehn	A Mapping of Triangular Block Interleavers to DRAM for Optical Satellite Communication	IEEE Conference Design, Automation and Test in Europe	Mär. 2024
6	O. Griebel, M. Herrmann, B. Hammoud, N. Wehn	Energy-Efficient Decoding of Spatially Coupled Low-Density Parity-Check Codes using Adaptive Window Sizes	International Symposium on Topics in Coding	Sep. 2023

*Tabelle 4: Beiträge der RPTU in Journals im Rahmen von FACTOR*

Ref.	Autoren	Titel	Magazin	Datum
7	L. Steiner, U. Wasenmüller, N. Wehn	Optimization and Implementation of DRAM-Based Interleavers for Free-Space Optical Communication Beyond 100 Gbit/s	IEEE Access	Okt. 2025
8	O. Griebel, B. Hammoud, N. Wehn	Adaptive Sliding Window Decoding of Spatially Coupled Low-Density Parity-Check Codes: Algorithms and Energy Efficient Implementations	IEEE Access	Dez. 2024

Die geplanten Dissertationen, die auf Ergebnissen aus FACTOR basieren, sind in Tabelle 5 aufgeführt.

*Tabelle 5: Dissertationen der RPTU im Rahmen von FACTOR*

Ref.	Autor	Titel	Datum
9	L. Steiner	Modeling, Exploration and Optimization of Advanced DRAM Subsystems	2026
10	O. Griebel	Design of Energy-Efficient High-Throughput LDPC Decoders	2025/26
11	M. Herrmann	High Throughput Channel Decoding	2025/26