

Zuwendungsempfänger: Fraunhofer-Gesellschaft zur Förderung der angewandten Forschung e.V. / Fraunhofer IISB	Förderkennzeichen: FKZ 16MEE0129
Vorhabenbezeichnung: Vertrauenswürdige europäische SiC-Lieferkette für energieeffiziente Leistungselektronik - TRANSFORM -	
Laufzeit des Vorhabens: 01.05.2021 – 31.10.2024	

Das übergeordnete Ziel von TRANSFORM war der Aufbau einer vollständigen und äußerst wettbewerbsfähigen europäischen Lieferkette für Leistungselektronik auf Basis von Siliziumkarbid (SiC) - Leistungshalbleitern. Der Anwendungsbereich und der Bedarf sind enorm und reichen von industriellen Antrieben und Leistungsumwandlung, über erneuerbare Energien bis hin zur Elektromobilität. Eine vertrauenswürdige und starke europäische Lieferkette für diese Anwendungsbereiche ist von entscheidender Bedeutung, um eine ganzheitliche Optimierung von leistungselektronischen Systemen zu ermöglichen, die für eine verbesserte Energieeffizienz und eine nachhaltige europäische Wirtschaft erforderlich sind.

Am Fraunhofer IISB wurde im Rahmen von TRANSFORM die SiC-Technologie der nächsten Generation entwickelt, angefangen beim Einsatz von neuartigen SiC-Substraten („SmartSiC“) über verbesserte SiC-Technologieprozesse und -anlagen bei der Epitaxie, der Oxidation und dem thermischen Ausheilen sowie der Materialcharakterisierung mittels Röntgentopographie (XRT) und berührungsloser elektrischer Messung zur Ermittlung der Dotierung von Epitaxieschichten und Eigenschaften von Oxidschichten. Im Rahmen von Transform wurde auch der Übergang von 150 mm SiC-Wafern auf 200 mm-Wafern erforscht, was neue Anlagen und Prozessoptimierungen erforderlich machte.

Das Fraunhofer IISB verfügte bereits vor Projektbeginn über eine vollständige Prozesslinie für SiC-Bauelementetechnologie **auf 150 mm-SiC Wafern**, angefangen bei der Homoepitaxie auf zugekauften SiC-Substraten über die Bauelementherstellung inklusive Oxidationsprozesse, thermisches Ausheilen nach Ionenimplantation bis hin zur Aufbau- und Verbindungstechnik und leistungselektronischen Systemen. Im Halbleitertechnologiebereich, also vom SiC-Substrat bis zum fertigen Leistungsbaulement, waren am IISB auch verschiedene Methoden und Geräte zur Materialcharakterisierung und prozessbegleitenden Messtechnik vorhanden. Zu Projektbeginn waren einige dieser Anlagen und Prozesse auf SiC-Wafer mit 150 mm Durchmesser begrenzt und SiC-Wafer mit 200 mm Durchmesser bis dato nicht verfügbar, sodass einige technologische Lücken in der 200 mm-SiC-Prozesslinie bestanden, die aber zugleich als technologischer Meilenstein im internationalen Wettbewerb angesehen wird.

Das TRANSFORM-Projekt war für das Fraunhofer IISB ein entscheidendes Projekt zur Schließung dieser technologischen Lücken im Bereich der 200 mm-SiC-Technologielinie und zur Erschließung disruptiver neuartiger Technologieansätze, wie beispielsweise der Fertigung von Bauelementen auf sogenannten „SmartSiC-Substraten“, die eine deutliche Reduzierung des Material- und Energieverbrauchs in der SiC-Wafertechnologie versprechen. Demzufolge hat sich das Fraunhofer IISB in den folgenden Arbeitspaketen und Technologieschwerpunkten engagiert:

Im **Arbeitspaket 3** „Material und Entwicklung Substrate“ hat das IISB die Entwicklung der neuartigen SmartSiC-Substrate des EU-Konsortialpartners Soitec durch Materialcharakterisierung begleitet und die Röntgentopographie (XRT) als Charakterisierungsmethode für strukturelle Defekte in Substraten und Epitaxieschichten weiterentwickelt. Die Entwicklung der Materialqualität von konventionellen und SmartSiC-Substraten mit (anfangs) 150 mm und später auch 200 mm Durchmesser wurde mittels mehrerer XRT-Vergleichsstudien über den Projektverlauf verfolgt. Während die Defektdichten in konventionellen Substraten und Epitaxieschichten mit den etablierten Charakterisierungsverfahren Röntgentopographie (XRT), Photolumineszenzabbildungen (UVPL) und defektselektiven Ätzen untersucht werden können, mussten diese Verfahren an die neuartigen SmartSiC-Substrate angepasst und weiterentwickelt werden. Für die Charakterisierung der sehr dünnen SiC-Folie (weniger als 1 µm dick) der SmartSiC-Substrate wurde von IISB in Kooperation mit dem Anlagenhersteller RIGAKU ein weltweit einmaliges XRT-System mit Chrom-Anode entwickelt und installiert. Die weichere Cr-Röntgenstrahlung (Cr-K_α) erlaubt geringere Eindringtiefen als die übliche Cu-K_α-Strahlung und eignet sich deshalb besonders gut für die Untersuchung der SmartSiC-

Substrate. Diese neuartigen Substrate, welche aus einem polykristallinen SiC-Trägerwafer und einer sehr dünnen, einkristallinen SiC-Folie bestehen, haben andere optische Eigenschaften (opak anstatt transparent; optische Artefakte der Verbindungsschicht), elektrische Eigenschaften (5 mOhm*cm anstelle von 15 bis 25 mOhm*cm spezifischer Widerstand) und vor allen andere mechanische Eigenschaften (Verspannungen, Spannungszustand, Kristallorientierungen etc.) als konventionelle, einkristalline SiC-Substrate. Diese Unterschiede führen zu einem anderen Verhalten bei der Epitaxie und Prozesstechnologie (Waferrand, thermische Anbindung, Delamination insbesondere am Waferrand) und Charakterisierung (Überlagerung der Messsignale durch Artefakte, Reflexionen an der Verbindungsschicht). Bei den ersten SmartSiC-Wafern traten noch Effekte auf wie etwa eine starke Delamination am Waferrand sowie „Löcher“ in der SiC-Folie an schadhafte Stellen der Verbindungsschicht, welche die nutzbare Waferfläche erheblich reduzierten und die Prozessierung der neuartigen Wafer blockierten. Über den Projektverlauf wurde die Materialqualität der SmartSiC-Substrate mit 150 mm und 200 mm Durchmesser so stark verbessert, dass schließlich gleichwertige Schichteigenschaften bei der Epitaxie im Vergleich zu konventionellen Substraten gezeigt werden konnten. Die Projektpartner AIXTRON und IISB haben hierzu 2 Vorträge auf den internationalen SiC-Konferenzen 2022 und 2024 gehalten und die Ergebnisse in Fachzeitschriften veröffentlicht.

Im **Arbeitspaket 4** „Halbleitertechnologie und Bauelemententwicklung“ hat das IISB technologische Lücken in der 200 mm-Prozesslinie schließen können. Im Reinraumlabor am IISB wurde ein 200 mm-fähiger Ausheilofen (CENTROTHERM „Activator 200“) installiert, in Betrieb genommen und Ausheilprozesse entwickelt. Der Projektpartner CENTROTHERM hat im eigenen Entwicklungslabor eine 200 mm-fähige Oxidationsanlage in Betrieb genommen, welche für Prozesse des IISB zugänglich war. Der Projektpartner AIXTRON hat eine 200 mm-fähige Epitaxieanlage im gemeinsamen Entwicklungslabor am Standort des Fraunhofer IISB in Betrieb genommen und mit Unterstützung durch das IISB Epitaxieprozesse für 150 mm- und 200 mm-Wafer entwickelt. Darüber hinaus hat das IISB neuartige Charakterisierungsmethoden und -geräte für 200 mm-Wafer etabliert. Insbesondere die berührungslose elektrische Charakterisierung von SiC mit dem SEMILAB CnCV 230 ermöglicht die Bestimmung der freien Ladungsträgerkonzentration („Dotierung“) von SiC-Epitaxieschichten, den Nachweis von elektrisch aktiven Defekten in Epitaxieschichten sowie die *prozessbegleitende* Charakterisierung von Oxideigenschaften. Dieses Messgerät ist für 150 und 200 mm große Wafer geeignet, erlaubt einen hohen Waferdurchsatz auch aufgrund der automatisierten Ausführung der Messungen und ermöglicht eine direkte, schnelle Überwachung der Oxideigenschaften, welche sonst nur mit aufwändig hergestellten Messstrukturen (z.B. MOS-caps) ermittelt werden können.

Im **Arbeitspaket 5** „Leistungsmodul & Systementwicklung“ wurden in Kooperation mit weiteren Konsortialpartnern wie bspw. BOSCH die Bauelementeigenschaften auf konventionellen und neuartigen SmartSiC Substraten untersucht und verglichen. Das IISB konnte hier seine Expertise im Bereich der strukturellen Defekte und Materialcharakterisierung einbringen.

Durch die Arbeiten in TRANSFORM konnte das Fraunhofer IISB seine 200 mm-SiC-Technologielinie weiter ausbauen und einige Lücken in den Bereichen Prozesse (Epitaxie, thermisches Ausheilen; Oxidation durch Nutzung des Oxidators bei Centrotherm) und Messtechnik (Röntgentopographie, Dotierungsmessung und Oxidcharakterisierung) schließen. Dies kommt den bestehenden bilateralen Kooperationen des IISB mit den Projektpartnern AIXTRON, CENTROTHERM, BOSCH und Soitec (Frankreich) direkt und sofort zugute, und hat bereits die Gewinnung weiterer 200 mm-Industriekooperationen mit Nexperia (Hamburg), SEMILAB (Budapest, Ungarn) und Rigaku (Japan) ermöglicht. Damit konnte die Zusammenarbeit europäischer Akteure im Bereich der SiC-Leistungselektronik durch TRANSFORM gestärkt und darüber hinaus verstetigt werden, unter anderem mit dem weiteren EU-Projekt FASTLANE. Das IISB ist in Europa aktuell das einzige Forschungsinstitut, welches eine fast lückenlose, offene 200 mm-SiC-Technologielinie für Forschungs- und Entwicklungsprojekte bietet.

KDT-Verbundvorhaben

TRANSFORM 

Vertrauenswürdige europäische SiC-Lieferkette für energieeffiziente Leistungselektronik

Schlussbericht Teilvorhaben Fraunhofer- Gesellschaft / Fraunhofer IISB (eingehende Darstellung)

Laufzeit des Vorhabens:	01.05.2021 – 31.10.2024
Zuwendungsempfänger:	Fraunhofer-Gesellschaft
Förderkennzeichen:	16MEE0129
Fälligkeitsdatum:	30.04.2025
Ansprechpartner:	Birgit Kallinger

Projekträger: VDI/VDE Innovation + Technik GmbH

INHALTSVERZEICHNIS

1	Aufgabenstellung und Zielsetzung	3
2	Durchgeführte Arbeiten und erreichte Ergebnisse.....	3
2.1	AP 3 Material & Entwicklung Substrate	3
2.2	AP 4 Halbleitertechnologie und Bauelemententwicklung	7
2.3	AP5 Leistungsmodul & Systementwicklung	18
3	Wichtigste Positionen des zahlenmäßigen Nachweises	20
4	Notwendigkeit und Angemessenheit der geleisteten Arbeiten	20
5	Nutzen und Verwertbarkeit des Ergebnisses	20
6	Fortschritt bei anderen Stellen	21
7	Veröffentlichungen	21

ABBILDUNGSVERZEICHNIS

Abbildung 1	Strom-Spannungs-Messung von MOS-Strukturen zur Bestimmung der Durchbruchspannung (a) und Dichte der Interface States in Abhängigkeit von Lage der Traps von der Leitungsbandkante (b).	9
-------------	--	---

TABELLENVERZEICHNIS

Tabelle 1:	Ellipsometer- und CnCV-Ergebnisse der Oxidation (Zieldicke: 50 nm) ...	10
Tabelle 2:	Matrix an unterschiedlich hergestellten Oxiden	10
Tabelle 3:	Parameter für Implantations- und Annealing-Monitoring-Tests.....	11
Tabelle 4:	Gegenüberstellung der geplanten und entstandenen Projektkosten Fehler! Textmarke nicht definiert.	
Tabelle 5:	Erfolgte und geplante Veröffentlichungen von Projektergebnissen.....	21

1 Aufgabenstellung und Zielsetzung

Das übergeordnete Ziel von TRANSFORM war der Aufbau einer vollständigen und äußerst wettbewerbsfähigen europäischen Lieferkette für Leistungselektronik auf Basis von Siliziumkarbid (SiC)-Leistungshalbleitern. Der Anwendungsbereich und der Bedarf sind enorm und reichen von industriellen Antrieben und Leistungsumwandlung über erneuerbare Energien bis hin zur Elektromobilität. Eine vertrauenswürdige und starke europäische Lieferkette für diese Anwendungsbereiche ist von entscheidender Bedeutung, um eine ganzheitliche Optimierung von leistungselektronischen Systemen zu ermöglichen, die für eine saubere und nachhaltige europäische Wirtschaft erforderlich sind.

Am Fraunhofer IISB wurde im Rahmen von TRANSFORM die SiC-Technologie der nächsten Generation entwickelt, angefangen beim Einsatz von neuartigen SiC-Substraten („SmartSiC“) über verbesserte SiC-Technologieprozesse und -anlagen bei der Epitaxie, der Oxidation und dem thermischen Ausheilen sowie der Materialcharakterisierung mittels Röntgentopographie (XRT) und berührungsloser elektrischer Messung zur Ermittlung der Dotierung von Epitaxieschichten und Eigenschaften von Oxidschichten. Im Rahmen von Transform sollte auch der Übergang von 150 mm SiC-Wafern zu 200 mm-Wafern gelingen, was neue Anlagen und Prozessoptimierungen erforderlich machte.

2 Durchgeführte Arbeiten und erreichte Ergebnisse

2.1 AP 3 Material & Entwicklung Substrate

2.1.1 AP 3.4.2 Entwicklung von 200 mm-SmartCut-Substraten

Die Entwicklung von 200mm SmartCut-Substraten wurde insbesondere durch Röntgentopographie (XRT-)messungen unterstützt. Hierzu wurde zum einen ein Materialbenchmark angefertigt, bei dem Wafer des Verbundpartners ST Microelectronics mit extern beschafftem Material von zwei anderen Herstellern verglichen wurden. Hier zeigte sich bei allen drei Herstellern bereits eine sehr gute Materialqualität, die insbesondere bzgl. Versetzungsdichten bereits diejenige von 150mm Wafern erreicht. Die Untersuchung von 200mm SmartSiC-Substraten lieferte vergleichbare Ergebnisse, wie in AP 3.5.2 für 150mm Wafer beobachtet: Im Wesentlichen ist im Röntgentopogramm die Gitterkrümmung durch den Bondingprozess zu erkennen. Ein Vergleich mit den Eigenschaften der auf die Wafer abgeschiedenen Epitaxieschichten zeigt eine Korrelation zwischen den Kontrasten in der XRT-Messung und den entstandenen Epitaxieschichten, sodass vermutet wird, dass die elastischen Verspannungen des Gitters tatsächlich einen Einfluss auf den Epitaxieprozess und somit auf die Qualität der erhaltenen Schichten haben.

2.1.2 AP 3.5.2 Aktuelle und fortgeschrittene Substrat-Metrologie

2.1.2.1 AP 3.5.2.a Metrologie für die Substratentwicklung

Im Rahmen der Untersuchungen an SiC-Substraten wurden im Wesentlichen zwei Aufgabenkomplexe bearbeitet: Zum einen wurden vom Verbundpartner Soitec bereitgestellte Wafer untersucht, um die Defektquantifizierungsmöglichkeiten mittels XRT mit der Anzahl an Ätzgruben nach einer speziellen defektselektiven Ätze zu vergleichen. Hierbei hat sich gezeigt, dass die mittels XRT bestimmten Schraubenversetzungen (TSDs) sehr gut mit den entsprechenden Ätzgruben übereinstimmen. Die automatische Auszählung bei den XRT-Messungen funktioniert allerdings deutlich zuverlässiger, da es bei den Ätzgruben zu Überlappungen kommen kann, insbesondere, falls die Ätzgrubengröße groß ausfällt. Beim Vergleich der Basalflächenversetzungsdichte (BPD-Dichte) ist aufgefallen, dass bei Proben mit kleinen Ätzgruben weniger BPDs ausgezählt wurden als gemäß den XRT-Messungen erwartet. Dies konnte darauf zurückgeführt werden, dass einige der Ätzgruben extrem klein sind und deshalb im Mikroskopbild nicht sichtbar waren.

Zum anderen wurden Wafer des Verbundpartners ST Microelectronics zusammen mit Referenzwafern mittels XRT vorcharakterisiert, bevor diese vom Verbundpartner AIXTRON für die Abscheidung von Epitaxieschichten verwendet wurden. Hierfür wurde die TSD- und BPD-Dichte an sechs SiC-Substraten mittels XRT-Messungen bestimmt, welche nach Abschluss der weiteren Arbeiten mit den Ergebnissen der epitaktischen Schichten verglichen werden.

Im Rahmen einer umfangreichen Studie wurden Wafer der Konsortialpartner Soitec und ST Microelectronics vor und nach der Epitaxie untersucht, sodass sich ein umfangreiches Bild zu den Besonderheiten der Smartcut-Substrate ergab.

Für herkömmliches Substratmaterial ergeben sich klare Kontraste für Kristalldefekte vor einem homogenen Hintergrund des ungestörten Kristalls, die zur Detektion dieser genutzt werden können. Im Gegensatz dazu weisen die Topgramme der Smartcut-Schichten einen komplett andersartigen Kontrast auf. Bei diesen Wafern wird der Kontrast von einer elastischen Verspannung des Gitters dominiert, welche wahrscheinlich aus dem Bonden des dünnen Transferlayers auf das Trägermaterial resultiert. Dadurch ist eine Versetzungsquantifizierung auf Grundlage der XRT-Messungen für dieses Material nicht möglich, aber es können andere wertvolle Informationen hinsichtlich der durch das Bonden verursachten Spannungen gewonnen werden.

Weiterhin konnten klare Unterschiede zwischen den SmartSiC™ Wafern der verschiedenen Generationen festgestellt werden. So weist ein Testwafer der Gen 1.2 lokale Kontrastvariationen aufgrund von Gitterorientierungsvariationen in Form konzentrischer Ringe auf. Das typische Muster vom Schleifprozess, welches sich durch leicht gebogene, radial verlaufende Linien auszeichnet, ist nur bei hoher Vergrößerung

des Bildes schwach sichtbar. Im Gegensatz dazu zeigt der Gen 2.2 Testwafer ein starkes Muster vom Schleifprozess, was aufgrund des Messverfahrens in den diagonalen Richtungen verstärkt erscheint (Kreuzmuster). Die Gitterkrümmung nach der Epitaxie ist für den Gen 1.2 Wafer größer als für den Gen 2.2 Wafer. Das heißt, dass die globale Gitterkrümmung nicht die starken Kontraste erklären kann, die für den Gen 2.2 Wafer beobachtet werden.

Nach der Epitaxie wurden auf der Gen 1.2 Probe im Wesentlichen Dreiecksdefekte beobachtet, wie sie als Defekte in epitaktischen Schichten üblich sind. Diese Defekte werden auch auf der Gen 2.2 Probe beobachtet, sie zeigt aber zusätzlich auch noch mehrere große, weiße Flecken und kleinere, dunkle Stellen. Diese können auf ein nicht-ideales Bonding der Transferschicht auf das Trägersubstrate zurückgeführt werden. Insbesondere für den Gen 2.2 Wafer werden auch im Randbereich Delaminationseffekte beobachtet, was ebenfalls darauf hinweist, dass das Bonding bei diesem Wafer nicht optimal ist.

2.1.2.2 AP 3.5.2b Entwicklung Metrologie Protokolle

Ziel dieses Teilarbeitspaketes war die Entwicklung einer Charakterisierungsroutine für die von Soitec hergestellten Smartcut-Layer. Deshalb wurde testweise eine Matrix von Smartcut-Layern mit unterschiedlichen Substraten (SiC-Keramik bzw. -Einkristall), unterschiedlichen Bonding-Layern (W oder Si) sowie mit und ohne zusätzliche epitaktische Schicht untersucht. Dabei wurden verschiedene Effekte beobachtet, die bei Substraten aus Volumenmaterial nicht auftreten:

- Lokale Intensitätsfluktuationen auf Längenskalen im Mikrometerbereich, die auf eine Verspannung des Kristallgitters durch den Transferprozess zurückgeführt werden
- Linienartige Intensitätsmodulationen, die zum Beispiel beim Smartcut-Prozess entstanden sein könnten

Bei Smartcut-Schichten, die auf keramische Substrate gebondet wurden, erkennt man zudem eine deutlich stärkere Variation der Gitterorientierung auf größeren Längenskalen im Millimeterbereich als bei solchen, die auf Einkristalle gebondet wurden. Auf den Smartcut-Schichten erzeugte epitaktische Schichten zeigen im Wesentlichen die gleichen Phänomene.

Ein Abgleich mit Untersuchungen auf vollflächigen Wafern mittels XRT-Untersuchungen am Fraunhofer IISB bestätigt die vorherigen Funde auf den SmartCut Substrat Testproben (ca. 20 mm x 30 mm). In allen Topogrammen der Transferschichten konnte eine Feinstruktur beobachtet werden. Auch wenn diese ähnlich wie Bildrauschen erscheint, ist das Signal echt und muss in Zusammenhang mit den Probeneigenschaften stehen. Die Feinstruktur wird insbesondere auf eine elastische Verspannung des Gitters zurückgeführt.

Die unterschiedlichen Materialqualitäten wurden untersucht und miteinander verglichen. Dabei wiesen die Topogramme der Transferschichten deutlich mehr Kontraste auf als der Referenzwafer. Da die Intensität bei allen Topogrammen ähnlich war, ist dies nicht auf ein erhöhtes Bildrauschen wegen einer zu geringen Intensität durch die geringere Schichtdicke zurückzuführen. Tatsächlich ist die Intensität für die Transferschichten sogar erhöht (dies erscheint in den Topogrammen aufgrund der Negativ-Darstellung dunkler), wie es für das Vorhandensein von Gitterverspannungen erwartet wird, da diese einen ähnlichen Effekt haben wie das Spannungsfeld um Versetzungen. Bei genauer Untersuchung erkennt man, dass die Strukturen bei Gen 1.2 Wafern deutlicher ausgeprägt sind als für Gen 1.1, was weiter unterstützt, dass diese Strukturen vom Material selbst herrühren und kein Messartefakt sind. Auch hier werden die Unterschiede auf die unterschiedliche Oberflächenrauigkeit des Trägermaterials zurückgeführt.

Die Makrostruktur wurde bereits oben bei den vollflächigen Untersuchungen an 150 mm Wafern angesprochen. Für eine tiefergehende Untersuchung wurden zusätzlich zu den regulären Messungen „Rocking Curve“-Karten angefertigt, die unter anderem die ortsabhängige Gitterverkipfung aufzeigen. Die Karte der Peakposition zeigt bei SmartCut-Proben typischerweise eine Variation von ω um ca. $0,1^\circ$ innerhalb des kleinen Messbereichs, was sehr viel mehr ist als das, was man von der globalen Krümmung des Wafers erwartet bzw. als das, was man für einen typischen SiC-Wafer erwartet. Außerdem ist die Waferkrümmung nicht homogen, sondern es treten auch kleine, lokale Variationen auf. Da diese Variationen der Oberflächenrauigkeit des Trägermaterials zugeschrieben werden, kann diese Technik hilfreich sein, um die Oberflächenqualität zu bewerten und zu optimieren. Außerdem unterstützt diese Beobachtung weiter die Annahme, dass die Kontrastvariationen im Topogramm tatsächlich von einer Verbiegung des Gitters der Transferschicht herrühren, welche durch ein nicht perfektes Interface verursacht wird, und nicht von Kristalldefekten an der Grenzschicht.

Nach Modifikation des Geräts, aufgrund des hohen erforderlichen Zeitaufwands, steht nun auch für den weiteren Projektverlauf ein Messmodus unter Verwendung eines stark divergenten Strahls zur Verfügung, der die Messzeit deutlich verkürzen kann.

Auf Grundlage dieser Messungen wurde eine Analysemethode entwickelt, die die Messdaten so auswertet, dass die Ortsinformation von der Information zur Gitterkrümmung getrennt werden kann. Darüber kann aus einem regulären Scan direkt eine „Rocking Curve“-Karte angefertigt werden, was eine vollflächige Untersuchung eines ganzen Wafers ermöglicht. Hier sind neben der regulären „schüsselförmigen“ Waferkrümmung (Gradient von links nach rechts) auch Krümmungen des Gitters durch den Transfer- und Bondingprozess zu erkennen, der sehr deutliche Unterschiede zwischen den Wafern der unterschiedlichen Generationen aufzeigt.

2.1.2.3 AP 3.5.2.c Entwicklung XRT-System

Wegen der geringen Dicke der Transferschicht von weniger als 1 μm erscheint es naheliegend, weichere Röntgenstrahlung für die Untersuchungen zu verwenden als die übliche Cu $K\alpha$ Strahlung. Während die Eindringtiefe für Cu $K\alpha$ beim (0008)-Reflex ca. 23 μm beträgt, sind dies bei Cr $K\alpha$ Strahlung lediglich 8,5 μm (für den (0004)-Reflex). Um die möglichen Vorteile zu testen, wurde ein weltweit einmaliges XRT-System am Fraunhofer IISB für die Analyse der Transferschichten getestet.

Die Vorteile der weicheren Röntgenstrahlung können insbesondere für Gen 1.1 Proben beobachtet werden, weil hier die Unterscheidung zwischen der dünnen Transferschicht und dem deutlich dickeren Trägermaterial eine zusätzliche Herausforderung darstellt. Der Vorteil der Cr-Strahlung wird beim Vergleich der Anodenmaterialien bei der Messung der Rockingkurven offensichtlich. Das Verhältnis zwischen den Signalen der Transferschicht und des Trägermaterials durch die Verwendung der Cr-Anode ist deutlich verbessert im Vergleich zur Standard Cu-Anode.

Dieser Unterschied überträgt sich dann auch auf die bildgebende topographische Messung. Wegen des Überlapps der Signale von Trägermaterial und Transferschicht stammt die hauptsächliche Information bei Verwendung der Cu-Anode vom Trägermaterial. Dadurch können die Versetzungen in diesem deutlich gesehen werden und überlagern sehr stark das Signal der Transferschicht. Dies macht eine Bewertung der Transferschicht unter Verwendung der Cu-Anode unmöglich. Insbesondere zeigt das Topogramm, das unter Verwendung der Cu-Anode aufgenommen wurde, einige dunkle Punkte, die klar Schraubenversetzungen zugewiesen werden können, sowie vereinzelte stärkere Kontraste, die entweder von Schraubenversetzungen mit erhöhtem Burgersvektor ($b > 1c$) oder von Micropipes verursacht werden. Diese stärkeren Kontraste sind ebenfalls schwach in den Topogrammen sichtbar, die unter Verwendung der Cr-Anode aufgenommen wurden, während die einfachen Schraubenversetzungen hier nicht erkennbar sind. Dadurch ermöglicht bei derartigen Proben erst der Einsatz der weicheren Röntgenstrahlung die Untersuchung und Bewertung der Transferschichten.

2.2 AP 4 Halbleitertechnologie und Bauelemententwicklung

Das AP 4 zielte darauf ab, die wichtigsten Prozessschritte für SiC-Leistungsbaulemente zu optimieren und zu validieren, zunächst auf 150 mm Wafern, im weiteren Verlauf des Projekts auf 200 mm Wafern. Das Fraunhofer IISB war an den Arbeitspaketen AP 4.2 (a bis e), 4.3 und 4.4 beteiligt.

2.2.1 AP 4.2 Prozessmodule für planare MOS

Gesamtaufgabe von AP 4.2 war die Entwicklung von fortschrittlichen Prozessmodulen für 150 mm Standard- und SmartCut SiC-Wafern für planare MOS, die später in AP 4.4 auf 200 mm Wafer übertragen wurden. Aufgaben des IISB waren hier gemeinsam mit dem

Projektpartner und Anlagenhersteller Centrotherm die Entwicklungen von Annealing- und Oxidationsanlagen und -prozessen. Der Centrotherm-Activator/Annealer wurde im zweiten Projektjahr am IISB aufgestellt. Die Weiterentwicklung der Prozesse erfolgte gemeinsam durch Centrotherm und IISB, während die Optimierungen der Anlagenhardware Aufgabe Centrotherms waren. Für die Arbeiten standen sowohl konventionelle SiC-Wafer mit 150 mm und 200 mm Durchmesser als auch Soitec SmartSiC-Wafer zur Verfügung.

2.2.1.1 AP 4.2.a Prozessmodul Oxidation: Gate-Oxid und Interface-Qualität

Gegenstand des Arbeitspakets ist die Entwicklung einer BKM („best known method“) für verbesserte Gate-Oxid- und Interface-Qualität auf SmartCut SiC. Die Entwicklung erfolgte zunächst auf Standard-SiC-Material und wurde anschließend auf SmartCut-Material übertragen.

Die Gate-Oxid-Qualität auf SiC ist von vielen Faktoren abhängig, insbesondere von der Oberflächenqualität der Wafer. Eine Optimierung beginnt bereits mit dem Aktivierungsanneal nach durchgeführten Implantationen. Mit seiner langjährigen Erfahrung hat das IISB ein Modul entwickelt, welches eine Opferoxidation im Oxidator bei 1300°C (zur Entfernung möglicher Capping-Layer-Rückstände sowie zur Konditionierung der Waferoberfläche) und eine festgelegte Abfolge an chemischen Reinigungsschritten in Zeitkopplung zur eigentlichen Gateoxidation umfasst. Die Gateoxidation wird nach Stand der Technik mit Zugabe von NO realisiert. Für die Modulentwicklung wurden SiC-Wafer mit unterschiedlichen Parametern oxidiert und die Oxide miteinander verglichen. Es wurden grundsätzlich Oxiddicken mit einer Zieldicke von 50 nm untersucht, was ein üblicher Wert für SiC-basierte MOS-Bauelemente ist. Die Unterschiede in den betrachteten Rezepten lagen im Wesentlichen beim so genannten Post Oxidation Anneal (POA), bei dem die Annealingzeit und das Ambiente sowie die Reihenfolgen von Stickstoff, Argon und NO verändert wurden. Für die Charakterisierung wurde anfangs auf den Oxiden in-situ dotiertes Polysilicium abgeschieden und dieses strukturiert, sodass Poly-Pads mit einer Fläche von $7,6 \cdot 10^{-4} \text{ cm}^2$ erzeugt wurden. Die auf diese Weise hergestellten MOS-Strukturen wurden mittels Strom-Spannungs-Messungen (IV) und Kapazitätsmessungen (CV) untersucht. Aus den Kapazitätsmessungen wurden wiederum die Dichten der Interface Traps bestimmt. Im letzten Projektjahr konnten die Untersuchungen der Gateoxide mit dem im Rahmen des Projekts installierten CnCV 230 Messtools durchgeführt und der Herstellungsprozess der Testproben damit deutlich vereinfacht werden (zum CnCV-Tool s.a. Abschnitt 2.2.3.3).

Abbildung 1a zeigt ein typisches Ergebnis der IV-Messung der MOS-Strukturen über einen Wafer. Ab einer Feldstärke von etwa 7 MV/cm treten erste Durchbrüche der Oxide auf, wobei die mittlere Durchbruchfeldstärke bei 10,3 MV/cm lag, was ein ausgezeichneter Wert ist. Abbildung 1b zeigt die aus den CV-Messungen ermittelte

Dichte der Interface States. Hier lässt sich festhalten, dass es keine sehr signifikanten Unterschiede zwischen den unterschiedlichen Oxidationen mit NO gibt. Lediglich ein Wafer, der ganz ohne NO prozessiert wurde, fällt mit einer mehr als doppelt so hohen Interface State Dichte aus dem Rahmen.

Es war vorgesehen, die Arbeiten gleichermaßen sowohl an Standard 4H-SiC-Wafern als auch an SmartCut-Wafern durchzuführen. Auch im zweiten Projektjahr standen jedoch noch keine SmartCut SiC-Wafer für dieses AP zur Verfügung, sodass nur Standardwafer untersucht werden konnten.

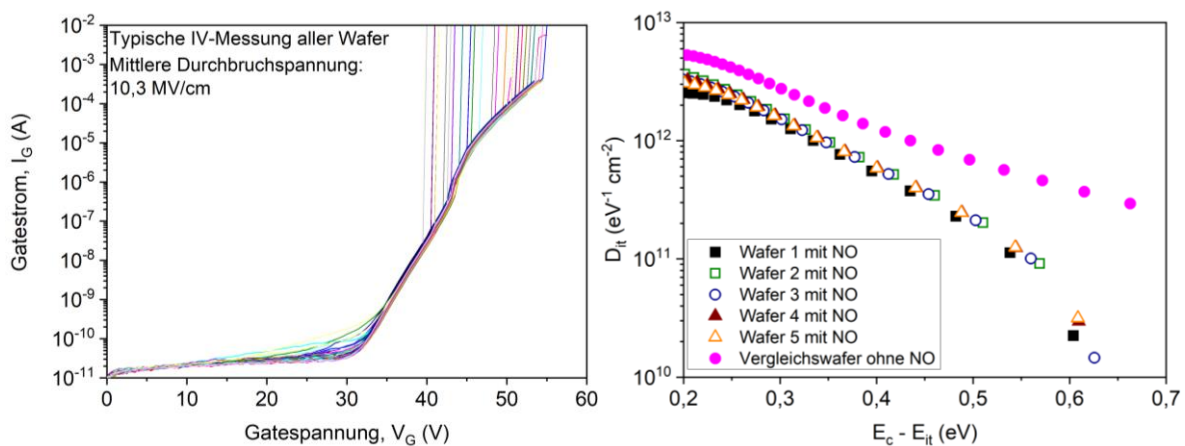


Abbildung 1 Strom-Spannungs-Messung von MOS-Strukturen zur Bestimmung der Durchbruchspannung (a) und Dichte der Interface States in Abhängigkeit von Lage der Traps von der Leitungsbandkante (b).

Zusammen mit Centrotherm wurde ein Versuchsplan entworfen, der bei den ab Q3 vorliegenden SmartSiC-Wafern auf Implantation und Anneal bewusst verzichtet. Damit wurde es ermöglicht, die Wafer mehrfach mit unterschiedlichen Parametern zu oxidieren und zu charakterisieren. Die zur Verfügung stehenden SmartSiC-Wafer wurden zusammen mit den herkömmlichen Referenzwafern oxidiert, zunächst mit den Parametern einer herkömmlichen Opferoxidation (1300°C , 32 min, kein NO-Anneal, Zieldicke T_{ox} 50 nm). Die Oxidationen wurden mittels Ellipsometerschichtdickenmessung und mit dem CnCV-Tool von Semilab charakterisiert. Ziel war es dabei auch, eine erste Datenbasis mit dem CnCV-Tool zu generieren, um Vergleiche mit nachfolgend geplanten Gate-Oxidationen ziehen zu können.

In Tabelle 1 sind die Ergebnisse der Ellipsometer- sowie der CnCV-Messungen inklusive EOT zusammengefasst. Die EOT-Werte sind um etwa 7 nm größer als die Ellipsometerdicken, zeigen aber exakt denselben Trend. Deutlich ist der so genannte Abdeckeffekt zu erkennen, der bei den nicht durch einen anderen Wafer „abgedeckten“ Wafern auf den Slots 13 und 28 zu signifikant niedrigeren Oxiddicken führt. Materialabhängigkeiten zwischen den unterschiedlichen Materialien sind nicht erkennbar. Die Ellipsometerdicken stimmen sehr gut mit der anvisierten Zieldicke überein. Es zeigte sich, dass die höheren EOT-Werte mit dem CnCV-Messverfahren und

dessen Kalibration korreliert waren. Auch die Flachbandspannungen V_{fb} und die Dit-Werte zeigen kein materialabhängiges Muster.

Tabelle 1: Ellipsometer- und CnCV-Ergebnisse der Oxidation (Zieldicke: 50 nm)

Box Slots	Boot Slots	Material	Ellipsometer		CnCV					
			Tox [nm]	Stdev [%]	EOT [nm]	EOT Stdev [%]	Vfb [V] Avg	Dit [q/cm ² -eV] Avg	Qit [q/cm ²] Avg	Qtot [q/cm ²] Avg
1	13	SmartSiC	45,4	1,7	51,4	1,0	3,15	4,82E+11	3,02E+11	-1,2E+12
2	14	SmartSiC	48,6	2,1	56,5	2,1	3,09	4,01E+11	2,89E+11	-7,2E+11
3	15	4H-mSiC	49,6	2,0	56,2	1,3	2,98	4,04E+11	2,80E+11	-6,9E+11
4	16	4H-mSiC	49,5	1,8	56,3	1,5	3,05	4,19E+11	2,84E+11	-7,2E+11
5	17	SmartSiC	49,0	1,6	56,4	1,3	3,00	3,92E+11	2,73E+11	-7,0E+11
6	18	SmartSiC	49,2	1,8	56,7	1,5	3,07	3,98E+11	2,84E+11	-7,2E+11
7	19	4H-mSiC	49,6	2,3	56,6	1,6	3,07	4,00E+11	2,82E+11	-7,2E+11
8	20	4H-mSiC	49,5	2,2	56,7	1,7	3,13	3,78E+11	2,75E+11	-7,0E+11
10	28	SmartSiC	47,4	0,8	53,9	0,6	3,14	4,82E+11	2,90E+11	-7,5E+11
11	29	SmartSiC	49,8	1,7	57,3	1,5	3,18	4,16E+11	2,93E+11	-7,4E+11
12	30	4H-mSiC	50,4	1,4	57,2	1,1	3,09	3,87E+11	2,89E+11	-7,1E+11
13	31	4H-mSiC	50,3	1,6	57,3	1,3	3,16	4,53E+11	2,92E+11	-7,3E+11
14	32	SmartSiC	49,6	1,5	57,2	1,1	3,11	4,30E+11	2,84E+11	-7,2E+11
15	33	SmartSiC	49,7	1,7	57,3	1,5	3,17	4,22E+11	2,90E+11	-7,4E+11
16	34	4H-mSiC	50,0	1,5	56,8	1,3	3,15	4,13E+11	2,88E+11	-7,4E+11
17	35	4H-mSiC	49,5	1,7	56,8	1,4	3,14	4,15E+11	2,70E+11	-6,8E+11

Im nächsten Schritt wurden verschiedene thermische und abgeschiedene Oxide hergestellt und unterschiedliche Vor- und Nachglühbedingungen getestet. Die Herstellung der Oxide fand sowohl am IISB als auch bei Centrotherm statt. Bei der Auswertung zeigte sich, dass Oxide mit NO-Anneal mit im Mittel $2,5E11$ /cm² eine signifikant niedrigere DIT aufwiesen als die Oxide ohne NO-Anneal ($4E11$ /cm²). TEOS ohne NO konnte z.T. am CnCV-Tool überhaupt nicht ausgewertet werden. Die wichtigste Erkenntnis ist hingegen, dass sich SmartSiC-Wafer und Standard 4H SiC-Wafer hinsichtlich Oxiddicke und DIT auch bei den komplexeren Gateoxidrezepten nicht unterscheiden.

Tabelle 2: Matrix an unterschiedlich hergestellten Oxiden

IISB/Centrotherm	Processbedingungen	Substrat
IISB-1	TEOS ohne NO Anneal	4H-mSiC
IISB-2	TEOS mit NO Anneal	4H-mSiC
IISB-3	Thermisches Oxid mit NO Anneal	4H-mSiC
IISB-4	Thermisches Oxid ohne NO Anneal	4H-mSiC
ct-1	DryOx 1350°C, POA 1300°C 15% NO	4H-mSiC
ct-2	DryOx 1350°C, POA 1350°C FGA & 15% NO 1300°C	4H-mSiC
ct-3	DryOx 1350°C, POA 1350°C FGA & 1430°C N2	4H-mSiC
ct-4	DryOx 1450°C, POA 1300°C 15% NO	4H-mSiC
IISB-1	TEOS ohne NO Anneal	SmartSiC
IISB-2	TEOS mit NO Anneal	SmartSiC
IISB-3	Thermisches Oxid mit NO Anneal	SmartSiC
IISB-4	Thermisches Oxid ohne NO Anneal	SmartSiC
ct-1	DryOx 1350°C, POA 1300°C 15% NO	SmartSiC
ct-2	DryOx 1350°C, POA 1350°C FGA & 15% NO 1300°C	SmartSiC
ct-3	DryOx 1350°C, POA 1350°C FGA & 1430°C N2	SmartSiC
ct-4	DryOx 1450°C, POA 1300°C 15% NO	SmartSiC

Nach Abschluss der Oxidationsversuche und gegen Ende der Projektlaufzeit wurden die SmartSiC- und Standard-Wafer implantiert und annealt um zu testen, inwieweit mit dem CnCV-Tool ein Prozessmonitoring für Implantationen und die Hochtemperaturschritte möglich ist. Die Anneal- und Implantationsparameter sind in Tabelle 3 gezeigt. Erste Messungen mit dem CnCV-Tool haben jedoch keine sinnvoll interpretierbaren Ergebnisse geliefert, da die bei der Messung aufgebrauchte Ladung auf die implantierten Wafer offenbar sehr schnell wieder abfließt. Die Thematik muss daher außerhalb von Transform weiterverfolgt werden.

Tabelle 3: Parameter für Implantations- und Annealing-Monitoring-Tests

Anneal (30 min)	Implantationsbedingungen			
	Gruppe 1: Al, 50 keV, 7E11 /cm ² , 7°		Gruppe 2: Al, 50 keV, 2.1E12 /cm ² , 7°	
	Slot	Wafer	Slot	Wafer
1700°C	#1	SmartSiC	#18	SmartSiC
1700°C	#2	SmartSiC	#19	SmartSiC
1700°C	#3	mSiC	#20	mSiC
1700°C	#4	mSiC	#21	mSiC
1675°C	#5	SmartSiC	#22	SmartSiC
1725°C	#6	SmartSiC	#23	SmartSiC
1675°C	#7	mSiC	#24	mSiC
1725°C	#8	mSiC	#25	mSiC

2.2.1.2 AP 4.2.b Prozessmodul Oxidation: in-situ Vorreinigung vor Gate-Oxid

Untersuchung und Entwicklung einer BKM für die in-situ Vorreinigung von Prozessteilen und Wafern vor dem Gateoxidwachstum. Die SmartCut-Wafer wurden erst in Q4/2023 zur Verfügung gestellt. Priorität hatten jedoch die Oxidations- und Aktivierungstest für Anlagenmonitoring (Implantation/Activator), sodass die Tests zur in-situ-Vorreinigung verworfen werden mussten.

2.2.1.3 AP 4.2.c Prozessmodul Oxidation: in-situ Vorreinigung

Dieses Arbeitspaket wurde aufgrund der Nicht-Verfügbarkeit der SmartCut-Wafer erst in Q3 begonnen und schwerpunktmäßig bei Centrotherm durchgeführt. Die Arbeiten für ein alternatives Capping mittels CVD abgeschiedenen, hochdichten Grafitschichten zeigen, dass die CVD-Schichten die Waferoberflächen genauso gut wie fotolackbasierte Capping Layer schützen. Das ist vor allem für die Massenproduktion sehr vielversprechend, da die CVD-Schichten im Activator kaum ausgasen.

2.2.1.4 AP 4.2.d Prozessmodul Annealing: Prozessüberwachung

Gegenstand der Arbeiten war die Entwicklung einer In-Situ- oder In-Line-Überwachung für den SiC-Annealingprozess, um die Prozesssicherheit zu verbessern, weil in der Serienproduktion Material im Wert von bis zu 500 T€ pro Anlage und Tag ausgeheilt wird. Diese Arbeiten wurden schwerpunktmäßig bei Centrotherm durchgeführt und durch IISB

unterstützt. Es wurde eine berührungslose HF-Wirbelstromerfassung evaluiert, weitergehende Untersuchungen jedoch eingestellt, da das Messprinzip im Wesentlichen mehr das Bulkvolumen misst, anstatt nur die ein paar hundert Nanometer dicke, implantierte Oberflächenschicht und somit nicht die hierfür notwendige Empfindlichkeit liefert. Auch ein KI-basierter Ansatz hat sich für das Power Monitoring wegen des hohen Aufwands als nicht ideal herausgestellt. Von daher wurde letztlich ein Model-basierter Ansatz gewählt und umgesetzt.

2.2.1.5 AP 4.2.e Prozessmodul Annealing: Advanced Process Control

Gegenstand ist die Entwicklung einer Datenbasis und Methodik für APC (Advanced Process Control) auf Basis der aktuellen CENT 150 mm Produktionsanlagen. Diese Arbeiten wurden schwerpunktmäßig bei Centrotherm durchgeführt und durch das IISB unterstützt.

Auch hier wurde bei Centrotherm ein KI-Ansatz wegen des Aufwands zurückgestellt. Stattdessen wurde eine Software entwickelt, die alle verfügbaren Anlagen- und Mediendaten in einem festen Zeitraster sammelt, grafisch darstellt und Auswertungen durchführt. Auf diese Weise können beispielsweise PM-Maßnahmen ausgelöst werden. Die Visualisierung der Daten über einen langen Zeitraum hilft dabei, Drifts oder kritische Schwankungen besser zu erkennen und Maßnahmen zu ergreifen.

2.2.2 AP 4.3 Trench-MOS inklusive Epitaxie

IISB unterstützte Bosch gemeinsam mit Centrotherm bei der Entwicklung von Trench-MOS Prozessen. Der in AP 4.2 beschriebene Centrotherm-Activator/Annealer wurde am IISB aufgestellt und betrieben. In AP 4.3 wurde der Centrotherm-Annealer durch IISB genutzt und die hergestellten Strukturen charakterisiert, um einen Prozess zur Verrundung und Glättung von Trench-Strukturen zu erzielen. Es wurde eine Datenbasis für den Einfluss verschiedener Prozessparameter (für T, t, p, Ar/H₂-Verhältnis) erstellt und daraus ein BKM-Prozess für die Trench-Verrundung abgeleitet.

Der in AP 4.2 beschriebene Centrotherm-Activator/Annealer konnte erst verspätet Ende Juni 2022 am IISB aufgestellt werden, die Inbetriebnahme hat sich aufgrund von Lieferengpässen im Bereich der Infrastruktur bis Ende November 2022 hingezogen. Im Nachgang wurden weitere Verbesserungen, wie die Herstellung der für dieses AP benötigten Wasserstofffähigkeit realisiert, sodass die für dieses AP durchzuführenden Arbeiten mit dem Activator erst im Jahr 2023 beginnen konnten.

Für den Activator wurde ein BKM-Rezept entwickelt und die entsprechenden Parameter, wie Temperatur, Zeit, Ar/H₂-Verhältnis festgelegt. Auf dieser Basis waren noch vergleichende Ergebnisse mit 4H-SiC und SmartSiC-Wafer angedacht. Bei Letzteren sollte besonderes Augenmerk darauf gerichtet werden, ob die hochdotierten Poly-SiC-Waferrückseiten den Glättungsprozess auf den 4H-SiC-Vorderseiten beeinflussen

können. Im Rahmen der ersten Oxidationen bei 1300°C hat sich jedoch gezeigt, dass die hochdotierten Poly-SiC-Rückseiten der SmartSiC-Wafer keinen erkennbaren Einfluss auf das Wachstumsverhalten und die mittels CnCV-Tool ermittelten elektrischen Parameter der Oxide haben. Da SiC in H₂/Ar-Atmosphäre weniger reagiert als mit Sauerstoff, ist zu erwarten, dass sich die beiden Wafermaterialien auch bezüglich dieses Prozesses gleich verhalten werden. Der Vergleich von 4H-SiC- und SmartSiC-Wafern mit dem entwickelten Trench-Reshape-Prozess lässt daher keinen neuen Erkenntnisgewinn erwarten. Da außerdem die Wafer sehr spät zur Verfügung gestellt wurden und noch vorher für andere Tests benötigt wurden, wurde dieser Test aus Zeit- und Prioritätsgründen nicht weiterverfolgt.

2.2.3 AP 4.4 Wegweisende 200 mm-Technologie

2.2.3.1 AP 4.4.a Prozessmodul Annealing: Entwicklung 200 mm-Annealer

IISB entwickelte in AP 4.4 den 200 mm-tauglichen Hochtemperatur-Activator/Annealer sowie den Oxidator gemeinsam mit Anlagenhersteller Centrotherm nach den auf 150 mm-Substraten durchgeführten Prozessoptimierungen der APs 4.2 und 4.3 für die Prozessierung von 200 mm-Wafern weiter. Dies umfasste hinsichtlich der Activatorprozesse u.a. ein verbessertes Kohlenstoff-Capping während des Anneals oder ein optimiertes Trench-Annealing, während seitens der Oxidatorprozesse eine optimierte Gate-Oxid-Qualität stand.

Für die Annealingprozesse hat Centrotherm einen 200 mm-fähigen Activator im Uni-Reinraum, den das IISB gemeinsam mit dem Lehrstuhl für Elektronische Bauelemente der Universität Erlangen-Nürnberg betreibt, Ende 2022 in Betrieb genommen. Der Activator stellt zum einen hinsichtlich der Anlagengröße und zum anderen hinsichtlich des Betriebs (es können Temperaturen bis 2000°C gefahren werden) höchste Anforderungen. Zur Lieferung und Inbetriebnahme des Activators gab es die folgenden Deliverables unter Leitung von Centrotherm, die sich jedoch hinsichtlich ihrer ursprünglichen Planung deutlich nach hinten verschoben haben:

- D4.11 Lieferung eines 200 mm-Annealers an IISB durch Centrotherm, erfüllt in M14
- D4.12 200 mm-Annealer installiert und betriebsbereit durch Centrotherm, erfüllt in M17

2.2.3.2 AP 4.4.b Prozessmodul Epitaxie: Basisprozesse

Das IISB hat den Projektpartner AIXTRON bei Hardware- und Prozessentwicklungen auf dem ersten 200 mm-fähigen Multi-Wafer-SiC-Epitaxieanlagen unterstützt. Während die Hardware-Entwicklung v.a. bei AIXTRON angesiedelt war, wurden die Prozesse gemeinsam entwickelt und neben der Optimierung der Anlageninfrastruktur insbesondere die Charakterisierung der Epitaxieschichten und die wissenschaftliche Auswertung und

Interpretation der Material- und Waferqualität, sowie die Verknüpfung mit den Erkenntnissen der anderen Forschungspartner schwerpunktmäßig durch IISB durchgeführt.

Zunächst wurden Basisprozesse in einer 200 mm-fähigen Prototyp-Anlage entwickelt. Hierbei kamen v.a. 150 mm-Substrate zum Einsatz, deren Prozessierung als Baseline und Benchmark für die Anlagen- und Prozessentwicklung im Vergleich zu bisherigen 150 mm-fähigen Anlagen dient.

Nach der Installation und Inbetriebnahme der 200 mm-Prototypanlage im Fraunhofer-Reinraum durch den Anlagenhersteller AIXTRON wurden Basisprozesse eingefahren. In diesem Zusammenhang wurde eine Reihe dicker, nominell undotierter Epitaxieschichten auf 150 mm Standard-Substraten eines internationalen Herstellers gewachsen. Diese Schichten wurden in Hinblick auf den Defektgehalt und die Schichtqualität eingehender charakterisiert als üblich, um die Performance der neu installierten Anlage zu prüfen. Die Wafer-zu-Wafer und Run-zu-Run Reproduzierbarkeit der Schichtdicke war mit $< 2,5 \%$ sehr gut bei Schichtdicken zwischen 12 und 27 μm . Alle Schichten waren nominell undotiert mit einer Hintergrunddotierung von $5 \times 10^{13} \text{ cm}^{-3}$, was ein sehr guter Wert ist. Die Schichten weisen die üblichen Defektarten auf, also verschiedene Stapelfehlertypen, Versetzungen und Partikel. Die Defektdichten liegen – unter Berücksichtigung der Schichtdicke – in einem guten Bereich. Damit lagen Epitaxieprozesse für 150 mm-Wafer vor, die sich gut als Ausgangspunkt für 200 mm-Prozesse eigneten.

2.2.3.3 AP 4.4.c Prozessmodul Epitaxie: 200 mm Charakterisierung

Die vorhandenen Charakterisierungsverfahren (für u.a. Schichtdicke, Dotierstoffverteilung, Defektgehalt) wurden für 200 mm-Wafer angepasst und weiterentwickelt. Hierfür wurde ein aus strategischen Investitionsmitteln der Fraunhofer Gesellschaft beschafftes, berührungsfreies CV-Dotierungsmessgerät (Semilab CnCV 230) eingesetzt.

In den ersten beiden Projektjahren 2021 und 2022 standen kaum **200 mm-SiC-Epitaxiewafer** im Projekt zur Verfügung, um die vorhandenen Messgeräte für die Bestimmung der Schichtdicke, Dotierung und Defektdichte anzupassen. Deshalb wurden wichtige Tests und Erweiterungen an den vorhandenen Messgeräten zunächst anhand von 150 mm-SiC-Wafern und 200 mm-Si-Wafern durchgeführt: die Messgeräte können 200 mm-Wafer handhaben und alle Messpunkte auf der größeren Waferfläche anfahren. Da Schichtdicke und Dotierung punktuell an den Wafern gemessen werden, war die erfolgreiche Messung an 200 mm-SiC-Epitaxiewafern zu erwarten und konnte im späteren Projektverlauf bestätigt werden.

Des Weiteren wurden Messungen an **150 mm-SmartCut Epitaxiewafern** durchgeführt zur Bestimmung der Schichtdicke, Dotierung und Defektdichte. Schichtdicke und Dotierung sind ohne Schwierigkeiten bestimmbar. Bei der Schichtdickenmessung an

SmartSiC-Epitaxiewafern ist jedoch zu beachten, dass die dünne SiC-Folie des SmartSiC-Substrats die gemessene Epitaxieschichtdicke „vergrößert“, da SiC-Folie und Epitaxieschicht bei der optischen Messung nicht unterschieden werden können. Bei den Defektdichte-Messgeräten Lasertec SICA und Intego Oberflächeninspektor können die SmartSiC-Wafer per UVPL-Abbildung gemessen werden, allerdings müssen die Messbedingungen sowie die Auswertalgorithmen angepasst werden: Die SmartCut-Epitaxiewafer weisen deutlich mehr optische Merkmale auf als Epitaxieschichten auf konventionellen Wafern, beispielsweise Rauigkeiten an der Grenzfläche zwischen SiC-Folie und Trägerwafer, welche als eine Art „Rauschen“ das eigentliche optische Messsignal der Epitaxieschichten und der darin enthaltenen Defekte überlagert. Mit Hilfe des SmartSiC-Herstellers Soitec und ST-Italien konnten schnell bessere Messparameter, wie z.B. Beleuchtungsintensität bei der Messung, gefunden werden, welche zu einer deutlich verbesserten Defekterkennungsrate geführt haben. Dennoch können sehr flache Oberflächendefekte, sog. Pits und Bumps, auf SmartSiC-Epitaxiewafern nicht oder nur selten nachgewiesen werden, da diese nicht vom Hintergrundrauschen der Messungen getrennt werden können. Diese Einschränkung ist den besonderen Eigenschaften der neuartigen SmartSiC-Wafer geschuldet.

Darüber hinaus wurde ein automatisiertes Messsystem zur berührungslosen Bestimmung der Dotierung sowie elektrisch aktiver Defekte in SiC-Epitaxieschichten bestellt und am Fraunhofer IISB installiert. Dieses CnCV-Gerät von SEMILAB ist im Projektverlauf zu einem Industriestandardgerät geworden, mit dem 150 mm und 200 mm SiC-Wafer gemessen werden können. Das Gerät wurde im September 2022 im Fraunhofer-Reinraum installiert und (auf Basis von 150 mm SiC-Wafern) in Betrieb genommen. Das CnCV-Gerät wird hauptsächlich zur Bestimmung der Dotierung von SiC-Epitaxieschichten eingesetzt. Im Rahmen der Geräteabnahme und Messmittelprüfung wurden Wiederholungsmessungen an mehreren Wafern sowie Vergleichsmessungen mit den bislang eingesetzten Quecksilber-CV-Probern durchgeführt. Die Wiederholungsmessungen belegen eine sehr gute Reproduzierbarkeit der Messergebnisse. Für Vergleichsmessungen zwischen den etablierten Quecksilber-CV-Probern und dem neuen CnCV-Gerät wurden mehrere n-typ Epitaxiewafer auf beiden Messgeräten gemessen und die Ergebnisse verglichen. Es zeigt sich eine sehr gute Übereinstimmung ($R^2 = 0,999$) der Messergebnisse, so dass das neue CnCV-Messgerät für die Dotierungsbestimmung an n-leitenden Epitaxieschichten auf konventionellen Wafern eingesetzt werden kann. Darüber hinaus hat es sich für Dotierungsmessungen an SmartSiC-Epiwafern (150 und 200 mm) bewährt.

Des Weiteren verfügt das CnCV-Messgerät über einen sog. QUAD-Messmodus (Quality, Uniformity And Defects) zur Auffindung elektrisch aktiver Defekte, in dem das zeitliche Abklingen einer künstlich aufbrachten Oberflächenladung gemessen wird. In defektfreien Bereichen bleibt die Ladung über einen längeren Zeitraum konstant bzw.

nimmt homogen ab, wohingegen an Defekten die Oberflächenladung lokal schneller abnimmt und diese Bereiche aufgespürt werden können. Diese Methode verspricht die Auffindung elektrisch aktiver Defekte in Epitaxieschichten, wohin gegen konventionelle Methoden wie die o.g. UVPL-Abbildung oder die Röntgentopographie (XRT) alle strukturellen Defekte nachweisen, unabhängig von deren Relevanz für elektrische Eigenschaften. Im 2. Projektjahr wurde die QUAD-Methode eingehender studiert: es wurden Wafer mit unterschiedlichen Epitaxieschichten sowie SmartSiC-Epitaxiewafer eingesetzt, die Ergebnisse mit den Defektdichten aus konventionellen UVPL-Abbildungen und XRT-Messungen verglichen, sowie die Reproduzierbarkeit der QUAD-Messungen überprüft. Dies wurde im Rahmen einer Bachelorarbeit untersucht. Hierbei wurden die Messbedingungen für Epitaxiewafer mit unterschiedlichen Epitaxie-Schichtdicken und -dotierungen optimiert, so dass die Messergebnisse eine sehr zufriedenstellende Reproduzierbarkeit erreicht haben. Des Weiteren wurden die Defekte verglichen, welche mittels der etablierten UVPL-Methode und der neuartigen QUAD-Methode nachgewiesen werden können. Insbesondere bei großen Defekten wie bspw. Partikel und Stapelfehler gibt es eine hohe Übereinstimmung zwischen den beiden Messmethoden. Kleinere Defekte allerdings, wie bspw. einzelne Versetzungen und Mikroröhren, können mit der QUAD-Methode nicht aufgelöst werden. Dennoch kann es zielführend sein, QUAD- und UVPL-Messungen zur Defektüberwachung zu kombinieren, um die Zuverlässigkeit und Erfassung *aller* relevanten Defekte zu gewährleisten.

Typischerweise liegt das Oberflächenpotential bei n-leitenden Epitaxieschichten in der Größenordnung von 10 bis 40 Volt, je nach Dotierung, Schichtdicke, Defekten und aufgebracht Ladung. Es hat sich aber gezeigt, dass einige Epitaxiewafer die aufgebrauchte Ladung nicht ausreichend lange halten können für eine QUAD-Messung, so dass diese Wafer Oberflächenpotentiale von wenigen Volt zeigen. Nach aktuellem Kenntnisstand führen wir diesen Effekt auf die Gegenwart von metallischen Verunreinigungen in der Epitaxieschicht bzw. dem SiC-Substrat zurück, welche die Oberflächenladung sehr schnell rekombinieren lassen. Folglich könnte die QUAD-Messung geeignet sein, solche (eher seltenen) Epitaxiewafer mit unerwünschten metallischen Verunreinigungen schnell und zerstörungsfrei identifizieren zu können. Dies wird in Anschlussprojekten weiter untersucht werden.

Im letzten Projektjahr wurde das CnCV 230 für die schnelle, präparations- und zerstörungsfreie Charakterisierung von Oxidschichten auf SiC-Wafern eingesetzt. Es sollen die Grenzflächenzustandsdichte, effektive Oxiddicke und weitere Kenndaten von Oxidschichten ermittelt werden. Hierfür wurden Oxide aus verschiedenen Oxidationsprozessen eingesetzt, gemessen und verglichen. Die Optimierung der Messbedingungen für verschiedene Oxide konnte im Rahmen des TRANSFORM-Projekts nicht vollständig abgeschlossen werden. Die Methode hat aber bereits

bewiesen, dass sie eine prozessbegleitende Kontrolle der Oxidation ermöglicht, die es bislang in dieser Form in der Prozesslinie des Fraunhofer IISB nicht gab.

2.2.3.4 AP 4.4.d Prozessmodul Epitaxie: Optimierung 200 mm Prozesse

Ausgehend von den in AP 4.4b entwickelten Basis-Epitaxieprozessen auf 150 mm-Wafern wurden in diesem AP die Anlagen und Prozesse für Produktionstauglichkeit weiterentwickelt. Insbesondere die Schichthomogenität in Bezug auf Dicke und Dotierung war hier so zu verbessern, dass diese Eigenschaften auf 200 mm-Wafern mit jenen auf 150 mm-Wafern vergleichbar sind.

Die Verfügbarkeit von 200 mm-Substraten für die Entwicklung der 200 mm-Epitaxieprozesse hat sich zunächst schwierig gestaltet. Die EU-Projektpartner Soitec und ST konnten keine ausreichende Zahl 200 mm-Substrate zur Verfügung stellen, so dass Substrate von internationalen Anbietern zugekauft wurden. Zeitweise hat sich dieser 200 mm-Substratengpass als Risiko für den Projekterfolg dargestellt und zu Verzögerungen bei Deliverables geführt. Zum Jahresende 2023 standen am IISB für die 200 mm Epitaxie Wafer der Lieferanten MECO (Sitz: Hong Kong), SICC (Sitz: China), Soitec und ST-Microelectronics zur Verfügung.

Die 200 mm Wafer (ohne Epitaxieschicht) von Meco Technologies, SICC und ST-SE wurden im Herbst 2023 mittels XRT vorcharakterisiert. Die mittleren Schraubenversetzungsdichten (TSD) liegen zwischen 140 und 430 cm^{-2} bei stark unterschiedlichen Verteilungsmustern. Die Basalflächenversetzungsdichte (BPD) schwankte zwischen 130 und knapp 1.700 cm^{-2} , ebenfalls bei deutlich unterschiedlichen Verteilungen. Die Ergebnisse zeigen deutlich, dass das 200 mm-Material durchaus konkurrenzfähig zum etablierten 150 mm-Wafermaterial ist. Die Preise sind im Projektverlauf bereits deutlich gesunken von über 5.000 EUR pro Wafer im Jahr 2023 auf unter 2.500 EUR im Jahr 2024. Im letzten Projektjahr hat sich die Verfügbarkeit der 200 mm-Substrat stark verbessert, so dass alle Arbeiten und der Meilenstein D4.13 letztlich erfolgreich abgeschlossen werden konnten.

Die 200 mm-Epitaxiewafer wurden – nach abgeschlossener Charakterisierung der Schichten – auch anderen Projektpartnern und Arbeitspaketen zur Verfügung gestellt, vor allem Centrotherm zur Entwicklung und Optimierung der Oxidations- und Ausheilprozesse auf 200 mm-Wafern.

2.2.3.5 AP 4.4.e Prozessmodul Epitaxie: Epitaxie für Substratentwicklung

Nach der Entwicklung und ersten Optimierung der 200 mm-Basisprozesse konnten auch Multi-Wafer-Epitaxieprozesse für Projektpartner durchgeführt werden. Zum einen dienten sie direkt der Bewertung der 150 mm und 200 mm-SmartSiC-Qualität (z.B. Defektgehalt) von Soitec und zum anderen als Benchmarking der SmartSiC-Substrate mit

konventionellen Substraten. Die Bearbeitung startete im Jahr 2022 mit der Verfügbarkeit von 150 mm-Smart Cut Wafern und 200 mm-Wafern.

Die AIXTRON Multiwafer-Epitaxieanlage eignet sich hervorragend für solche Vergleichsexperimente (benchmarking) auf unterschiedlichem Wafermaterial, um die Substratqualität bewerten zu können. Es wurden Standard-1200V-Schichtstapel auf SmartSiC und konventionellen Substraten hergestellt und eingehend charakterisiert. Hierfür wurden 150 mm-SmartSiC-Wafer der Generationen 1.1 und 1.2 (auf mono- bzw. polykristallinem Trägerwafer) sowie konventionelle Substrate von ST-SE und anderen Anbietern verglichen sowie im letzten Projektjahr 200 mm-SmartSiC-Substrate mit konventionellen Substraten verschiedener Hersteller. Ein bemerkenswertes Ergebnis dieser Studien ist, dass für die Verwendung der SmartSiC-Substrate kein angepasster Epitaxieprozess nötig ist. Dies ist für die Nutzung und Mischung der neuartigen Substrate in Industrieprozessen ein wichtiger Vorteil. Die Ergebnisse dieser Vergleichsstudien wurden im Rahmen der internationalen SiC-Konferenzen 2022 und 2024 einem breiten internationalen Publikum vorgestellt.

2.2.3.6 AP 4.4.f Prozessmodul Epitaxie: Epitaxie für Bauelemententwicklung

IISB und der Projektpartner AIXTRON haben in der Anfangsphase des Projekts die Industriepartner Bosch und ST-IT mit Epitaxieschichten für deren MOS-Bauelemententwicklung beliefert, so dass diese Testbauelemente herstellen konnten für die Evaluation der neuartigen SmartSiC-Wafer. Im Weiteren Projektverlauf wurden keine Epitaxieversuche für die Bauelemententwicklung beim Projektpartner BOSCH durchgeführt, da Bosch zwischenzeitlich eigene Epitaxie-Ressourcen aufgebaut hatte.

2.2.3.7 AP 4.4.g Prozessmodul Epitaxie: Weitere Anpassung an Substrate aus AP3

Die im Projektverlauf weiter fortschreitende Materialqualität wurde durch IISB genutzt, um die Epitaxieprozesse auf diesen neu entwickelten Substraten weiter zu verstehen und zu optimieren, sodass der Epitaxieprozess nicht nur an die 200 mm-Größe, sondern auch an die aktuellen Substrateigenschaften angepasst wurden. Hierfür wurden weitere Vergleichsstudien – wie unter AP 4.4h beschrieben – auf 150 mm- und 200 mm-Wafern im letzten Projektjahr durchgeführt. Die Konsortialpartner Soitec und ST-SE haben hierfür Wafermaterial der neuesten Generationen, z.B. all-EU-Wafer von Soitec, zur Verfügung gestellt.

2.3 AP5 Leistungsmodul & Systementwicklung

Der Einsatz von SiC-Bauelementen in leistungselektronischen Systemen bietet eine Vielzahl von Vorteilen, wie z. B. einen höheren Wirkungsgrad bei der Energieumwandlung und eine Steigerung der Leistungsdichte. Um diese Vorteile nutzen zu können, sind jedoch Weiterentwicklungen in Bezug auf das Packaging der SiC-

Bauelemente innerhalb eines Leistungsmoduls und im Bereich der Systemintegration notwendig.

Um Fragen zur Robustheit und Zuverlässigkeit von Modulen besser bewerten zu können, wird in AP5 auch eine Rückkopplung zur Substrat- und Epitaxiequalität durchgeführt. Deshalb wird dieses Arbeitspaket eng mit WP4 und WP6 zusammenarbeiten. Folgende Partner waren an diesem Arbeitspaket beteiligt: Technische Universität Chemnitz (TUC), Semikron-Danfoss (SEMI, DAN), BOSCH, ST Microelectronics (ST-IT), AIXTRON, FuE, CEA, Valeo, ISLE.

2.3.1 AP5.1 Validierung der Robustheit/Zuverlässigkeit

2.3.1.1 AP 5.1.1 Entwicklung und Abstimmung von Zuverlässigkeitstestmethoden für SiC-MOSFETs

Das IISB hat sich an der Entwicklung und Abstimmung von Zuverlässigkeitstestmethoden, soweit sie durch die Substrat- oder Epitaxiequalität beeinflusst werden oder umgekehrt die Zuverlässigkeitstests Rückmeldung über die Bewertung von Substrat- und Epitaxiequalitäten zulassen, beteiligt.

Das IISB hat im Rahmen des AP 4.4f Epitaxie für Bauelemententwicklung Epitaxieschichten auf SmartSiC-Substraten hergestellt und charakterisiert, und diese Charakterisierungsergebnisse mit den Epitaxiewafern an den Projektpartner BOSCH übergeben. Es handelt sich hierbei hauptsächlich um Charakterisierungsergebnisse hinsichtlich Dicke, Dotierung und Defekthaushalt der Schichten sowie deren laterale Verteilungen. Während Dicke und Dotierung sehr gleichmäßig sind – innerhalb eines Wafers sowie von Wafer zu Wafer – unterscheiden sich die Dichten und Verteilungen von verschiedenen Defektklassen mitunter sehr stark auf der Fläche eines Wafers, aber auch von Wafer zu Wafer. Die Korrelation solcher Eigenschaften mit Bauelementen durch die Bauelemente- und Modulhersteller ist eine sehr herausfordernde Aufgabe, aber durchaus lohnenswert für die Beurteilung unterschiedlichen Wafermaterials im Projekt. Das IISB hat die Diskussionen der Partner in Projektmeetings mit Daten und Expertise unterstützt.

2.3.1.2 AP 5.1.2 Zuverlässigkeits- und Safe-Operating-Area-Tests von SiC-MOSFETs einschließlich Fehlerbeschreibungsanalyse und Lebensdauermodellierung

Die Partner wurden über Materialeigenschaften von Substrat und Epitaxieschicht von getesteten Bauelementen informiert. Gemeinsam mit den Partnern sollten Schlussfolgerungen aus den Zuverlässigkeitstests der Bauelemente zur Bewertung der Materialqualität (Substrat und Epitaxieschicht) und zur Verbesserung des Epitaxieprozesses sowie der Epitaxieanlage gezogen werden. Das IISB hat solche Diskussionen mit Daten und seiner Expertise unterstützt. Es wurden keine weiteren experimentellen Arbeiten (zusätzliche Messungen, Rückpräparation etc.) vorgenommen.

3 Wichtigste Positionen des zahlenmäßigen Nachweises

Es sind in den einzelnen Kostenarten Abweichungen kleiner 5 % gegenüber den ursprünglich geplanten Kosten aufgetreten, das Projekt insgesamt konnte aber mit den geplanten Kosten erfolgreich durchgeführt werden.

4 Notwendigkeit und Angemessenheit der geleisteten Arbeiten

Das IISB entwickelte, u.a. mit den Anlagenherstellern Aixtron und Centrotherm, Schlüsselequipment für die SiC-Bauelementtechnologie. Neben Aspekten wie der Funktionalität und Zuverlässigkeit von Material und Bauelementen und dem neuartigen Ansatz der Substratherstellung durch Soitec stand insbesondere der zügige Übergang zur 200 mm-Fertigung im Zentrum der IISB-Arbeiten im Projekt TRANSFORM. Wie immer eröffnet der Übergang zur nächsten Generation von Wafer- und Anlagengröße neue Marktchancen für die Industriepartner, erhöht den Innovationsdruck aber auch drastisch und birgt neue Risiken aufgrund einer sich schnell verändernden Wettbewerbslandschaft.

Diese unternehmerischen Risiken der Industriepartner schlugen unmittelbar auf die Aufgaben und Bedeutung des IISB als Forschungspartner durch. Nur mit erheblichem Forschungsaufwand und entsprechendem Entwicklungsrisiko konnten das IISB und seine deutschen Industriepartner die notwendige Durchschlagkraft erzielen, um im internationalen Wettbewerb ihre führenden Positionen zu verteidigen. Nur durch die beantragte Zuwendung ließen sich die Entwicklungsthemen auch mit der erforderlichen wissenschaftlichen Tiefe durchführen, um rechtzeitig technologische Risiken identifizieren und geeignet lenken zu können. Insbesondere der Übergang zur 200 mm-Fertigung war mit erheblichen technologischen Risiken verbunden, aber auch mit großen Chancen für alle Beteiligten und Deutschland insgesamt.

5 Nutzen und Verwertbarkeit des Ergebnisses

Die **wirtschaftliche Verwertung** der Arbeiten des IISB wird maßgeblich durch die seit längerem bestehenden und auch über das Projekt hinaus geplanten Kooperationen mit den Projektpartnern AIXTRON, Rigaku, Centrotherm und Bosch erfolgen.

In Abgrenzung zu den Arbeiten der Industriepartner im Konsortium lag der Schwerpunkt der Arbeiten des IISB im TRANSFORM-Projekt in der Modellbildung, der Charakterisierung, dem theoretischen Verständnis technologisch/wissenschaftlicher Aspekte und in der Vernetzung der Erkenntnisse vom Substrat bis zum Bauelement und Modul, z.B. in Hinblick auf die Auswirkungen von Material- und Prozesseigenschaften auf die Zuverlässigkeit von Bauelementen. Diesen Ansatz wird das IISB auch nach Projektabschluss in Industriekooperationen fortführen und dadurch seine Position als führendes deutsches Forschungsinstitut in der SiC-Leistungselektronik ausbauen.

Durch die Arbeiten in TRANSFORM konnte das Fraunhofer IISB seine 200 mm-SiC-Technologielinie weiter ausbauen und einige Lücken in den Bereichen Prozesse (Epitaxie, Annealing; Oxidation durch Nutzung des Oxidators bei Centrotherm) und Messtechnik (Röntgentopographie, Dotierungsmessung und Oxidcharakterisierung) schließen. Dies kommt den bestehenden Kooperationen mit den Industriepartnern AIXTRON, Rigaku, Centrotherm und Bosch zugute, und hat bereits die Gewinnung weiterer 200 mm-Projekte mit Nexperia (Hamburg) und Semilab (Budapest, Ungarn) ermöglicht. Das IISB ist in Europa das einzige Forschungsinstitut, welches eine fast lückenlose, offene 200 mm-SiC-Technologielinie für Forschungs- und Entwicklungsprojekte bietet.

Im Rahmen von TRANSFORM hat das IISB keine Erfindungen oder Schutzrechte angemeldet.

6 Fortschritt bei anderen Stellen

Zu Projektbeginn wurden 200 mm SiC-Substrate nur von wenigen Herstellern weltweit angeboten mit mittelmäßiger Qualität zu sehr hohen Preisen, d.h. der Einstieg in die 200 mm-Technologie erschien noch nicht attraktiv. Im Projektverlauf konnte eine deutliche Verbesserung der Kristallqualität (siehe Benchmarking-Studie der 200 mm Substrate mittels XRT) beobachtet werden. Heutzutage bieten alle großen SiC-Waferhersteller 200 mm Substrate an und die Preise sind deutlich gefallen von anfangs > 5.000 EUR pro Wafer auf heute < 2.500 EUR/Wafer. Diese Entwicklung ist wichtig für die Etablierung der 200 mm Technologie. Der Projektpartner Soitec profitiert davon ebenfalls und kann eine SmartSiC-Qualität anbieten, welche mit den konventionellen SiC-Substraten mithalten kann (Ergebnis der Benchmarking-Tests in der Epitaxie).

Die Projektpartner AIXTRON, Centrotherm und Rigaku haben sich mit ihren Anlagen in den Bereichen SiC-Epitaxie, Annealing und Oxidation sowie Röntgentopographie als Marktführer behaupten können und es sind im Projektverlauf keine F&E-Ergebnisse von dritter Seite bekannt geworden, die die Methoden oder Prozesse in Frage stellen oder gefährden würden. Insofern profitiert auch das Fraunhofer IISB von den Kooperationen und Entwicklungen in TRANSFORM.

7 Veröffentlichungen

Das Fraunhofer IISB hat (z.T. gemeinsam mit Konsortialpartnern) mehrere Beiträge zur internationalen SiC-Konferenz (International Conference on Silicon Carbide and Related Materials, ICSCRM) sowie der nationalen Kristallzüchtungstagung DKT beigetragen und Veröffentlichungen hierzu als open access Artikel veröffentlicht.

Tabelle 4: Erfolgte und geplante Veröffentlichungen von Projektergebnissen

Autor(en) / Partner	Titel der Publikation	Publikation auf	Datum Veröffentlichung
B. Kallinger, P. Hens, C. Kranert, K. M. Albrecht, J. Erlekampf IISB/AIXTRON	Benchmarking experiment of substrate quality including SmartSiC™ wafers by epitaxy in a batch reactor	Vortrag auf der internationalen SiC-Konferenz (ICSCRM) 2022 in Davos (Schweiz)	19.09.2022
B. Kallinger, P. Hens, C. Kranert, K. M. Albrecht, J. Erlekampf IISB/AIXTRON	Benchmarking experiment of substrate quality including SmartSiC™ wafers by epitaxy in a batch reactor	Solid State Phenomena 342 (2023) pp 91-98	25.05.2023
B. Kallinger, P. Hens, C. Kranert, K. M. Albrecht, J. Erlekampf IISB/AIXTRON	Benchmarking experiment of substrate quality including SmartSiC™ wafers by epitaxy in a batch reactor	Vortrag auf der deutschen Kristallzüchtungstagung DKT 2023 in Augsburg	16.03.2023
R. Karhu, S. D. Nguyen, K. M. Albrecht, G. Poliski, M. Wilson, B. Kallinger IISB/AIXTRON/Semilab	Comparison of novel charge-based wafer inspection technique to optical defect mapping techniques	Posterpräsentation auf der ICSCRM 2023 in Neapel	20.09.2023
P. Hens, K. M. Albrecht, B. Kallinger, R. Karhu, J. Erlekampf IISB/AIXTRON	Study on epi performance of engineered 150 mm and 200 mm SiC substrates in a multi-wafer batch reactor	Vortrag auf der internationalen SiC-Konferenz (ICSCRM) 2024 in Raleigh (USA)	17.09.2024
P. Hens, K.M. Albrecht, B. Kallinger, R. Karhu, J. Erlekampf IISB/AIXTRON	Study on epi performance of engineered 150 mm and 200 mm SiC substrates in a multi-wafer batch reactor	Paper in Materials Science Forum 2025	Eingereicht, noch nicht veröffentlicht
P. Hens, K. M. Albrecht, B. Kallinger, R. Karhu, J. Erlekampf IISB/AIXTRON	Study on epi performance of engineered 150 mm and 200 mm SiC substrates in a multi-wafer batch reactor	Vortrag auf der deutschen Kristallzüchtungstagung DKT 2025 in Frankfurt/M.	05.03.2025
Sophia D. Nguyen IISB	Novel Charge-Based Wafer Inspection Techniques	Bachelorarbeit an der FAU Erlangen-Nürnberg	2023