Abschlussbericht

Zuwendungsempfänger: IHP	**Förderkennzeichen:** 16BT1209

Vorhabenbezeichnung:

From RF to MMW and THz Silicon SOC Technologies - RF2THzSiSoC - Teilprojekt: Hochperformante photonische HF-Technologie

Laufzeit des Vorhabens:
01.01.2012 – 31.12.2014 (mit genehmigter Verlängerung: 30.09.2015)

Berichtszeitraum:
01.01.2012 – 30.09.2015

1) Aufzählung der wichtigsten wissenschaftlich-technischen Ergebnisse und anderer wesentlicher Ereignisse

Die folgende Tabelle zeigt eine Übersicht der Arbeitspakete, zu denen IHP während der Projektlaufzeit Beiträge zu leisten hatte. Die dabei erzielten **wichtigsten** wissenschaftlich-technischen Ergebnisse werden im Weiteren zusammenfassend dargestellt.

	Arbeitspaket	**Partner**
AP 2	Passive Wellenleiterbauelemente – photonische Vorversuche	
AP 2.1	Passive optische Bauelemente	IHP, TUB, ALUD
AP 2.2	Faserkoppler	IHP, TUB, ALUD
AP 2.3	Tuning-Strukturen	IHP, TUB, ALUD
AP 3	Germanium-Fotodiode	
AP 3.1	Epi-Entwicklung auf SOI	IHP
AP 3.2	Integration mit Wellenleiter	IHP, TUB
AP 3.3	Optimierung (Dunkelstrom, Fotostrom, dynamisches Verhalten)	IHP, TUB
AP 4	BiCMOS-Integration	
AP 4.1	Substrate mit Local-SOI	IHP
AP 4.2	Prozessintegration der passiven Bauelemente	IHP
AP 4.3	Prozessintegration Germanium-Fotodioden	IHP
AP 4.4	Lokales Rückseiten-Ätzen für SG13 BiCMOS	IHP
AP 4.5.	Entwicklung On-chip-Antennen für SG13 BiCMOS	IHP
AP 5	Demonstrator-Entwurf	
AP 5.1	Entwicklung Photonisches BiCMOS Design-Kit	IHP
AP 5.2	Design für 1. IHP-Durchlauf (e)	IHP, ALUD
AP 5.3	Design für 2. IHP-Durchlauf (o/e)	IHP, ALUD, TUB
AP 5.4	4G E/O-Demonstrator-Design für 3. IHP-Durchlauf	IHP, ALUD, TUB
AP 6	Integrierte photonische BiCMOS-Technologie / Shuttle	
AP 6.1	1. Durchlauf experimentelles photonisches BiCMOS-Shuttle	IHP
AP 6.2	2. Durchlauf experimentelles photonisches BiCMOS-Shuttle	IHP
AP 6.3	BiCMOS-Shuttles für SiRadar	IHP, SiRadar
AP 7	Charakterisierung und Messtechnik	
AP 7.1	Setup Wafer-Level Charakterisierung	IHP, TUB
AP 7.2	Demonstrator-Charakterisierung	ALUD, SiRadar, IHP

AP 2 Passive Wellenleiterbauelemente – photonische Vorversuche

Die Arbeiten zu diesem Arbeitspaket erfolgten in enger Zusammenarbeit mit der TU Berlin. Die Ergebnisse sind im Bericht der TU Berlin ausführlich beschrieben. Die dort gezeigten Messergebnisse wurden meist an photonischen Strukturen erhalten, die aus Präparationen am IHP stammten. Die erhaltenen Ergebnisse, insbesondere zu Wellenleiterstrukturen und zur Koppler-Optimierung, wurden und werden direkt für die Entwicklung der photonischen BiCMOS-Technologie (Arbeitspakete 3 und 4) genutzt. Die Ergebnisse dieser Arbeiten erlaubten es, ein volles Sortiment passiver photonischer Strukturen mit „State-of-the-art"-Eigenschaften in die im Projekt zu entwickelnde photonische BiCMOS-Technologie zu integrieren.

Über die im Bericht der TU Berlin zu AP 2 dargestellten Ergebnisse hinaus ist besonders die erfolgreiche Realisierung eines verbesserten („verstärkten") 1D-Grating-Kopplers hervorzuheben, der es erlaubt, Koppelverluste von < 2dB (@ λ = 1.55 µm) zu erreichen. Abbildung 2.1 veranschaulicht die Struktur dieses Kopplers und zeigt Ergebnisse aus sogenannten Cutback-Messungen, die die genannten Verlustwerte von kleiner als 2dB demonstrieren. Zum Vergleich: die im photonischen BiCMOS-Prozess bisher verfügbaren 1D-Standard-Grating-Koppler liefern Koppelverluste im Bereich von 3dB bis 4dB.

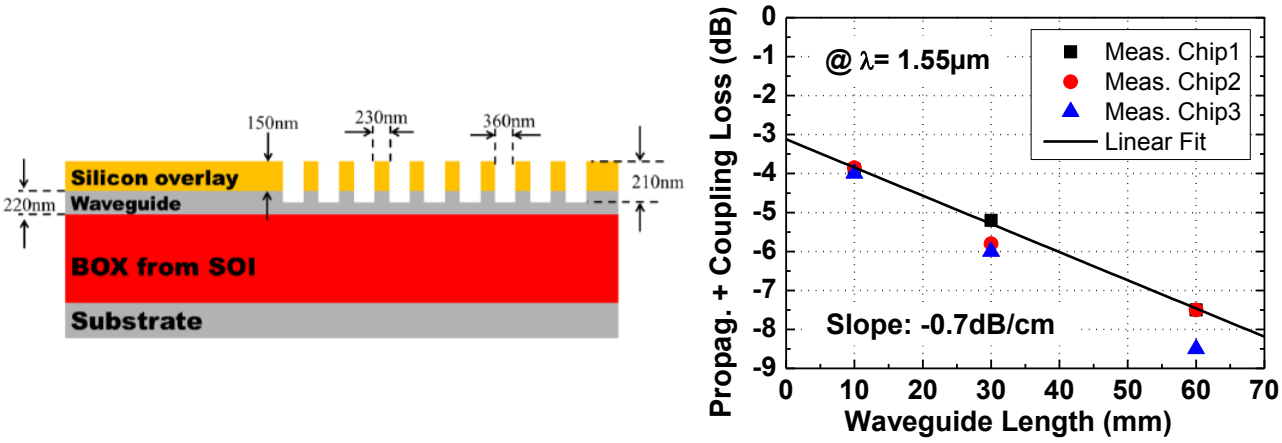

***Abb. 2.1:* Schematischer Querschnitt des verbesserten 1D-Grating-Kopplers (links) und Abhängigkeit der Verluste von Cutback-Messstrukturen von der Wellenleiterlänge (rechts). Die Messstrukturen enthalten 2 identische Koppler, für das Ein- bzw. Auskoppeln von Licht, sowie Wellenleiter unterschiedlicher Länge, die die Koppler verbinden. Der Kurven-Anstieg liefert die Wellenleiter-Verluste, während der Schnittpunkt mit der y-Achse ein Maß für das Zweifache des Koppler-Verlustes ist.**

Hervorzuheben sind auch erste Ergebnisse aus Experimenten, die das Ziel hatten, zwei wesentliche Ätzschritte zu kombinieren, die bisher im Ablauf des photonischen BiCMOS-Prozesses nacheinander ausgeführt wurden, das Ätzen der SOI-Schicht bis hinunter zur begrabenen SiO_2-Schicht zur Ausbildung der Photonik-Grundstrukturen („tiefgeätzte Wellenleiter") und das Ätzen der flachen Isolations-Gräben in BiCMOS-Gebieten. Ziele dieser Arbeiten war es:

1) Einsparung einer Fotomaske, eines Lithografie-Schrittes und eines Ätzschrittes sowie vorallem
2) Verhinderung von Abrissen des Fotolackes über vorher geätzten Photonik-Strukturen und damit ihrer Beschädigung beim bisher nachfolgenden Ätzen der BiCMOS-Isolations-Gräben.

In der Projektlaufzeit wurde das zu nutzende Ätzregime auf Basis von Vorversuchen definiert. Ein statistisch abgesicherter Test, ob damit sowohl ausreichend niedrige Wellenleiterverluste als auch zufriedenstellende, mit dem Isolations-Komplex verbundene BiCMOS-Parameter erreicht werden können, steht allerdings noch aus.

AP 3 Germanium-Fotodiode

Ziel dieses Arbeitspaketes war die Entwicklung einer Wellenleiter-gekoppelten Ge-Fotodiode, die eine (3-dB) Bandbreite von etwa 25GHz erreicht (bei niedrigem Dunkelstrom und guter Responsivität). Außerdem sollte die Diode so aufgebaut sein und so hergestellt werden können, dass sie sich modular in den in der Projektlaufzeit zu entwickelnden photonischen BiCMOS-Prozess integrieren lässt. Modular bedeutet hier: Integration ohne Beeinträchtigung der Ausbeute und Bauelemente-Parameter des BiCMOS-Grundprozesses (siehe dazu auch AP 4.3). Im Folgenden werden die wichtigsten Ergebnisse der Ge-Fotodioden-Entwicklung zusammenfasst.

Abbildung 3.1 illustriert die Heranführung des Lichtes an die Ge-Diode, wie sie typisch für eine Wellenleiter-gekoppelte Fotodiode ist.

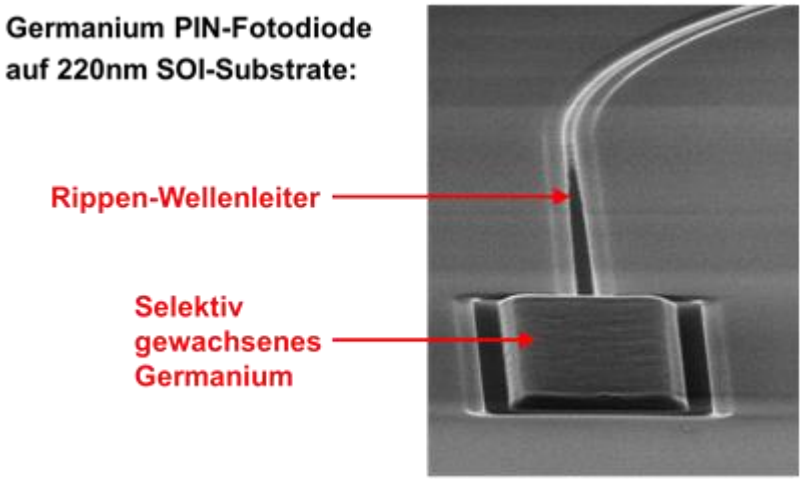

Abb. 3.1: ***Heranführung des Lichtes an die Ge-PIN-Fotodiode mittels Wellenleiter. Das REM-Bild zeigt die Dioden-Struktur unmittelbar nach der selektiven Ge-Epitaxie.***

Abb. 3.2 zeigt eine fertig präparierte Ge-Fotodiode mit einer lateralen PIN-Struktur einschließlich Kontaktierung und erster Metallschicht, wie sie im ersten Projektjahr (2012) entwickelt wurde. Die Si-Kappe erlaubt die Mitnutzung des BiCMOS Cobalt-Silizid-Moduls für die Dioden-Kontaktierung. Die Höhe der Diode (h_{PD}) wurde so gewählt, dass genügend Abstand zum ersten BiCMOS-Metall-Niveau verbleibt, so dass die Ätzung der Dioden- und BiCMOS-Kontaktlöcher mit derselben Foto-Maske in einem Schritt ausgeführt werden kann.

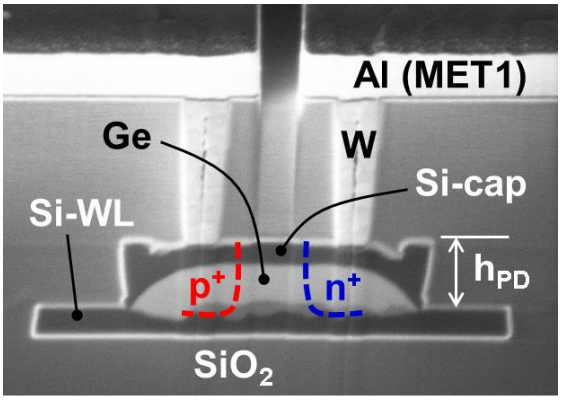

Abb. 3.2: ***Ge-PIN-Fotodiode mit Kontakten und erster Metall-Schicht sowie schematisch hervorgehobenen Dotierungsgebieten.***

Abb. 3.3 zeigt typische DC-Dioden-Kennlinien. Besonders hervorzuheben ist das niedrige Dunkel-Strom-Niveau. Empfindlichkeits-Werte für die Dioden wurden ebenfalls ermittelt und liegen, je nach Dioden-Geometrie und gewählter Anbindung an den Wellenleiter, bei mindestens 0.6A/W, mit Best-Werten bis zu ca. 0.9A/W.

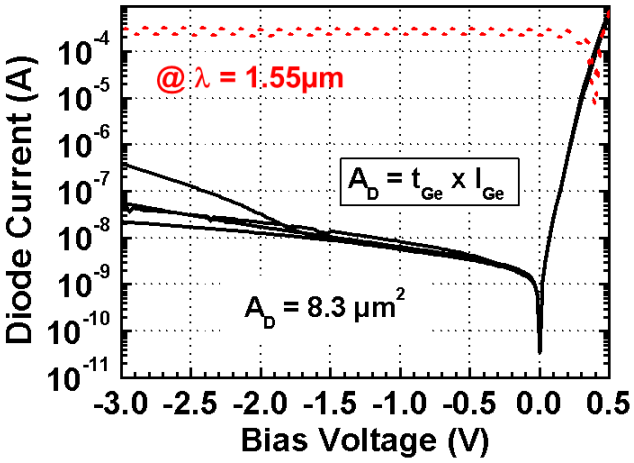

Abb. 3.3: ***Dunkelstrom und Foto-Strom als Funktion der Spannung, gemessen für mehrere Ge-PIN-Fotodioden eines Wafers.***

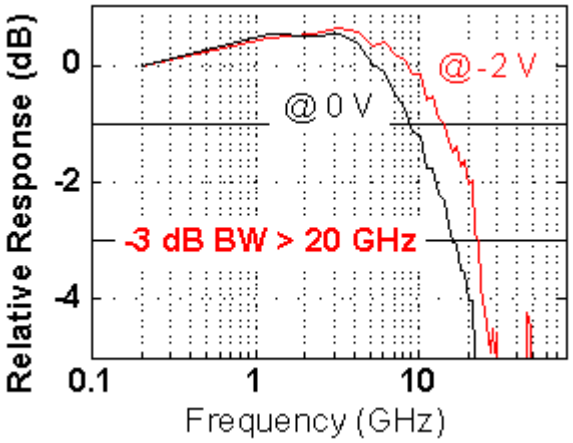

Abb. 3.4: ***Abhängigkeit der relativen Empfindlichkeit einer Ge-PIN-Fotodiode von der Frequenz bei 0V und -1 V Vorspannung zur Bestimmung der optischen Bandbreite.***

Abb. 3.4 zeigt, dass die für die Anwendung im Projekt (Demonstrator 2: photonischer HF-Transceiver) notwendige Bandbreite von etwa 25GHz im ersten Projektjahr noch nicht ganz erreicht wurde.

Schwerpunkt im zweiten Projektjahr (2013) war deshalb die weitere Erhöhung der Dioden-Bandbreite auf den Zielwert von etwa 25GHz. Abbildung 3.5 verdeutlicht, dass das erreicht wurde. Die Verbesserung i.V. zu dem in Abb. 3.4 illustrierten Stand resultierte im Wesentlichen aus einer Optimierung der Implantationsbedingungen für die Herstellung der p- und n-Gebiete der PIN-Dioden-Struktur und der Reduzierung des nach der Implantation angewandten thermischen Budgets.

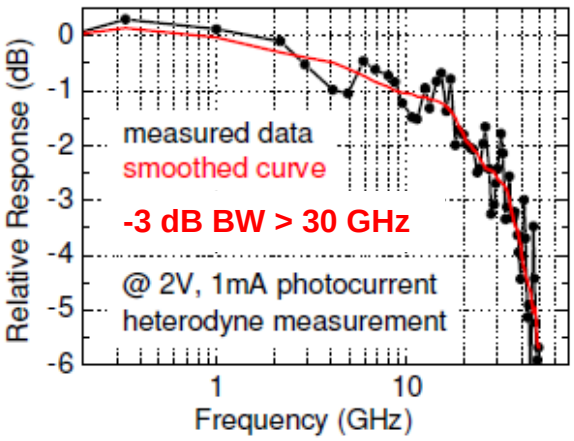

Abb. 3.5: ***Abhängigkeit der relativen Response (S_{21}) einer Ge-PIN-Fotodiode von der Frequenz zur Bestimmung der optischen Bandbreite: Die gemessenen Diode repräsentiert den 2013 erreichten Entwicklungsstand.***

Um die in Abb. 3.5 dokumentierte Bandbreite zu erreichen, kam allerdings ein $CoSi_2$-Kontakt-Modul zum Einsatz, der Probleme bei der gleichzeitigen Kontaktierung der SiGe Hetero-Bipolar-Transistoren (HBT) verursachte (Erhöhung des Basis-Widerstandes und damit einhergehende Reduzierung von f_{max}). Typisch für diesen Kontaktmodul war eine im Vergleich zum BiCMOS-Grundprozess deutlich reduzierte Temperatur für den zweiten Temperschritt der $CoSi_2$-Bildung. Um die „HBT-Verträglichkeit“ der Integration schneller Fotodioden zu verbessern, wurden deshalb im dritten Projektjahr (2014) verschiedene Maßnahmen getestet, die das Erreichen einer hohen Fotodioden-Bandbreite unter Nutzung eines $CoSi_2$-Moduls mit einem HBT-verträglichen zweiten Temperschritt ermöglichen sollten. Ein Ergebnis dieser Untersuchungen ist in Abb. 3.6 dargestellt. Es zeigt, dass sich durch Zusatz „nicht-dotierender“ Elemente (Synonym E1, E2) sogar (3-dB) Bandbreiten jenseits 40GHz mit einem HBT-verträglichen $CoSi_2$-Temperschritt erreichen lassen. Abb. 3.7 zeigt, dass das ohne wesentliche Beeinträchtigung des Dunkelstrom-Verhaltens möglich ist.

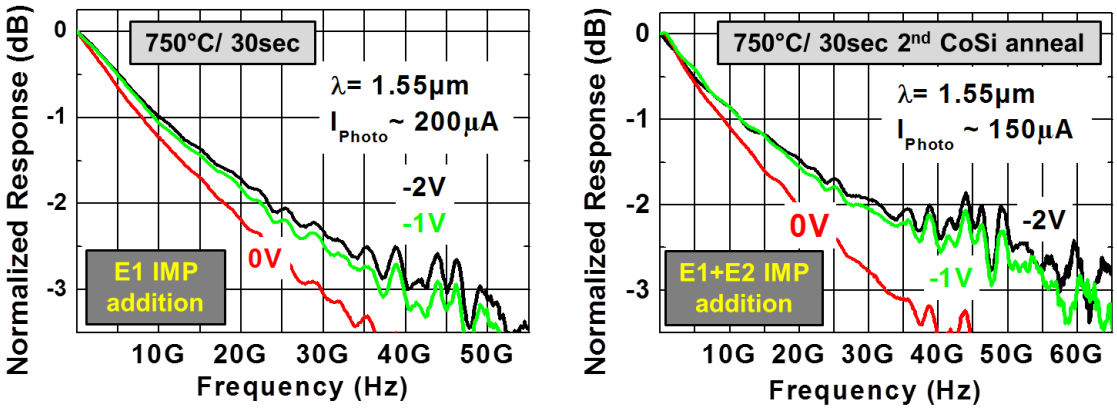

Abb. 3.6: ***Abhängigkeit der relativen Response (S_{21}) von Ge-PIN-Fotodioden von der Frequenz, gemessen bei verschiedenen Spannungen. Bei der Dioden-Herstellung erfolgte eine zusätzliche Implantation mit den nicht-dotierenden Elementen „E1“ und „E2“. Die Temperatur des im Herstellungsprozess für diese Dioden angewandten zweiten $CoSi_2$-Temperschrittes ist 100grd höher, verglichen zur Herstellung der Diode, deren Charakteristik in Abb. 3.5 gezeigt ist.***

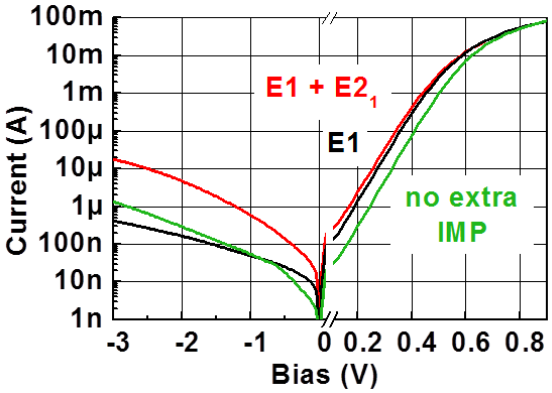

Abb. 3.7: ***DC-Kennlinien (ohne Lichteinfall) von Ge-Fotodioden, die mit oder ohne Zusatz von nicht-dotierenden Elementen (E1, E2) hergestellt wurden.***

Nachfolgend wird der abschließende Stand der Dioden-Entwicklung zusammengefasst, wie er im Projekt-Verlängerungs-Zeitraum (2015) erreicht wurde.

Die Abbildungen 3.8. und 3.9 zeigen eine neuartige Ge-Fotodioden-Struktur und deren Herstellung im Vergleich zur bisher diskutierten. Wie aus Abbildung 3.8 ersichtlich ist, entsteht die neue Struktur nur durch eine Design-Änderung (Breite des unterliegenden Wellenleiters), bedarf aber keinerlei Änderung des Herstellungsprozesses.

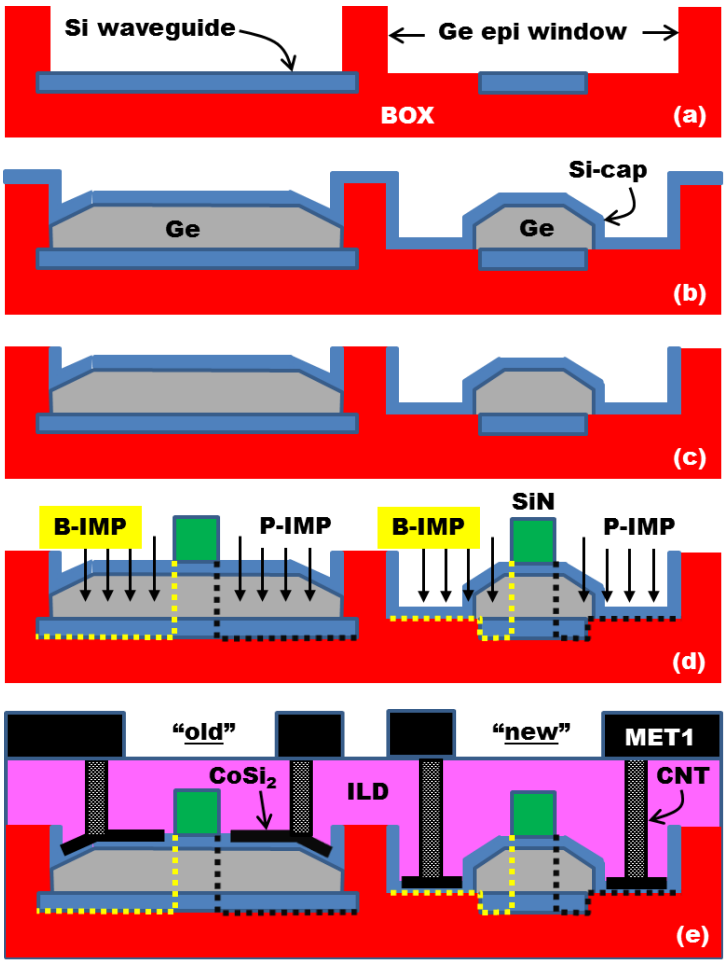

Abb. 3.8: *Prozess-Ablauf zur Herstellung von lateralen Ge-PIN-Fotodioden mit altem (links) und neuem Layout (rechts), illustriert durch Querschnitte senkrecht zur Licht-Einfalls-Richtung: Ätzen eines Fensters in einen Isolator-Schichtstapel mit einer ca. 100nm dicken oberen SiO_2-Schicht (a); selektive Ge-Epitaxie, gefolgt von einer nicht-selektiven Si-Abscheidung (b); Si-CMP) (c); Bildung eines SiN-Podestes, gefolgt von selbstjustierten Implantations-Schritten (d); Bildung von $CoSi_2$, Kontakt-Herstellung (CNT), Abscheidung und Strukturierung einer ersten horizontalen Metallschicht (MET1) (e). BOX: Vergrabene SiO_2-Schicht unterhalb des Si-Wellenleiters.*

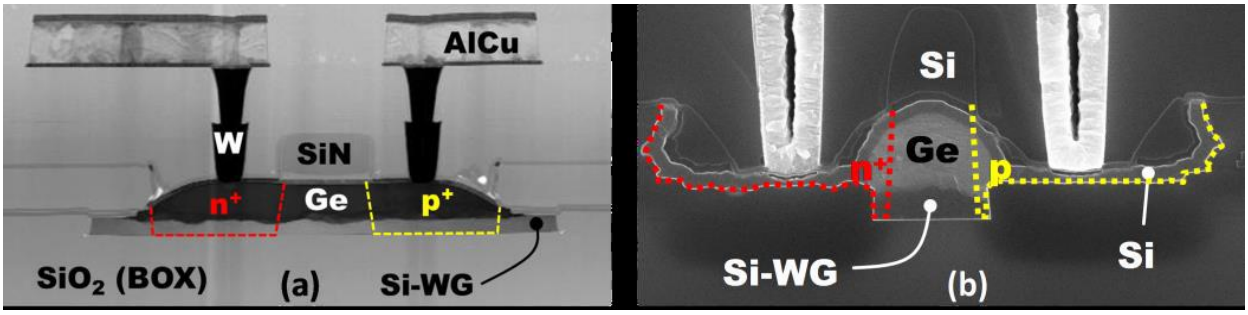

Abb. 3.9: *Querschnitte der alten (links) und neuen Fotodiode (rechts), senkrecht zur Licht-Einfallsrichtung. Für die neue Diode wurde eine höhere Vergrößerung gewählt, um Details besser aufzulösen.*

Abb. 3.10 zeigt, dass durch die neue Struktur die Fotodioden-Bandbreite drastisch verbessert werden konnte, ohne das Reverse-Dunkelstrom-Verhalten deutlich zu verschlechtern (Abb. 3.11, rechts).

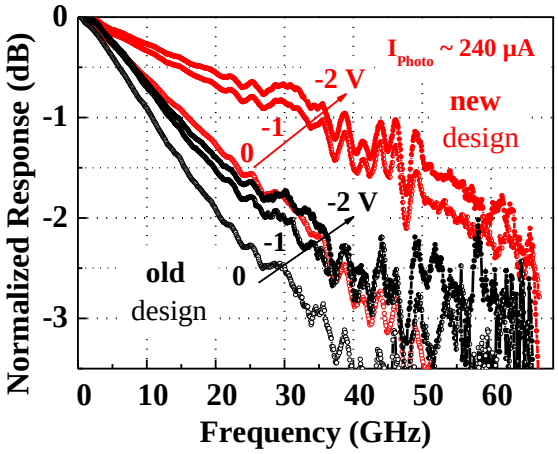

Abb. 3.10: *Relative Response vs. Frequenz (bei 0V und -2V Vorspannung) für laterale Ge-PIN-Fotodioden mit altem und neuem Design, hergestellt auf der gleichen Scheibe und gemessen auf demselben Chip mittels 67GHz LWCA. Die Dioden haben sehr ähnliche Kapazitäten, die alten Dioden sogar einen niedrigeren Serienwiderstand (siehe Abb. 3.11).*

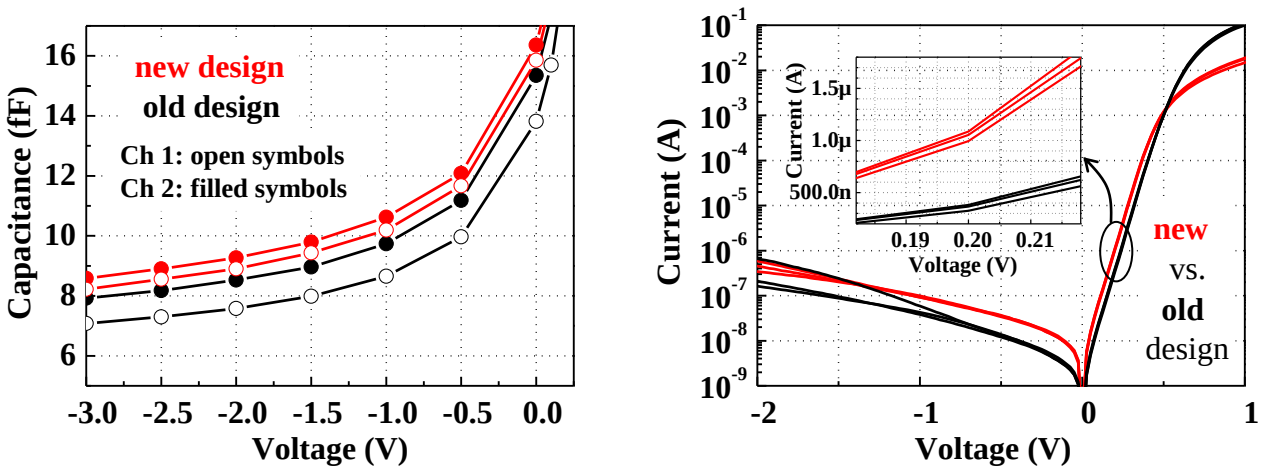

Abb. 3.11: ***(links) Kapazität in Abhängigkeit von der Spannung für Ge-Fotodioden mit neuem und altem Design und gleicher Breite des SiN-Podestes. Die C-Werte wurden aus Kleinsignal-Parameter-Messungen extrahiert (unter Nutzung von "Open- und Short-Struktur De-embedding" von Versorgungsleitungen und Bond-Pads). Die Dioden wurden auf zwei Chips gemessen (Ch1, Ch2).***

(rechts) Raumtemperatur-DC-Charakteristiken von unbeleuchteten Ge-Fotodioden mit altem oder neuen Design, hergestellt auf der gleichen Scheibe und gemessen auf den gleichen Chips. Dioden-Länge ist 20µm, Dicke der Ge-Schicht ist ca. 0.5µm, woraus sich eine Junction-Fläche von ca. 10 µm^2 ergibt. Dioden wurden auf 3 Chips gemessen.

Abb. 3.12 fasst die Ergebnisse von Fotostrom-Messungen und der daraus ermittelten internen Responsivitäten der neuen Dioden zusammen. Es ist klar zu sehen, dass die neuen Dioden hervorragende Responsivitätswerte, sogar bis ins L-Band hinein, erreichen.

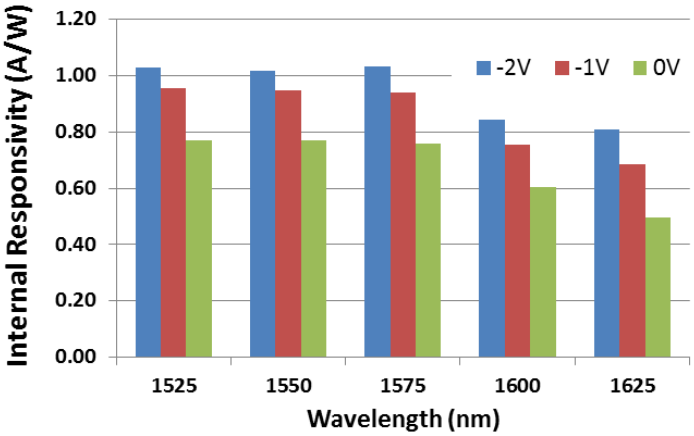

Abb. 3.12: ***Interne Responsivität einer neuen Ge-Fotodiode bei verschiedenen Vorspannungen (0V, -1V und -2V) für Wellenlängen im C- und L-Band.***

Zusammenfassend kann eingeschätzt werden, dass die neu-entwickelten Fotodioden eine Kombination von Bandbreite (über 60GHz schon bei -1V Vorspannung), Responsivität (> 0.9A/W bei -1V und sogar über 1A/W bei -2V Vorspannung) und Dunkelstrom (< 100nA bei -1V Vorspannung) zeigen, wie sie bisher noch nicht demonstriert wurde.

AP 4 BiCMOS-Integration

Auf Grund der Komplexität dieses Arbeitspaketes, die zu einer Vielzahl von Zwischenergebnissen führte, wird hier (im Unterschied zu AP 3) auf eine Darstellung des zeitlichen Fortschrittes der Arbeiten verzichtet. Im Folgenden werden nur der zu jedem Unter-Arbeits-Paket erreichte Stand charakterisiert und die zur Erreichung dieses Standes erzielten wichtigsten Ergebnisse zusammengefasst.

AP 4.1: Substrate mit Local-SOI

Hauptziel dieses Arbeitspaketes war es, die unterschiedlichen Substrat-Anforderungen von Si-Photonik (→ SOI-Substrat für verlustarme Lichtleitung) und Hochleistungs-BiCMOS (→ Bulk-Substrat, notwendig für die Herstellung nieder-ohmiger SiGe-HBT-Kollektoren sowie gute Wärmeabfuhr) in Einklang zu bringen. In der Projektlaufzeit wurde hierzu der sogenannte „Lokal-SOI-Ansatz“ entwickelt, der in Abbildung 4.1 illustriert ist. Die Abbildung zeigt eine laterale Ge-PIN-Fotodiode, realisiert auf einem Wellenleiter in einem SOI-Gebiet, neben einem SiGe-HBT, hergestellt auf Bulk-Si.

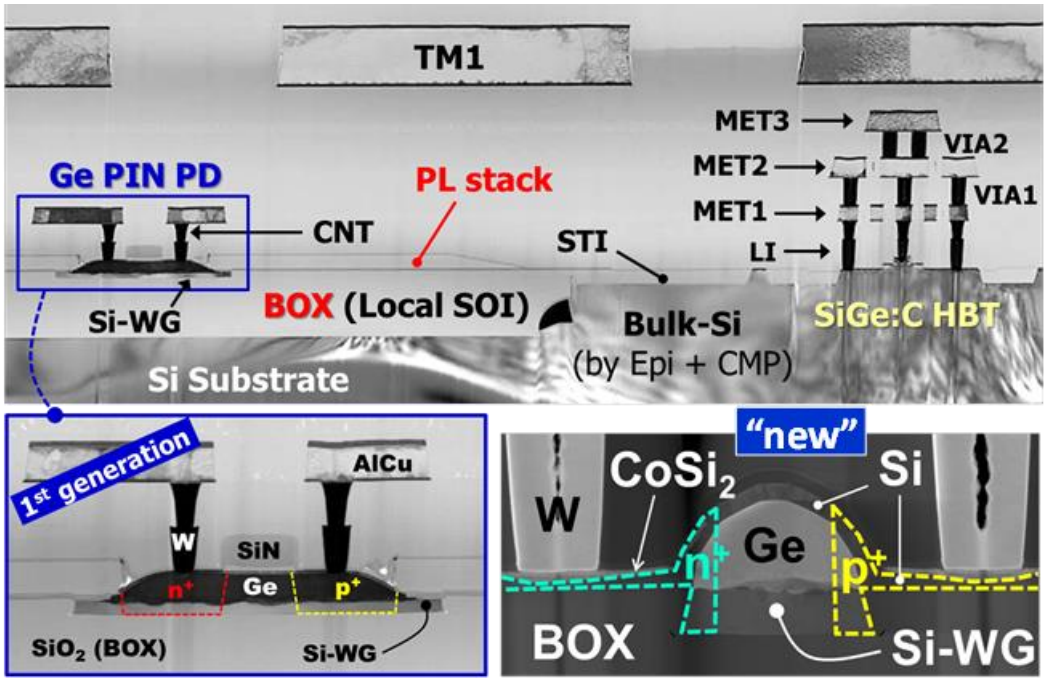

Abb. 4.1: ***Querschnitt (senkrecht zur Licht-Einfalls-Richtung) einer Ge-PIN-Fotodiode der ersten Generation (siehe AP 3), hergestellt auf SOI-Gebiet, neben einem Bulk-SiGe:C HBT. Die Fotodiode ist evaneszent an einen 220nm dicken Si-Wellenleiter (WG) gekoppelt. Details der aktuell verwendeten lateralen Ge-PIN-Fotodiode sind unten rechts gezeigt.***

Abbildung 4.2. zeigt den im Projekt entwickelten Prozessablauf für die photonische BiCMOS-Technologie, die mittels **monolithischer Integration** zum ersten Mal Hochleistungs-BiCMOS mit Si-Photonik (Wellenleiter, Koppler, Ge-Fotodioden, Mach-Zehnder-Modulatoren und mehr) verbindet.

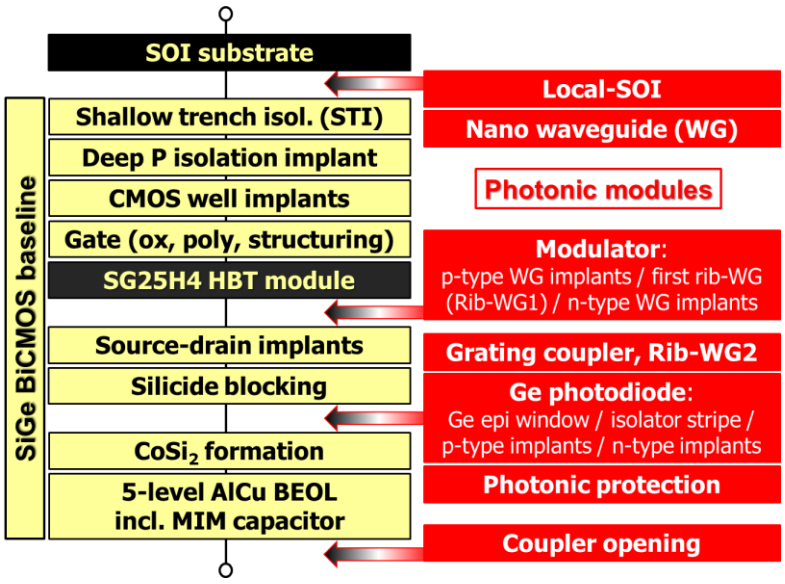

Abb. 4.2: ***Ablauf-Diagramm des photonischen BiCMOS-Prozesses: Photonik-Module werden an verschiedenen Stellen in einen BiCMOS-Grundprozess integriert.***

Der Prozess startet mit einem SOI-Substrat mit hinsichtlich Photonik optimalen Vertikalstruktur-Abmaßen (220nm Si mit unterliegender 2µm dicker SiO_2-Schicht). Mit dem ersten Photonik-Modul wird das Substrat „segmentiert“ (Abb. 4.3): (1) Rückätzen der SOI-Struktur in Gebieten, die später zur Herstellung der BiCMOS-Bauelemente genutzt werden sollen. (2) selektive Si-Epitaxie zum Auffüllen der geätzten Gebiete. (3) Si-CMP zum Planarisieren der Scheiben-Oberfläche.

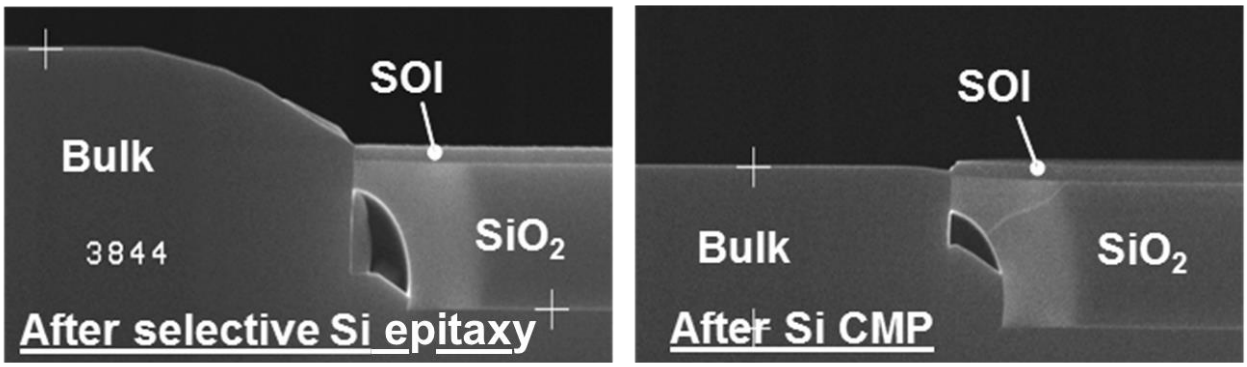

***Abb. 4.3:* Herstellung von lokalen SOI-Gebieten (für photonische Komponenten) Seite an Seite mit Bulk-Si-Gebieten (für BiCMOS-Komponenten).**

Die Herausforderung bestand hier darin, diese Prozessfolge so zu optimieren, dass auf den „rekonstruierten“ Si-Gebieten gleiche oder mindestens ähnliche Ausbeuten von BiCMOS-Bauelementen erhalten werden wie man sie vom Grundprozess gewöhnt ist. Dass dieses Ziel erreicht wurde, zeigt Abb. 4.3.

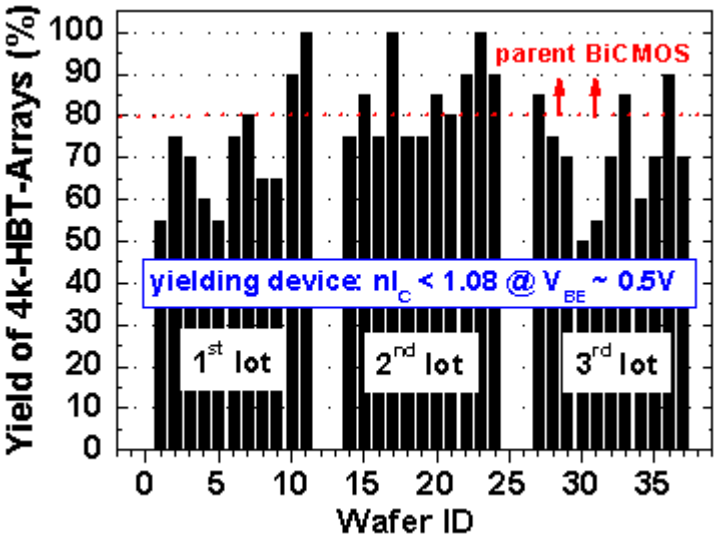

***Abb. 4.2:* Scheiben-Ausbeute von SiGe-HBT-Arrays, hergestellt im photonischen BiCMOS-Prozess. Ein Array besteht aus 4056 parallel-geschalteten Einzeltransistoren. 20 Arrays pro Wafer wurden gemessen. Der Idealitätsfaktor des Kollektorstromes (nI_C), ermittelt bei niedriger Basis-Emitter-Spannung, der ein guter Indikator dafür ist, ob ein Array defekte Transistoren enthält oder nicht, diente als Ausbeutekriterium.**

AP 4.2: Prozessintegration der passiven Bauelemente

Ein wesentlicher Schwerpunkt dieses Arbeitspaketes war der Nachweis der Kompatibilität der 1D-Standard-Grating-Koppler hinsichtlich Integration in den photonischen BiCMOS-Prozess. Das Problem besteht darin, dass Grating-Koppler (geätzt in einen Si-Wellenleiter) bei rein photonischen Anwendungen meist nicht mit zusätzlichen Isolator-Schichten bedeckt sind und hinsichtlich lateraler Abmessungen und Ätz-Tiefe so optimiert sind, dass sie genau für diesen Fall höchste Koppel-Effizienz liefern. Im integrierten BiCMOS-Fall ist die Situation aber anders, wie in Abbildung 4.3 illustriert: Verschiedene Schichten können die Koppel-Struktur bedecken, wie die Hartmaske für das

Grating-Ätzen, Schichten, die die BiCMOS-Elemente während der Ge-Fotodioden-Herstellung schützen und nicht zuletzt die ILD-Schichten des BiCMOS-BEOL (nicht gezeigt in Abb. 4.3).

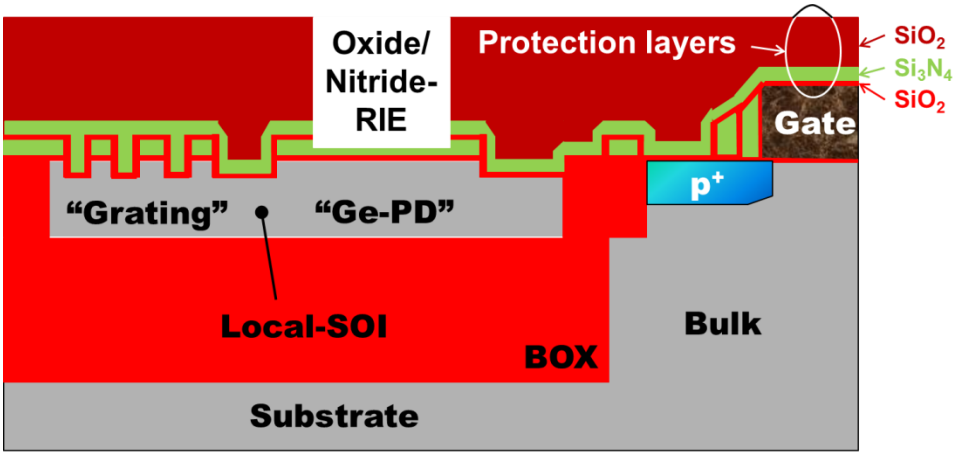

***Abb. 4.3:* Schematischer Querschnitt eines 1D-Grating-Kopplers, geätzt in einen Si-Wellenleiter und bedeckt mit für die BiCMOS-Integration notwendigen Schichten. Die Abbildung illustriert den Prozess-Status unmittelbar vor Beginn der Ge-Fotodioden-Herstellung.**

Durch Untersuchungen sollten folgende Fragen beantwortet werden:

- Wie ändern sich die für den "unbedeckten" Fall optimierten Koppler-Eigenschaften durch die zusätzlichen BiCMOS-Schichten?
- Muss ein relativ komplizierter Ätz-Modul entwickelt werden, mit dem die zusätzlichen Schichten nach Ende des BiCMOS BEOL-Prozesses von der Koppler-Oberfläche entfernt werden können?

Um diese Fragen zu beantworten, wurden verschiedene Koppel-Strukturen, die in Abbildung 4.4 gezeigt sind, hergestellt und hinsichtlich Koppelverhalten untersucht.

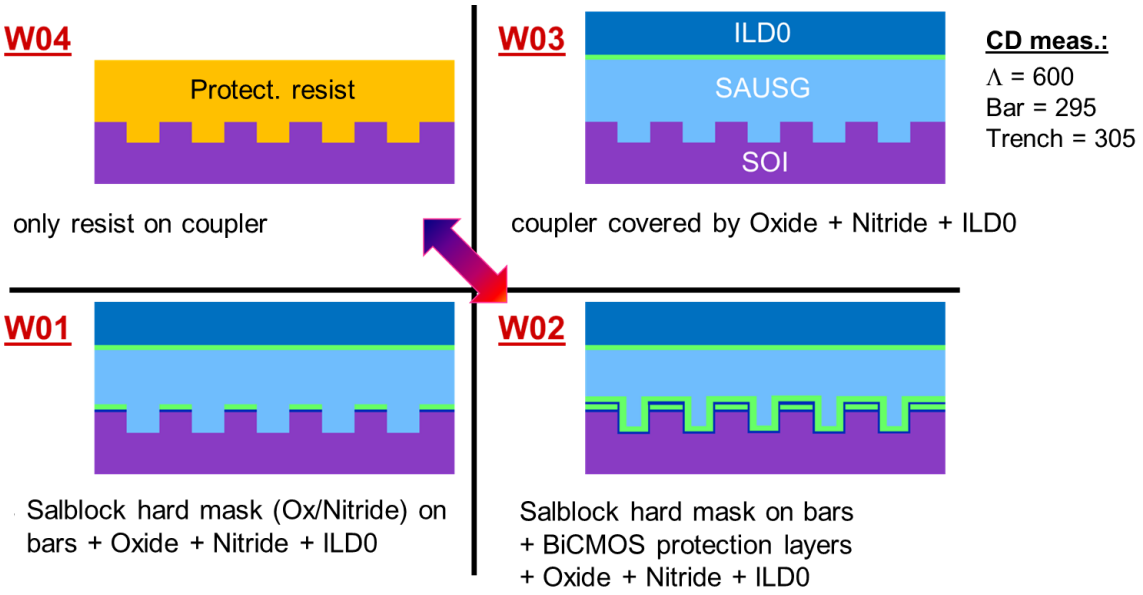

***Abb. 4.4:* Modell-Koppel-Strukturen für Untersuchungen zur Änderung des Koppel-Verhaltens durch Deckschichten.**

Im Folgenden konzentrieren wir uns auf den Vergleich von Koppelstrukturen der

Scheiben W04 und W02, d.h. zwischen dem Fall ohne Deckschichten (die Koppler von W04 wurden nach Entfernen der Schutzlack-Schicht gemessen) und dem Fall, wo nahezu alle „BiCMOS-Schichten“ den Koppler bedecken (W02).

Abbildung 4.5 vergleicht das Verhalten von 1D-Standard-Grating-Kopplern der Scheiben W04 und W02, gemessen für verschiedene Laser-Wellenlängen mit einem Strahl-Einfallswinkel von 8°. Man sieht, dass die Deckschichten offensichtlich die maximale Koppel-Effizienz (minimaler Koppel-Verlust) nicht verschlechtern, allerdings die Lage des Koppel-Effizienz-Maximums, im Vergleich zur angezielten Kommunikations-Wellenlänge (1.55µm), um einige 10nm rot-verschieben.

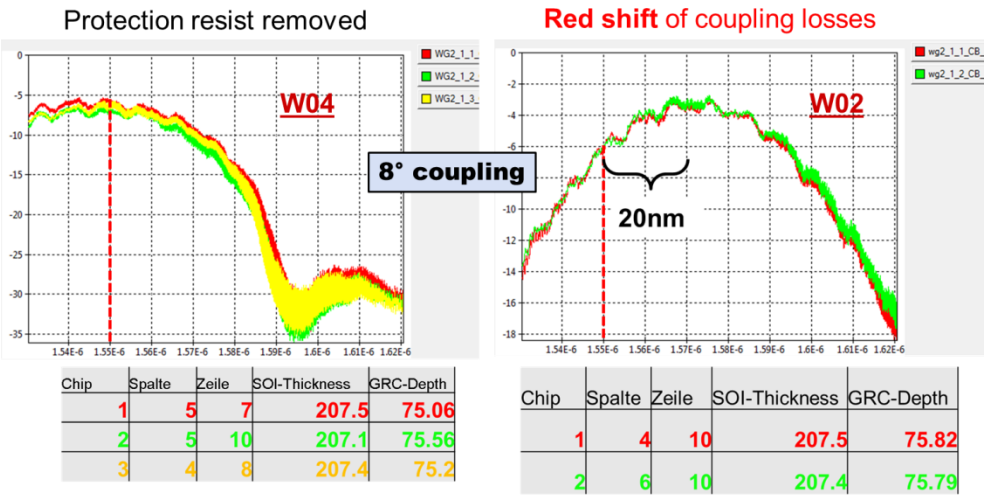

***Abb. 4.5:* Koppel-Verluste in Abhängigkeit von der Laser-Wellenlänge für 1D-Standard-Grating-Koppler ohne (W04) oder mit Deckschichten (W02).**

Abbildung 4.6 zeigt, dass diese Rotverschiebung des Koppel-Effizienz-Maximums durch eine relativ geringe Änderung des Strahl-Einfallswinkels „rückgängig“ gemacht werden kann, d.h. keine unmittelbare Notwendigkeit für das Entfernen der Zusatzschichten vom Koppler besteht.

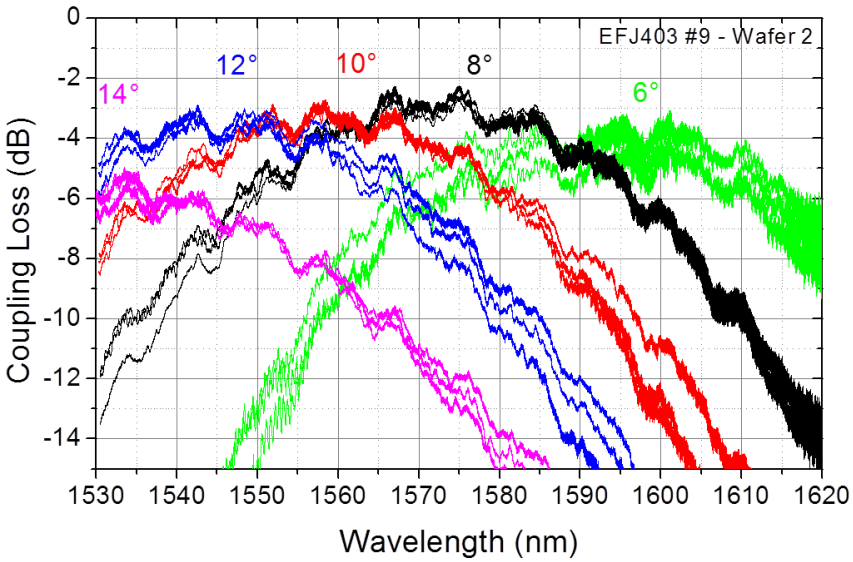

***Abb. 4.6:* Koppel-Verluste in Abhängigkeit von der Laser-Wellenlänge für 1D-Standard-Grating-Koppler mit Deckschichten (W02), gemessen mit unterschiedlichen Strahl-Einfallswinkeln.**

AP 4.3: Prozessintegration Germanium-Fotodioden

Hauptergebnisse dieses Arbeitspaketes sind:

(1) Die Integration der neuen lateralen Ge-PIN-Fotodiode in den photonischen BiCMOS-Prozess ohne Verschlechterung der Dioden-Parameter im Vergleich zu den in Kurzabläufen erreichten (siehe AP 2).

(2) Integration der Ge-Fotodiode ohne negativen Effekt auf wesentliche BiCMOS-Bauelemente-Parameter.

Im Einzelnen:

Zu (1): Abbildung 4.7 zeigt, dass im vollen photonischen BiCMOS-Prozess hergestellte Dioden ähnlich hohe Bandbreiten erreichen wie Dioden aus Kurzabläufen. Abbildung 4.8 demonstriert die bereits erreichte Reife der Dioden-Herstellung im photonischen BiCMOS-Prozess.

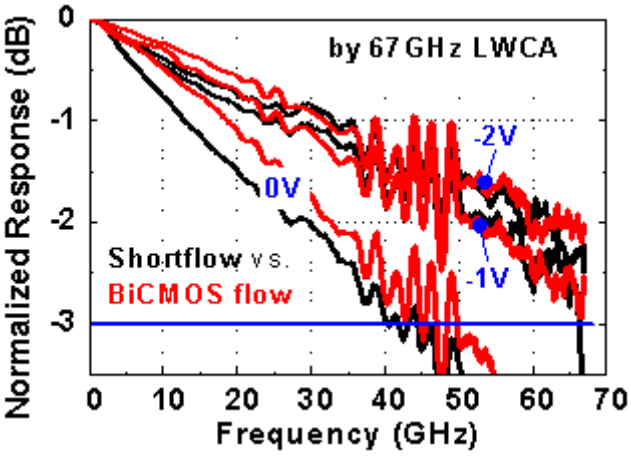

Abb. 4.6: *Relative Response in Abhängigkeit von der Frequenz, gemessen bei verschiedenen Vorspannungen, für laterale Ge-PIN-Fotodioden, hergestellt in Kurzbläufen oder im vollen photonischen BiCMOS-Prozess.*

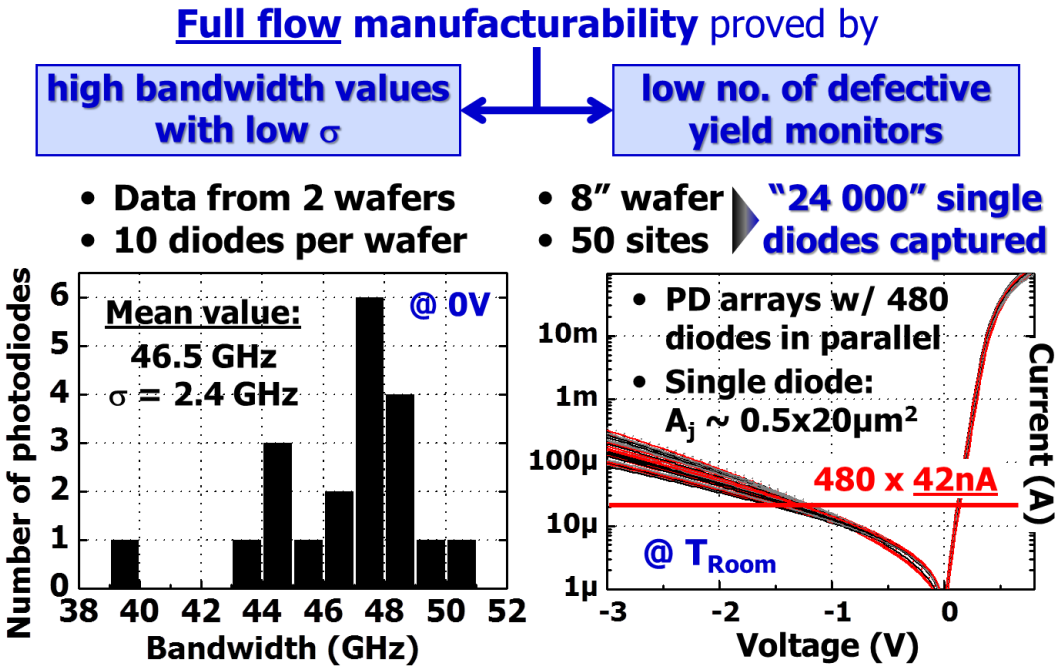

Abb. 4.7: *Histogramm von bei 0V Vorspannung ermittelten Bandbreiten-Werten von im photonischen BiCMOS-Prozess hergestellten Ge-Fotodioden (links). DC-Kennlinien von unbeleuchteten Ge-Fotodioden-Arrays (rechts). Man beachte, dass keines der gemessenen Arrays irgendein irreguläres, auf Defekt-Einfluss hinweisendes Verhalten zeigt.*

Zu (2): Die große Herausforderung resultierte hier aus dem Platz der Ge-Fotodioden-Integration im Prozess-Ablauf (siehe Abb. 4.2), der sich aus folgenden Überlegungen ergab: Um ein Schmelzen der Ge-Schicht beim finalen BiCMOS-Source/Drain-Ausheil-Schritt (T > 1000°C) zu vermeiden, wird die Ge-Epitaxie vor diesem Ausheil-Schritt durchgeführt. Um das Risiko einer Kontamination der Epitaxie-Anlage und des Bades, das für die Scheiben-Nass-Reinigung unmittelbar vor Beladen der Epitaxie-Anlage genutzt wird, zu vermeiden, erfolgt die Ge-Epitaxie vor dem BiCMOS-$CoSi_2$-Modul. Diese „Platzwahl“ zwischen BiCMOS-Ausheilung und $CoSi_2$-Modul hat aber einige negative Konsequenzen auf die BiCMOS-Parameter, die aus dem „thermischen“ Budget des Ge-Abscheide-Prozesses resultieren: Um ausreichend niedrige Defektdichten der Ge-Schichten zu erreichen, wird vor Abscheidebeginn ein sogenannter Pre-Bake ausgeführt und während der Abscheidung mehrmals der Abscheideprozess unterbrochen und die bereits gewachsene Schicht ausgeheilt. Sowohl der Pre-Bake-Schritt als auch die Zwischenausheilschritte erfolgen bei 800°C, jeweils für ca. 1min. Ohne Einsatz von Gegenmaßnahmen resultieren daraus folgende negative Effekte:

(a) De-Aktivierung von Dotanden → Anstieg des HBT-Basis-Widerstandes und daraus resultierend, Verringerung der maximalen Schwingfrequenz (f_{max}) der SiGe-HBTs. Anstieg der Schichtwiderstände von Poly-Si-Widerständen. Starke Verringerung der Schwellspannung der PMOS-Transistoren für alle Gate-Längen.

(b) Erhöhte Dotanden-Diffusion → Deutliche Verschlechterung des Kurzkanal-Verhaltens der NMOS-Transistoren.

Durch folgende Gegenmaßnahmen konnte die „Verträglichkeit“ der BiCMOS-Parameter mit der Ge-Fotodioden-Integration hergestellt werden:

hinsichtlich (a): Ersetzen des ursprünglich zur BiCMOS-S/D-Ausheilung genutzten RTA-Schrittes durch ein Spike-Anneal („höhere Temperatur für kürzere Zeit“), was die Aktivierung verbessert und Diffusion reduziert. Erhöhung der NWELL-Dotierung.

hinsichtlich (b): Reduzierung der Dosis für die NMOS-S/D-Implantation.

Ergebnisse dieses erfolgreichen „BiCMOS-Re-Engineerings“ sind in den Abbildungen 4.8 und 4.9 dargestellt.

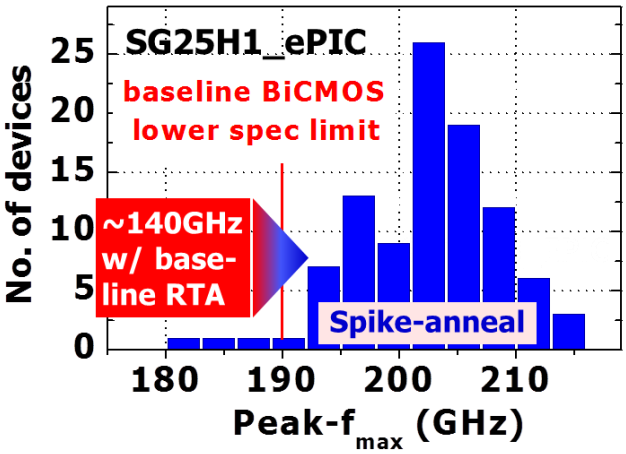

Abb. 4.8: ***Histogramm der f_{max}-Werte von im photonischen BiCMOS-Prozess hergestellten SiGe-HBTs im Vergleich zum unteren f_{max}-Limit des BiCMOS-Grundprozesses (f_{max}-Werte wurden aus dem de-embedded U(f)-Verlauf, gemessen bis 30GHz bei V_{CE}= 1.5V, extrapoliert). Zum Vergleich: ohne Gegenmaßnahme ist f_{max} nur ca. 140GHz.***

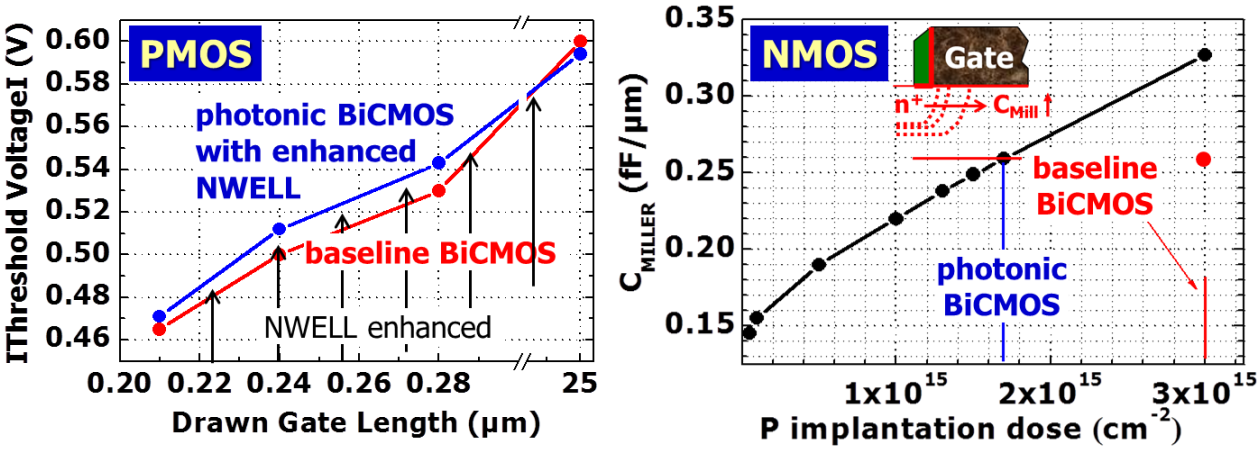

Abb. 4.9: ***(links) PMOS-Schwellspannung in Abhängigkeit von der Gate-Länge für Transistoren, die im photonischen BiCMOS-Prozess mit einer gegenüber dem Grundprozess erhöhten NWELL-Dotierung hergestellt wurden, i.V. zum Schwellspannungs-Verhalten von PMOS-Transistoren des Grundprozesses. Die Pfeile illustrieren die Verbesserung i.V. zum Verhalten von PMOS-Transistoren, die im photonischen BiCMOS-Prozess mit der NWELL-Dotierung des Grundprozesses hergestellt wurden.***

(rechts) Abhängig der NMOS-Miller-Kapazität (als anschauliches Maß für geänderte S/D-Dotanden-Diffusion) von der P-Implantations-Dosis, die zur S/D-Herstellung genutzt wird. Man sieht, dass man mittels einer Halbierung der Dosis im photonischen BiCMOS-Prozess i.V. zum Grundprozess dessen Kapazitätswerte gut reproduzieren kann (während ohne diese Maßnahme eine starke Erhöhung i.V. zum Grundprozess zu beobachten ist).

AP 4.4 und 4.5: Lokales Rückseiten-Ätzen und Entwicklung On-chip-Antennen für SG13 BiCMOS

Entwicklung On-chip-Antennen für SG13 BiCMOS für **Synview (UoS)/SiRadar-Demo**

1. Antennen-Design:

Die benutzte 0.13µm SiGe:C BiCMOS-Technologie (SG13G2) bietet 7 Metallschichten. Für die Bildung der eigentlichen Antennen-Struktur wurde die dicke, oberste Metallschicht (TM2) ausgewählt, während die unterste Metallschicht (M1) als Erdungsebene für die Versorgung dient. Beide Metallschichten sind in SiO_2 eingebettet. Die Abbildungen 4.10 und 4.11 zeigen einen schematischen Antennen-Querschnitt bzw. das Antennen-Design. Die Antenne besteht aus zwei Halb-Wellenlängen gefalteten Dipolen, deren Abstand ca. eine halbe Wellenlänge (bei 240GHz) im freien Raum beträgt. In dieser Konfiguration löscht sich die Strahlung der zwei Dipole in der unerwünschten ±y Richtung gegenseitig aus. Die Dipole werden durch eine 50Ω Mikrostreifen-Leitung versorgt und durch VIAs geerdet. Man kann das Verhältnis (α = w1/w2) der Leitungs-Breiten optimieren, um die Impedanz der gefalteten Dipole einzustellen und auf diese Weise gutes Matching zu erreichen. Mittels Trocken-Ätzen (lokal von der Wafer-Rückseite her) wird das verlustbehaftete Si-Material in den Gebieten a, b und c, markiert durch die roten, gestrichelten Linien in Abb. 4.11, entfernt. Dadurch lassen sich Verluste und Oberflächenwellen reduzieren, was die Strahlungseffizienz der Antenne erhöht. Unterhalb der Dipole wird auch M1 ausgespart (weiße Gebiete in Abb. 4.11). Man hat dabei einen Kompromiss zwischen Effizienz und mechanischer Stabilität des Chips zu finden. In der Tendenz gilt: Eine Vergrößerung der geätzten Fläche erhöht die Effizienz, verringert aber die mechanische Stabilität. Das resultiert aus der relativ dünnen, die Metallschichten umhüllenden SiO_2-Schicht (nur 15µm dick), die sehr leicht während der Chip-Herstellung oder bei Chip-Handhabung brechen kann. In unserem speziellen Design-Fall wurde die zu ätzende Fläche in drei Teile aufgeteilt, alle kleiner als 160 000µm^2, was jener Wert ist, für den mechanische Stabilität gesichert ist.

Der Chip wird auf die Massefläche eines Moduls oder Gehäuses geklebt, die auch als Reflektor für die Antenne dient. Der Abstand zwischen Antenne und Reflektor hat großen Einfluss auf die Antennen-Impedanz und –Charakteristik. Deshalb wird vor dem Aufkleben die Silizium-Rückseite auf etwa 200µm abgedünnt, um ausreichende Performanz zu erreichen.

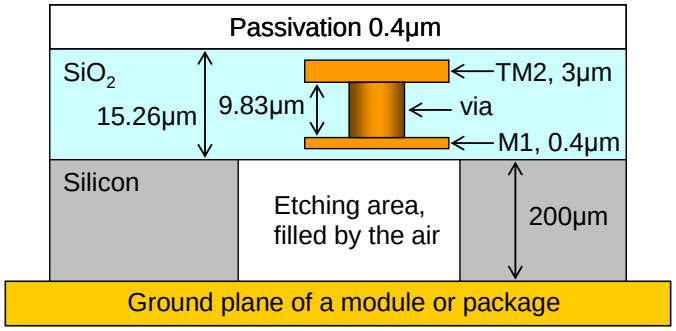

Abb. 4.10: ***Querschnitt des Chips.***

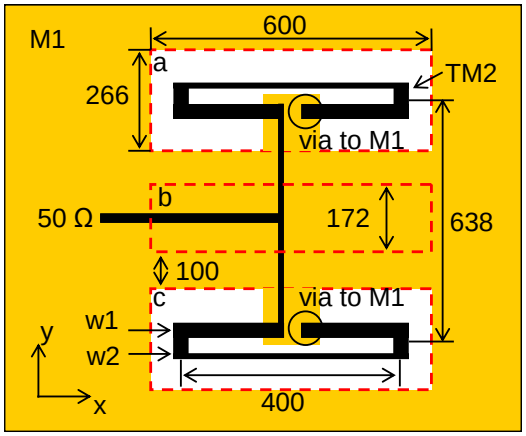

Abb. 4.11: ***Draufsicht des Antennen-Designs.***

2. Antennen-Simulation:

Abbildung 4.12 zeigt, dass der simulierte Reflexionskoeffizient S11, bezogen auf 50Ω, zwischen 227 und 260GHz kleiner -10dB ist. Die Strahlungseffizienz ist größer 50% im Bereich 217 – 248GHz (Abb. 4.13). Die maximale Verstärkung bei 240GHz beträgt 7.4 dBi, einschließlich Reflexionsdämpfung, bei einer 3-dB Bandbreite 220 bis 252GHz (Abb. 4.14). Die Abbildungen 4.15 und 4.16 zeigen die Strahlungsdiagramme in der E- bzw. H-Ebene. Die 3-dB Öffnungswinkel sind ca. 46° in der E-Ebene und 50° in der H-Ebene.

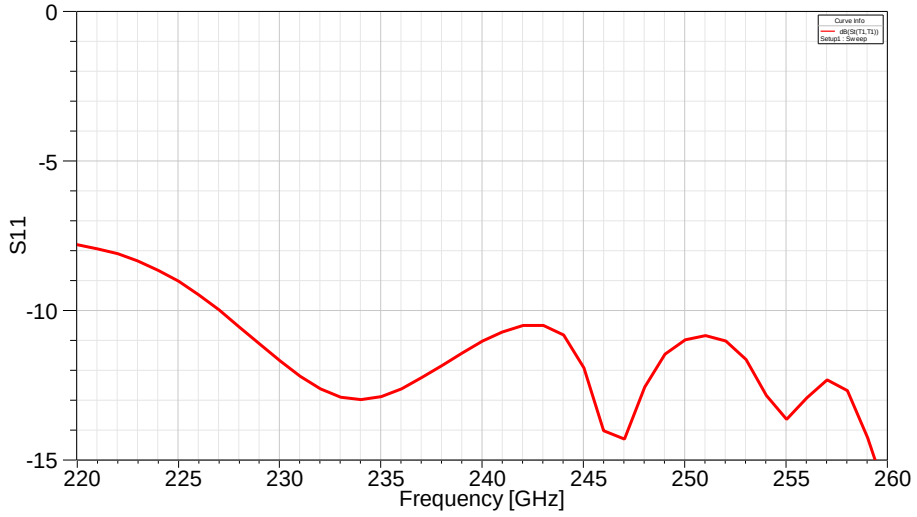

Abb. 4.12: ***Reflexionskoeffizient (S11) bezogen auf 50Ω.***

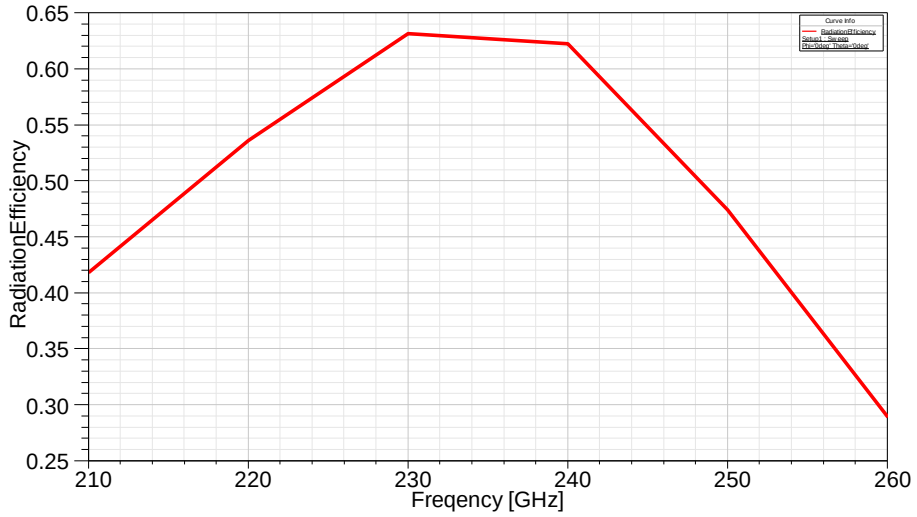

Abb. 4.13: ***Strahlungseffizienz der Antenne als Funktion der Frequenz.***

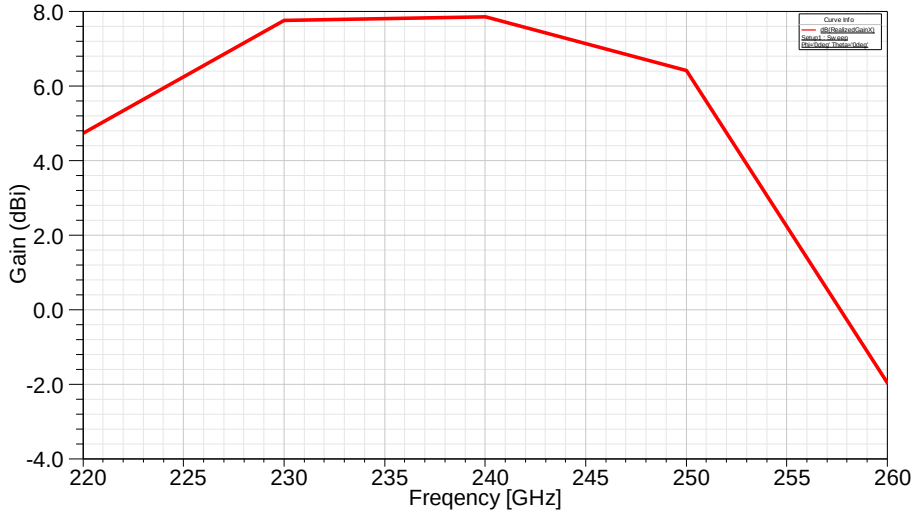

Abb. 4.14: ***Antennen-Verstärkung (einschließlich Reflexionsdämpfung) als Funktion der Frequenz.***

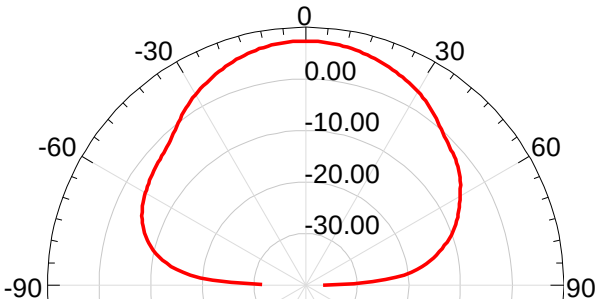

Abb. 4.15: ***Strahlungsdiagramm in der E-Ebene bei 240GHz (unter Annahme einer unendlich großen Massefläche).***

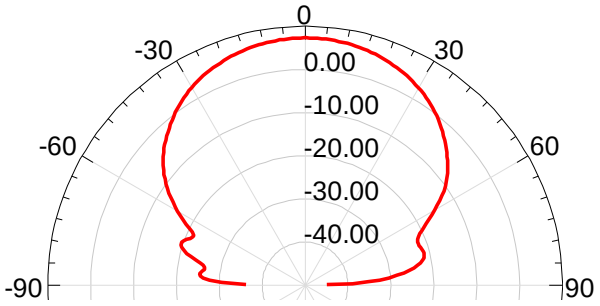

Abb. 4.16: ***Strahlungsdiagramm in der H-Ebene bei 240GHz (unter Annahme einer unendlich großen Massefläche).***

AP 5 Demonstrator-Entwurf

Die Arbeiten zu diesem AP begannen mit einer Studie zur Spezifikation und den Technologie-Erfordernissen. Parallel zur Integration von photonischen Komponenten in einen vorhandenen SiGe:C BiCMOS-Prozess (siehe AP 4.1 bis 4.3) wurde eine Bewertung der verfügbaren Komponenten von verschiedenen BiCMOS-Prozessen des IHP vorgenommen. Zu diesem Zweck wurde das Verhalten verschiedener Transistoren als Schalter in einer single-ended Konfiguration simuliert, um die erreichbare Leistung und Effizienz abzuschätzen. Ein RF PWM Signal, bereitgestellt von Alcatel-Lucent, wurde als Eingangssignal benutzt. Abbildung 5.1 zeigt die RF PWM Puls-Statistik.

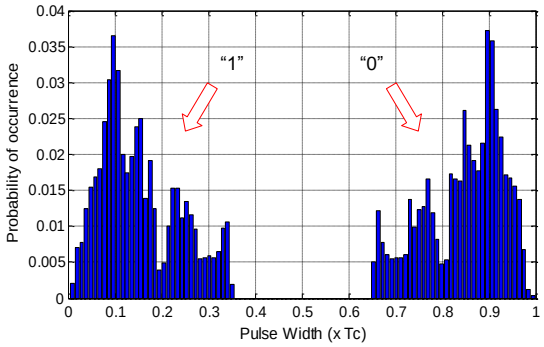

Abb. 5.1: ***RF PWM Puls-Statistik***

Bei Annahme von Anstiegs- und Abfall-Zeiten von ca. 50ps für den Laser-Dioden-Treiber sind etwa 100ps für eine Daten-Periode notwendig, um ein offenes Augen-Diagramm zu erhalten. Bei Tc = 2GHz korrespondieren 100ps mit 0.2Tc. Aus der Puls-

Statistik kann man ersehen, dass alle Pulse unter 0.2Tc den Transistor nicht komplett in die ON/OFF-Zustände schalten werden, was Verluste in Leistung und Effizienz verursacht. Deshalb sollte man eine Vorverzerrung realisieren, um die Menge der schmalen Pulse zu verringern.

Verschiedene Transistoren der IHP-Technologien SG25H1 und SG25H3 wurden unter idealen Treiber-Bedingungen ($t_{rise} = t_{fall} \approx 0$) getestet, um den Einfluss des Schalters selbst auf die Performance des Leistungsverstärkers zu untersuchen. Die nachfolgende Tabelle zeigt die Vergleichs-Ergebnisse für ein RF PWM Signal bei einer Trägerfrequenz von 920MHz. Höchste Ausgangsleistung wurde mit einem Array der Transistoren npnH3_HV erhalten, da diese die höchste Kollektor-Emitter-Durchbruchsspannung (7V bei offener Basis) aufweisen. Die höchste totale Effizienz der Schalter war größer als 70%. Unter Berücksichtigung der Kanal-Effizienz (ηch=Pch/Pdc) lieferten jedoch Arrays von npnH3_MV-Transistoren den Best-Wert von etwa 55 %.

Tech	Transistor	Vcc, V	Pch, dBm	ηch %	Rl Ohm
H1	50 x npn200_1	1.5	4.4	38.2	50
H3	100 x npnh3_shp1	1.5	4.9	40.3	50
H3	20 x npnH3_MV	3.5	5.7	55.5	580
H3	140 x npnH3_MV	3.5	8.4	38.3	110
H3	**100 x npnH3_HV**	**5**	**9.9**	**41.2**	**200**

Wegen der höchsten Ausgangsleistung wurden die npnH3_HV-Transistoren für die Abschluss-Stufe ausgewählt. Dieser Transistor-Typ wurde auch noch für ein RF PWM Signal bei 2GHz Träger-Frequenz getestet. Die Ergebnisse zeigt die nächste Tabelle.

Tech	Transistor	Vcc, V	Pch, dBm	ηch %	Rl Ohm
H3	80 x npnH3_HV	5.4	6.3	28.9	180

Abbildung 5.2 zeigt das Drain-Spannungs-Verhalten des Transistors. Man sieht deutlich die Zeit-Perioden wenn sehr schmale Pulse auftreten und die Drain-Spannung nicht Null erreicht. Dies verursacht die Reduzierung von Ausgangsleistung und Kanal-Effizienz.

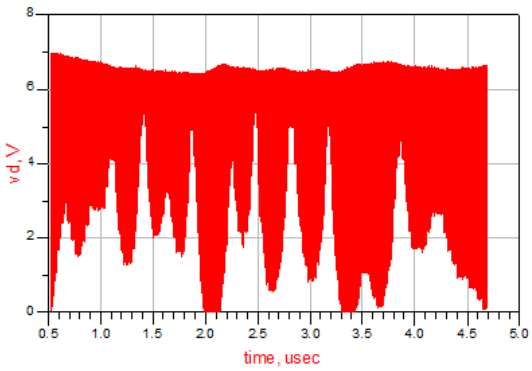

***Abb. 5.2:* Drain-Spannung des Schalters**

Aus diesen Untersuchungen wurde folgendes geschlussfolgert:

(1) Aus Sicht des Schalters ist eine gewisse Vorverzerrung notwendig, um die Anzahl sehr kurzer Impulse zu reduzieren

(2) Für die Leistungsstufe kann der npnH3-HV-Transistor benutzt werden, da er die höchste Durchbruchsspannung besitzt und folglich die höchste Ausgangsleistung

liefert

(3) Für die abschließende Technologie-Auswahl muss ein TIA-Entwurf gemacht werden, um herauszufinden, ob die erforderliche Daten-Rate von mdst. 20 Gb/s erreicht wird

Im Folgenden werden die Simulations-Ergebnisse für den TIA präsentiert. Die TIA-Schaltung, entworfen in IHP‘s SG25H3-Technologie, basiert auf der Topologie, die in Abbildung 5.3 dargestellt ist, wobei ein differentieller Haupt-Verstärker folgt. Obwohl erwartet wird, dass die Kapazität der integrierten Fotodiode kleiner als 25fF ist, wurden 50fF für das Modell benutzt. Die Abbildungen 5.5 und 5.6 zeigen die vorläufigen Simulations-Ergebnisse für Transimpedanz bzw. Rausch-Performance. Die 3-dB Bandbreite beträgt ca. 15GHz. Dies ist genug, um ein Zufalls-Signal mit einer Daten-Rate von 20Gbit/s zu bearbeiten (Abb. 5.4). Folglich kann IHP’s SG25H3-Technologie für die volle Integration des optischen Recievers, einschließlich Fotodetektor, TIA und Leistungsstufe ausgewählt werden.

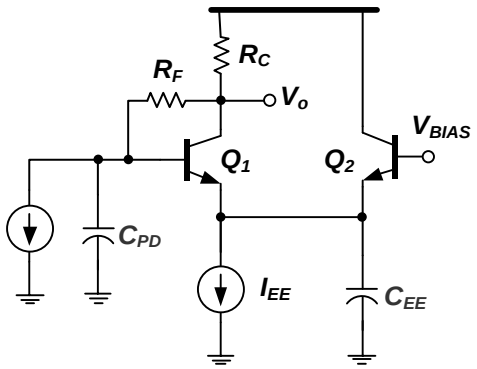

Abb. 5.3: ***TIA-Schematic***

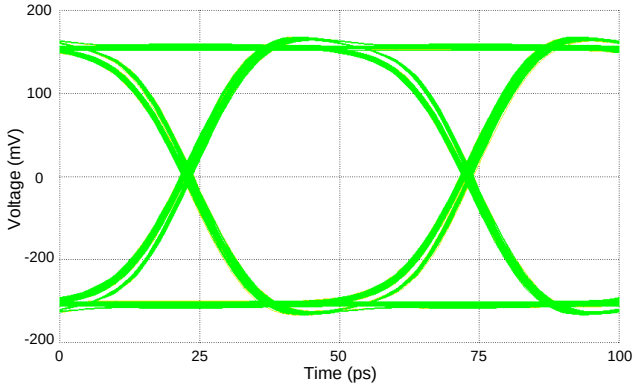

Abb. 5.4: ***Augen-Diagramm des TIA und Verstärkers für eine 20 Gbit/s Zufalls-Folge***

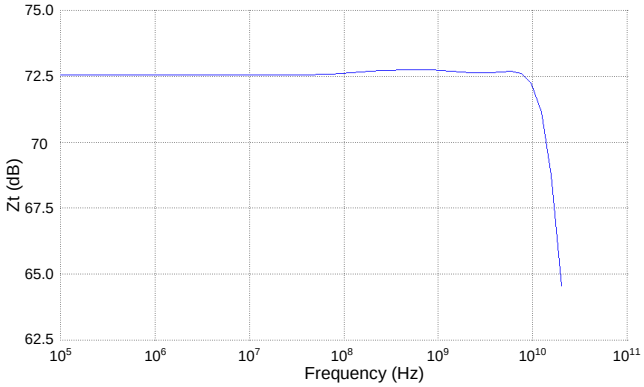

Abb. 5.5: ***Transimpedanz (BW_{3dB} = 15 GHz)***

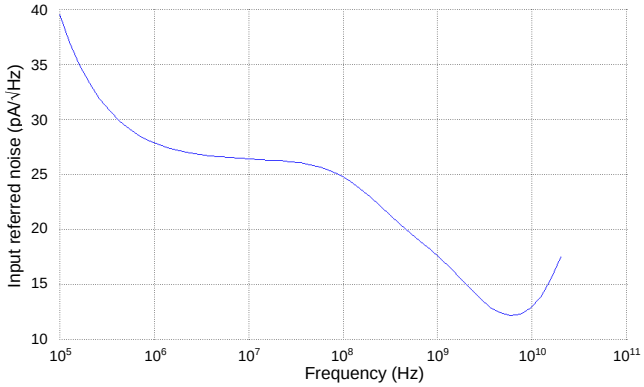

Abb. 5.6: ***Input referred Strom-Rauschen***

Nachfolgend wurden für eine erste Präparation ein single-ended TIA, H-Brücken, Kern-Schaltung und zwei Test-Schaltungen entworfen, um die Operation der Transistoren als Schalter zu testen. Abb. 5.7 zeigt das TIA-Chip-Layout.

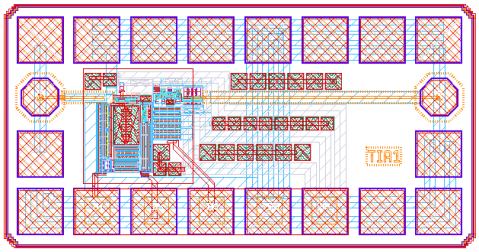

Abb. 5.7: ***TIA Layout***

Die Abbildungen 5.8 und 5.9 zeigen Schematic bzw. Layout des H-Brücken-Kerns. Der Chip ist so entworfen, dass sowohl eine On-Wafer-Messung als auch eine Messung auf PCB möglich ist. Die gewählte Art der Integration ergibt die Möglichkeit, den Chip als Treiber für die nachfolgende PA-Stufe oder als finale Stufe mit einer Ausgangsleistung im mW-Bereich zu nutzen. Für den zweiten Fall müssen Filter und Balun auf PCB entworfen werden. Die H-Brücke erfordert einen TIA mit differentiellem Ausgang. Diese Konfiguration ist komplizierter als eine single-ended Konfiguration, kann aber effizienter sein, weil, verglichen zum single-ended Fall, weniger Leistung für die Treiber-Stufe erforderlich ist.

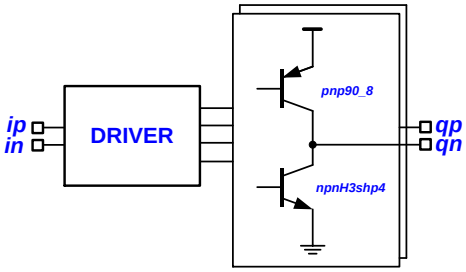

Abb. 5.8: H-Brücken Block-Diagramm

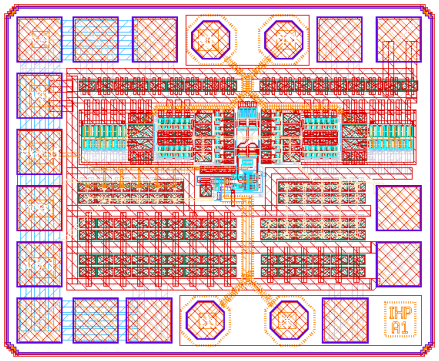

Abb. 5.9: ***H-Brücken Kern Layout***

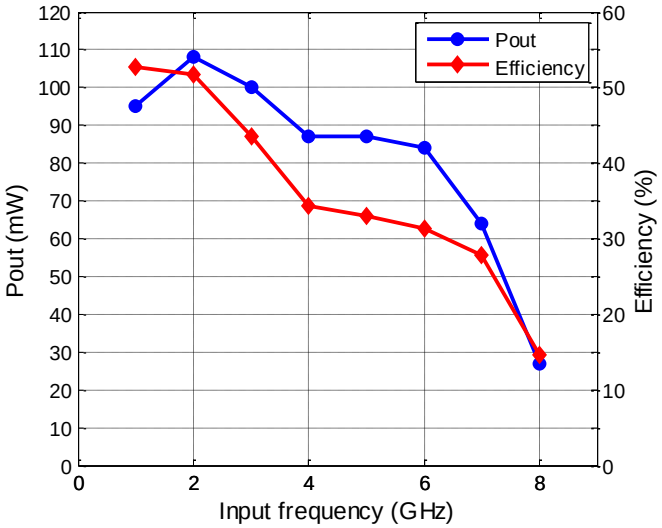

Abb. 5.10: ***Simulierte Ausgangsleistung Pout und Effizienz der H-Brücken-Schaltung in einer Treiber-Mode mit Rechteck-Wellen-Eingang***

Die Abbildungen 5.11 und 5.12 zeigen Schematic bzw. Layout der Test-Schalter. Beide Schaltungen sollen an 50Ohm Impedanz arbeiten. Der Treiber-Transistor Q1 verbraucht mehr Strom als der End-Stufen-Transistor Q2. Für 10Gbit/s Signal ist der Strom I_1 durch Q1 im SV1-Design 28mA und der Strom I_2 durch Q2 13mA. Folglich wird es für eine single-ended Konfiguration schwierig, eine effiziente Operation für ein RF-PWM Treiber-Signal zu erreichen. Für ein Rechteck-Wellen Treiber-Signal mit 50% duty cycle sind Ausgangsleistung und Ausgangs-Stufen-(Q2)-Effizienzen für die SV1- und SV2-Designs in den Abbildungen 5.13 bzw. 5.14 dargestellt. Abb. 5.14 zeigt auch die simulierte Leistung und Effizienz für das SV2-Design im Falle einer Belastung der letzten Stufe mit der optimalen Impedanz (10Ohm) anstatt mit 50Ohm.

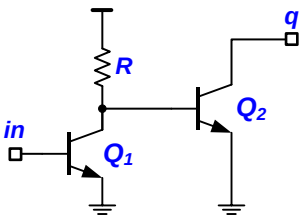

Abb. 5.11: ***Test-Schalter Schematic***

Schaltungs-Parameter

	R (Ω)	Q_1	Q_2
SV1	60	6 x npnH3shp4	10 x npnH3shp4
SV2	35	20 x npnH3shp4	50 x npnH3shp4

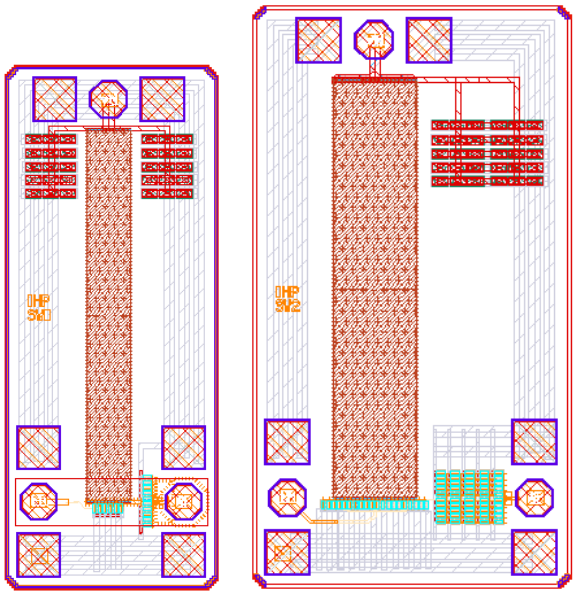

Abb. 5.12: ***Test-Schalter SV1 und SV2***

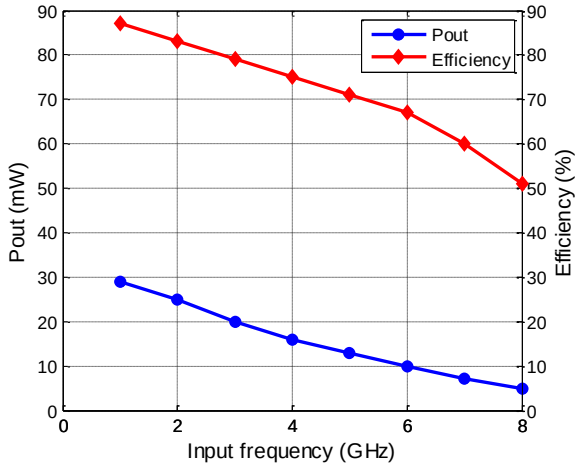

Abb. 5.13: ***Simulierte Leistung und Ausgangs-Stufen-Effizienz für Schaltung SV1***

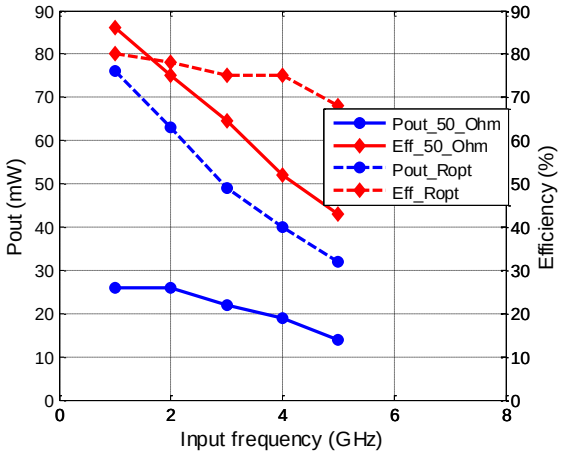

Abb. 5.14: ***Simulierte Leistung und Ausgangs-Stufen-Effizienz für Schaltung SV2***

Design für integrierten "Electronic Photonic Converter" und Re-Design der Signal-Konditionierung und des Leistungsverstärkers

Eine zunächst ins Auge gefasste H-Brücken-Endstufe in SG25H3P-Technologie kann nach Simulation nur bis zu 10Gbps Daten-Rate bei Aufrechterhaltung einer Effizienz von 20% erreichen. Diese Operations-Rate ist nicht ausreichend, um ein RF-PWM-Signal zu verarbeiten (mdst. 20Gbps-Operation ist dazu notwendig). Deshalb wurde als Endstufe nun eine TWA*-Konfiguration ausgewählt (* travelling wave amplifier), die Breitband-operation mit hohem Ausgangs-Swing ermöglicht, allerdings auf Kosten der Effektivität. Abbildung 5.15 zeigt das Blockdiagramm des TWA, der aus 9 Stufen besteht. Abbildung 5.16 zeigt das Ausgangs-Augendiagramm bei Anwendung eines down-sampled RF-PWM-Signals.

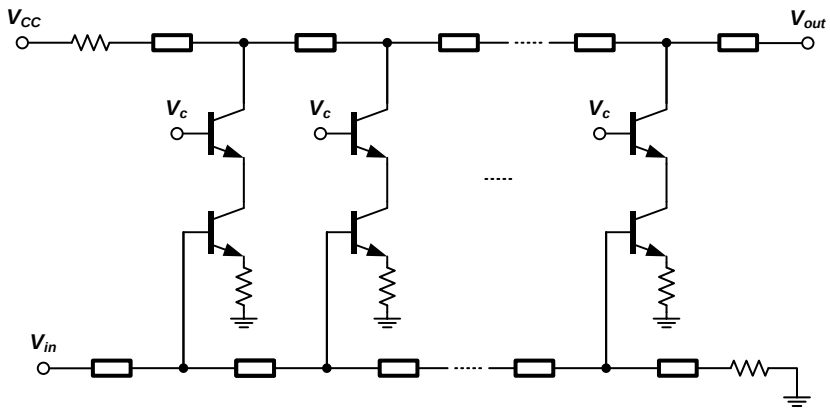

Abb. 5.15: ***Vereinfachtes Schema des 9-stufigen travelling wave amplifiers (TWA).***

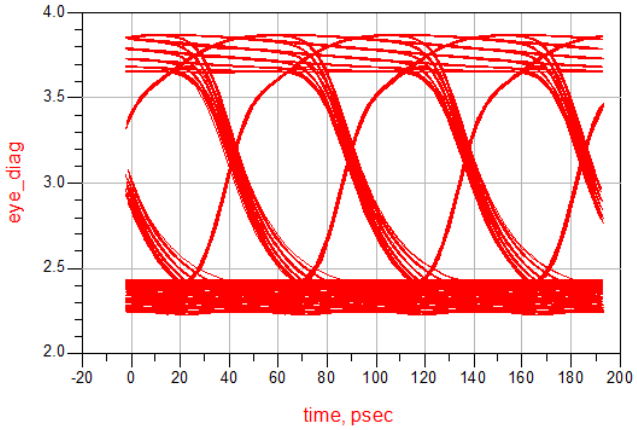

Abb. 5.16: ***Augen-Diagramm des TWA-Ausgangs bei Anwendung eines down-sampled 20.9 Gbps RF-PWM-Signals am Eingang.***

Abbildung 5.17 zeigt das TWA-Layout.

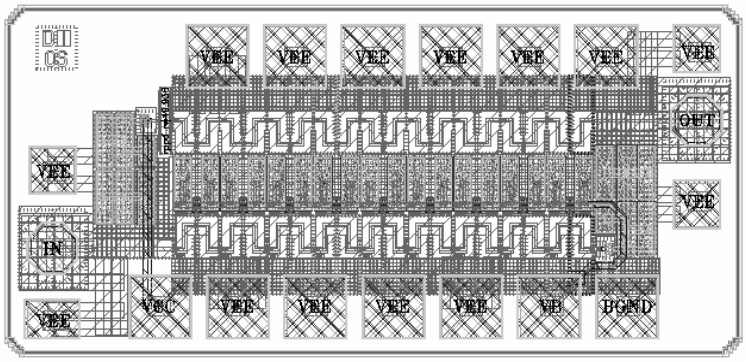

Abb. 5.17: ***TWA-Layout.***

Der entworfene TWA wurde auch für den kompletten photonischen Receiver-IC benutzt. Dessen Block-Diagramm und das vollständige Receiver-Layout sind in den Abbildungen 5.18 bzw. 5.19 dargestellt.

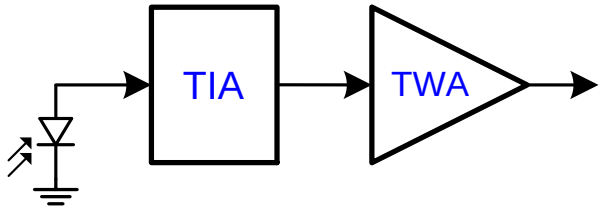

Abb. 5.18: ***Blockdiagram des photonischen Receivers.***

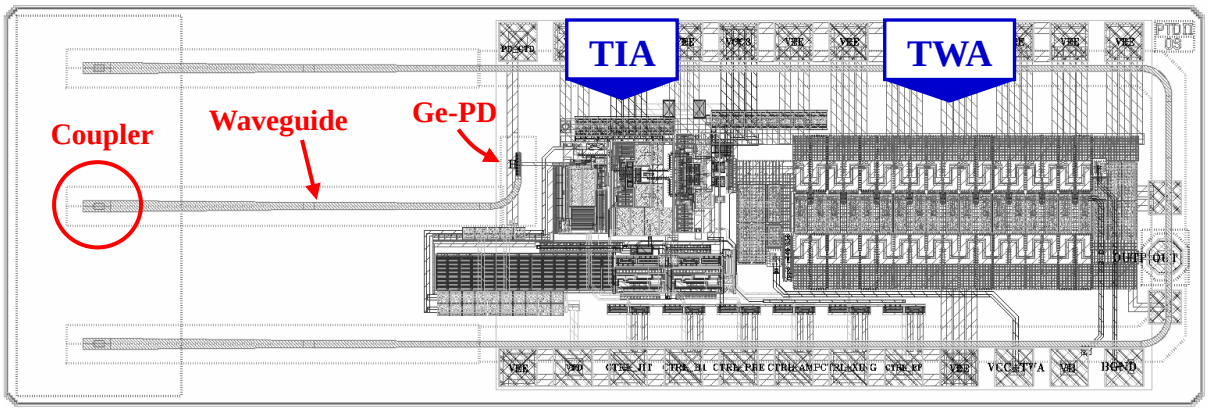

Abb. 5.19: ***Layout des kompletten photonischen Receivers. Die Positionen der photonischen Komponenten des Receivers (Koppler, Wellenleiter und Ge-Fotodiode) und der zwei integrierten elektronischen Blöcke (TIA, TWA) sind markiert.***

Charakterisierung von Schaltungen aus dem 2. Durchlauf

Für erste Messungen der TIA-Struktur mit DC-Kompensation und differentiellem Ausgang wurde der TIA-Chip auf ein 3 x 2.6 cm^2 Rogers PCB gebondet (Abbildung 5.20). Die Schaltung wurde mit einer 2^{31}-1 PRBS Sequenz getestet. Abbildung 5.21 zeigt die Ausgangs-Augendiagramme für 20Gbps und 24Gbps Daten-Sequenzen.

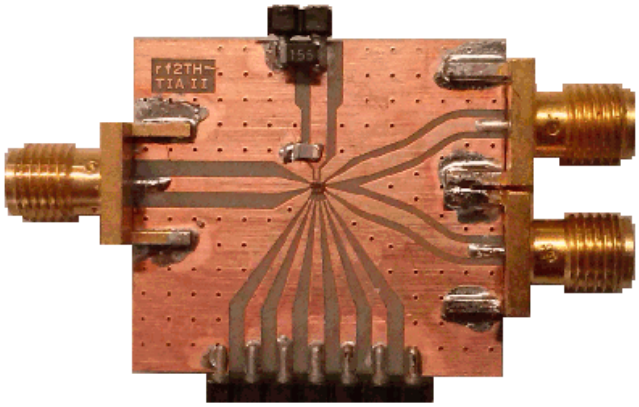

Abb. 5.20: ***TIA PCB.***

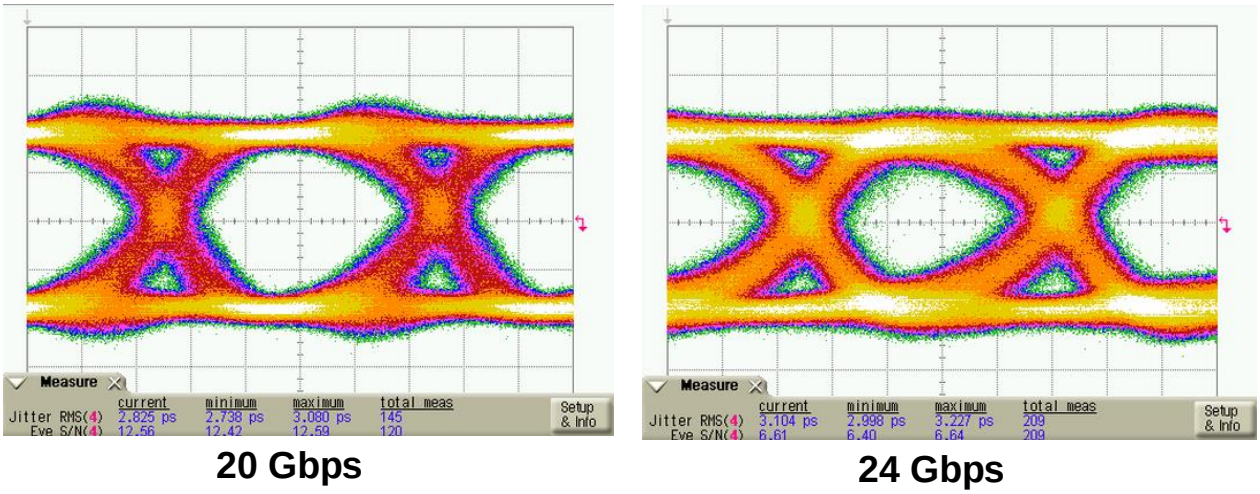

Abb. 5.21: ***Ausgangs-Augendiagramme des TIA für 20Gbps und 24Gbps PRBS.***

Messergebnisse zum Transimpedanz- und Rauschverhalten sind in Abbildung 5.22 dargestellt.

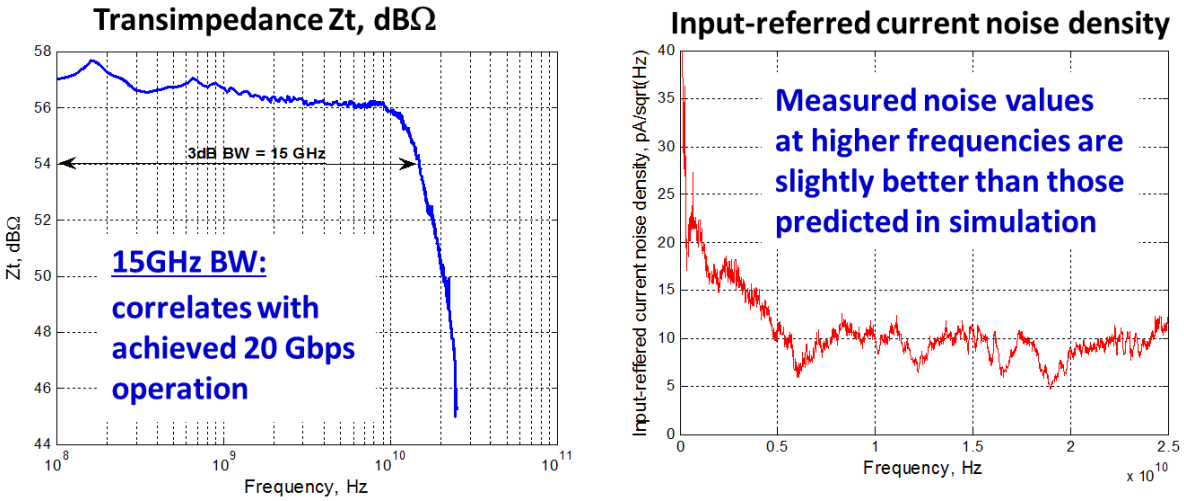

Abb. 5.22: ***Transimpedanz (links) und eingangsbezogene Strom-Rauschdichte des TIA (rechts) als Funktion der Frequenz: Transimpedanz ist 56dBΩ, Bandbreite ist 15GHz und integriertes eingangsbezogenes Stromrauschen ist 1.84 μA_{rms}.***

Charakterisierung "Electronic Photonic Converter"

Auf den Entwurf des kompletten photonischen Receiver-IC's wurde schon auf der Seite zuvor eingegangen (siehe Abbildungen 5.18 und 5.19). Die vollständige Schaltung sowie auch Unterblöcke von ihr („Koppler + Ge-Fotodiode + TIA", „SMPA (TWA) allein", „TIA allein") wurden 2014 im photonischen BiCMOS-Prozess realisiert und im 4. Quartal 2014 zur Charakterisierung (im IHP) ausgeliefert. Nachfolgend werden die dabei erreichten Ergebnisse zusammengefasst.

Hauptergebnis war, dass der komplette Receiver, bestehend aus Grating-Koppler, Ge-Fotodiode, TIA und SMPA(TWA), der zum Demonstrator-Aufbau und dessen Charakterisierung vorgesehen war (AP 7.2), nicht wie erwartet funktionierte. Um die Ursache(n) dafür herauszufinden, wurden neben dem Receiver auch seine Unterblöcke charakterisiert, wobei folgende Ergebnisse erhalten wurden:

(1) Der Unterblock, bestehend aus „Koppler + Fotodiode + TIA“ funktioniert, wie aus Abb. 5.22 ersichtlich ist. Die Abbildung demonstriert ordentlich geöffnete 20Gbps und 25Gbps Augen-Diagramme.

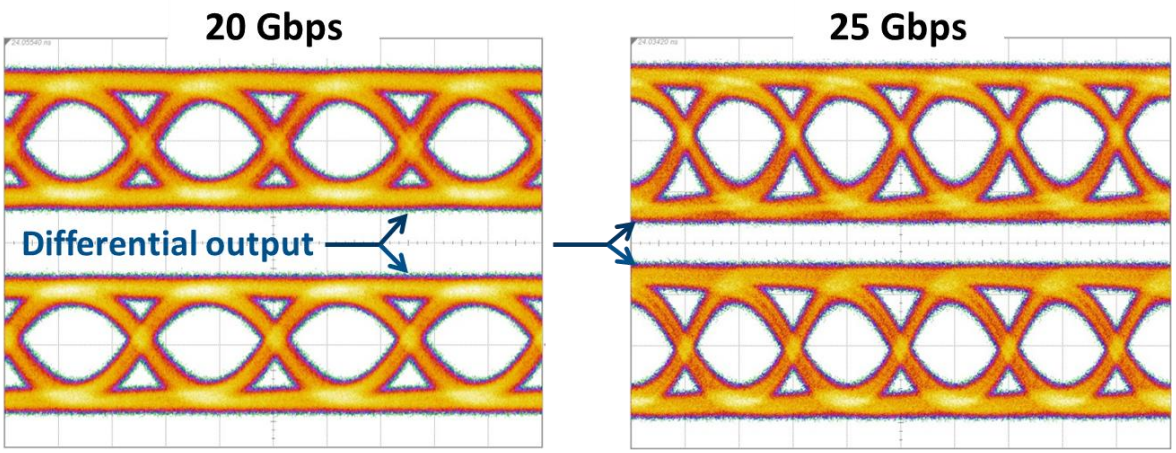

Abb. 5.22: ***20Gbps und 25Gbps Augen-Diagramme eines Receiver-Unterblockes, bestehend aus Koppler, Fotodiode und TIA, gemessen mit 2^{31}-1 PRBS Test-Signal.***

(2) Abb. 5.23 vergleicht s_{21} in Abhängigkeit von der Frequenz, gemessen für den kompletten Receiver, mit der für den SMPA allein gemessenen $s_{21}(f)$-Kurve. In beiden Fällen ist die Bandbreite nur etwa 7GHz, d.h. beide Schaltungen arbeiten nicht wie erwartet. Schlussfolgerung ist, dass die Fehlfunktion des SMPA auch für die Fehlfunktion des kompletten Receivers verantwortlich ist.

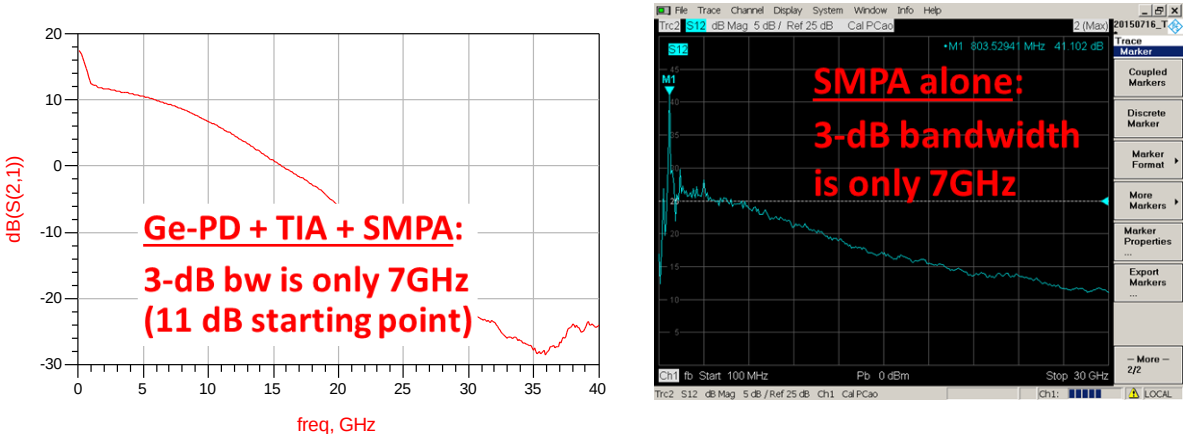

Abb. 5.23: ***s_{21} in Abhängigkeit von der Frequenz für den kompletten Receiver, bestehend aus Koppler, Fotodiode, TIA und SMPA (links) und für den SMPA allein (rechts).***

Da im verbleibenden Projektzeitraum kein Re-Design des kompletten Receivers einschließlich Präparation möglich war, wurden als Backup-Varianten zur Demonstrator-Realisierung zunächst folgende Möglichkeiten in Betracht gezogen: Optisches Packaging entweder des Schaltungsblockes, dessen Funktion durch Abb. 5.22 dokumentiert wurde oder eines anderen, in photonischer BiCMOS-Technologie hergestellten Receivers mit bereits nachgewiesener Funktion. In beiden Fällen wäre allerdings für den Demonstrator-Aufbau eine Kombination mit einem zusätzlichen, nicht-integrierten Leistungsverstärker (anstelle des integrierten SMPA) notwendig.

Obwohl die erste Backup-Version volle Funktion bei On-Wafer-Messungen zeigte (Abb. 5.22), entschieden wir uns aus folgenden Gründen für die zweite Version. Für das optische Packaging, vom AP 7.2 Projektpartner ALUD als Voraussetzung für den weiteren Demonstrator-Aufbau definiert, wurden optische Alignment-Strukturen in alle Schaltungs-

Designs implementiert. Allerdings waren diese Strukturen für die erste Backup-Version nicht nutzbar, da dort beim Design vergessen wurde, die Metall-Filler-Generation über den Strukturen zu blocken. Für das optische Packaging wurde deswegen ein anderer Receiver mit On-Wafer nachgewiesener 40Gbps-Funktionalität und mehr als 30GHz Bandbreite (Wafer-level-Charakterisierung) benutzt. Einige dieser Reciever sind mittlerweile nach dem optischen Packaging am IHP verfügbar (Abb. 5.24). Ob damit noch, allerdings erst nach Projektende, ein Demonstrator-Aufbau bei Projektpartner erfolgen kann bzw. soll, ist noch in Diskussion.

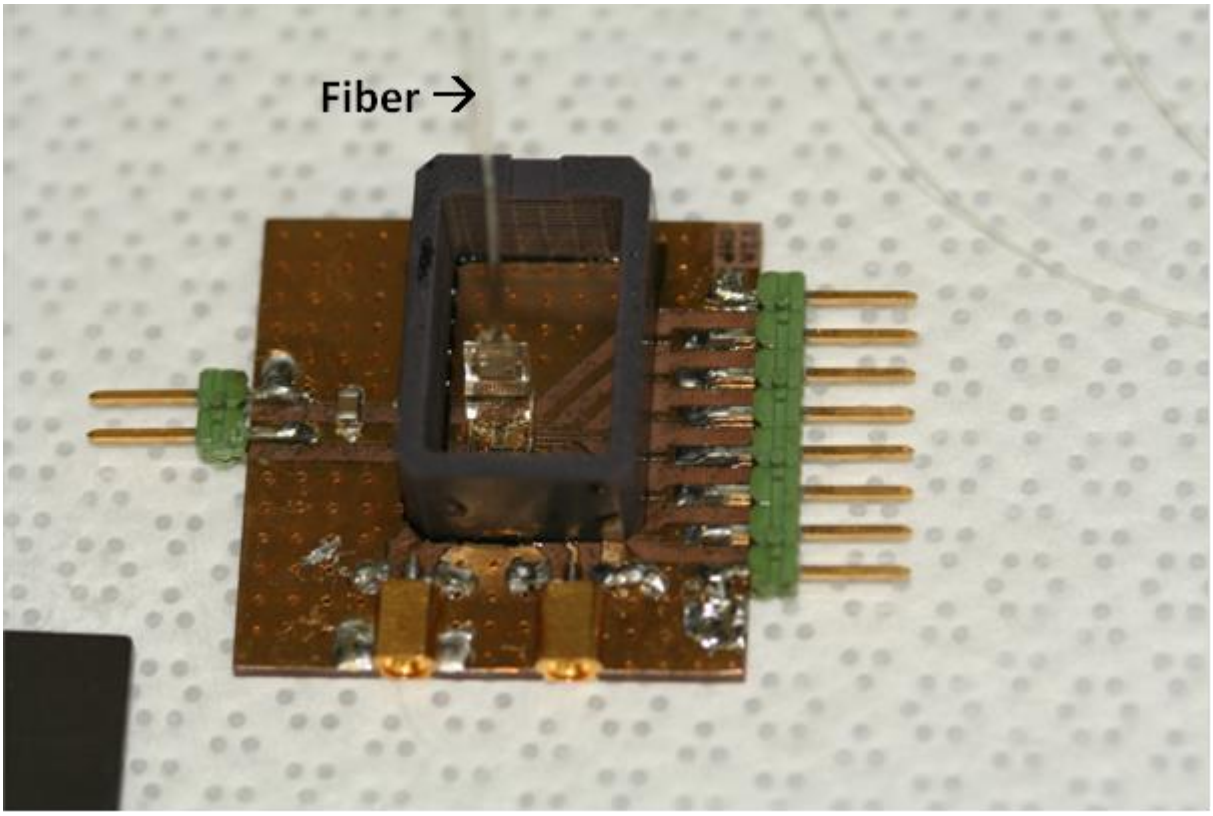

Abb. 3.24: ***40Gbps Receiver nach optischem Packaging***

AP 6 Integrierte photonische BiCMOS-Technologie / Shuttle

Während der Projektlaufzeit wurden mehrere Scheiben-Lose unter Nutzung von Maskensätzen aus verschiedenen Design-Zyklen mit vollem photonischen BiCMOS-Ablauf fertiggestellt. Ein Hauptergebnis dabei war die Auslieferung der Schaltungen für Demonstrator 2 (siehe AP 5). Außerdem wurde damit eine aktuelle Prozess-Bewertung ermöglicht, deren Ergebnisse nachfolgend zusammengefasst werden.

SiGe:C HBT Ausbeute

Siehe Ergebnisse zu AP 4.1, Abb. 4.2.

Parameter-Verhalten der SiGe:C HBTs

Die nachfolgende Tabelle zeigt, dass eine sehr gute Übereinstimmung der HBT-Parameter im Vergleich zu denen des zur Demonstrator-Realisierung ausgewählten Grund-Prozesses SG25H3 erreicht wurde. Durch Nutzung eines angepassten Temperschrittes im $CoSi_2$-Modul (siehe AP 3) wurde das schon erwähnte Problem der unerwünschten Erhöhung des HBT-Basiswiderstandes stabil gelöst. Das wird auch durch

die in Abbildung 6.1 gezeigten Messergebnisse von SiGe-HBT-Ringoszillatoren bestätigt, deren Verzögerungszeiten empfindlich auf Änderungen des Basiswiderstandes reagieren.

HBT data (for minimum size, low-voltage device only)

HBT type		npnH3PI_1 (A_E= 0.22x0.84 µm²)							
Parameter		β	V_A	BV_{CEO}	BV_{CES}	BV_{EBO}	$f_{T,max}$	$f_{max,max}$	I_C ($f_{T,max}$)
Unit			V	V	V	V	GHz	GHz	mA
SG25H3 Process Specs	LL	100	30	2.0	4.5	2.5	95	155	
	Target	150		2.2	6.0	3.0	110	180	1.2
	UL	300							
2nd run Photonic BiCMOS	$\bar{x}$	142	130	2.26	7.0	3.1	131	253	1.45
	$\bar{x}$ - 3σ	97	30	2.08	6.7	2.7	117	226	0.7

- Hohes f_{max} → kein R_B-Problem mehr
- Sogar etwas bessere HF-Eigenschaften als der Ausgangs-Prozess

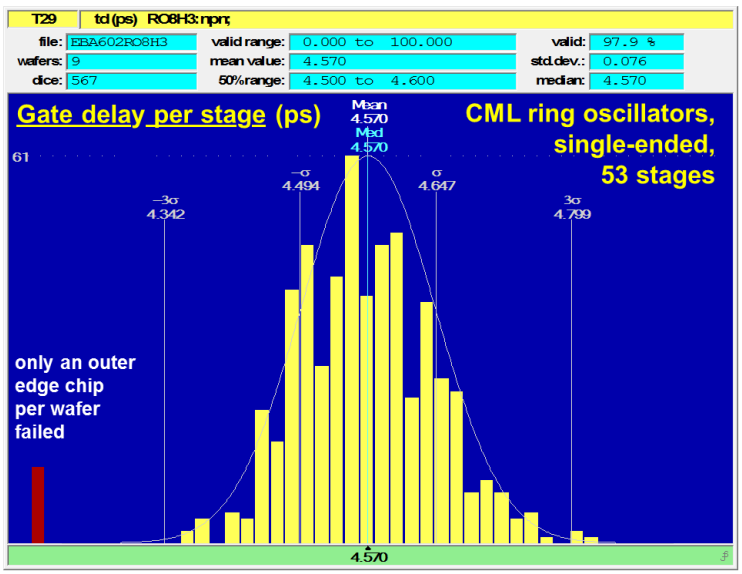

Abb. 6.1: ***Häufigkeits-Verteilung der Verzögerungszeiten von SiGe-HBT-Ringoszillatoren: Auf 9 Scheiben eines Loses aus dem photonischen BiCMOS-Prozess wurden jeweils 63 Oszillatoren gemessen. Der niedrige Mittelwert von 4.6ps pro Stufe stimmt sehr gut mit dem entsprechenden Wert des SG25H3 Grund-Prozesses überein.***

Verhalten der MOS-Transistoren im photonischen BiCMOS-Prozess

Siehe Ergebnisse zu AP 4.3, Abbildung 4.9.

Verhalten der Ge-Fotodioden im photonischen BiCMOS-Prozess

Die für Demonstrator 2 entworfenen integrierten Schaltungen (Koppler + Wellenleiter + Fotodiode + TIA oder Koppler + Wellenleiter + Fotodiode + TIA + SMPA) zielen auf eine Bit-Rate von 20Gbps ab. Die Entwürfe wurden bereits Ende 2013 fertiggestellt, was bedeutet, dass noch nicht die neueste (und schnellste) Generation von Ge-Fotodioden (siehe AP 4.3) in die Schaltungen „eingebaut“ wurde. Es stellte sich deshalb die Frage, ob

eventuell eine Scheibeninhomogenität der Parameter der im IC-Entwurf konkret benutzten Ge-Fotodioden oder mangelnde Reproduzierbarkeit dieser Parameter von Scheibe zu Scheibe problematisch für die angestrebten Schaltungseigenschaften sein könnte. Um das zu beantworten, wurde auf verschiedenen Scheiben, die den vollen photonischen BiCMOS-Prozess durchlaufen hatten, die optische Response der „alten“ Dioden als Funktion der Frequenz gemessen. Die Ergebnisse sind in Abbildung 6.2 dargestellt, wobei sofort deutlich wird, dass eine 3-dB Bandbreite von mehr als 20GHz in jedem Fall erreicht wird, was hoch genug für die angestrebte Anwendung (20Gbps) ist.

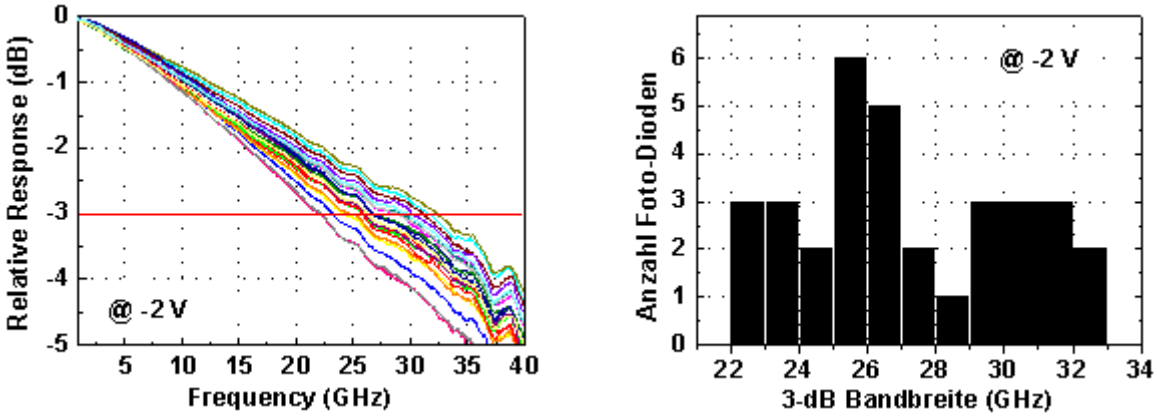

Abb. 6.2: ***Abhängigkeit der relativen Response (S_{21}) von in integrierten Schaltungen für Demonstrator 2 genutzten Ge-PIN-Fotodioden von der Frequenz (links) und aus diesen Kurven ermittelte Häufigkeitsverteilung der 3-dB Bandbreiten der Dioden (rechts). Die untersuchten Dioden stammen von 11 Scheiben, wobei auf jeder Scheibe die gleichen Dioden auf 3 verschiedenen Stellen gemessen wurden.***

Abbildung 6.3 fasst die Ergebnisse von Fotostrom-Messungen für die gleiche Art Fotodioden zusammen. Die Abbildung zeigt die externe Empfindlichkeit der Dioden in Abhängigkeit von der Vorspannung. Wenn man berücksichtigt, dass die benutzten Licht-Koppler typische Verluste zwischen 3dB und 3.5dB haben, ist die interne Empfindlichkeit dieser Dioden in jedem Falle höher als 0.65A/W @ -2 V.

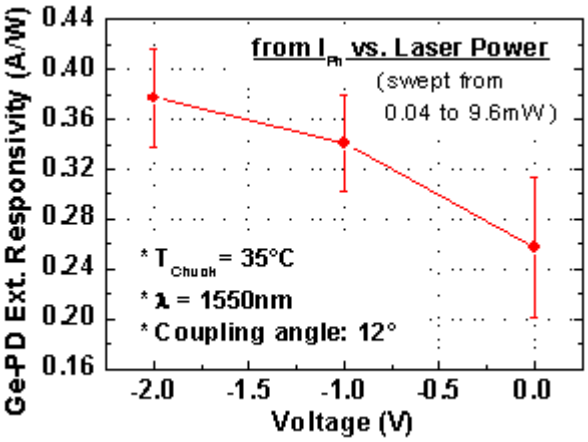

Abb. 6.3: ***Abhängigkeit der externen Empfindlichkeit von in integrierten Schaltungen für Demonstrator 2 genutzten Ge-PIN-Fotodioden von der Vorspannung.***

Bezüglich **AP 6.3** (BiCMOS-Shuttles für Silicon Radar GmbH) wird auf den Bericht von Silicon Radar verwiesen.

AP 7 Charakterisierung und Messtechnik

AP 7.1 Setup Wafer-Level Charakterisierung

Das integrierte photonische Mess-System zur Wafer-Level-Charakterisierung wird inzwischen routinemäßig zur Prozesskontrolle der Ge-Fotodioden-Herstellung des photonische BiCMOS-Prozesses genutzt: s-Parameter-Messung, sowohl im O/E- als auch E/E-Messmodus.

Da dieses Mess-System in immer stärkerem Masse auch für Wafer-Level-IC-Messungen (integrierte Reciever und Transmitter) genutzt wird, entstand ein gewisser Kapazitäts-Konflikt zu den routinemäßig anfallenden Prozess-Kontroll-Messungen. Durch Inbetriebnahme und Konfigurierung eines zweiten Wafer-Probers, der ausschließlich für Prozess-Kontrollmessungen genutzt wird, konnte die Situation deutlich verbessert werden. Auf diese Weise ist nun auch eine routinemäßige Überwachung der Herstellung wichtiger passiver photonischer Komponenten des photonischen BiCMOS-Prozesses möglich (2-Port O/O-Messmodus). Außerdem wird dieses zweite Mess-System zur Kontrolle des Fotostrom-Verhaltens der Ge-Dioden genutzt.

Der für das Projekt ursprünglich geplante automatisierte Betrieb des ersten Mess-Systems konnte allerdings in der Projektlaufzeit nicht erreicht werden. Hauptursachen dafür waren der Weggang eines Mitarbeiters und der Konflikt mit den ständig steigenden Anforderungen durch Prozess-Kontrolle und Wafer-Level-IC-Messungen (die eine zur „Automatisierung“ notwendige zeitweilige Außerbetriebnahme des Systems praktisch unmöglich machten).

AP 7.2 Demonstrator-Charakterisierung

Demonstrator 2 (Receiver): Charakterisierung der Backup-Variante (nach optischen Packaging) ist noch nicht im IHP abgeschlossen. Ob damit noch, allerdings erst nach Projektende, ein Demonstrator-Aufbau bei Projektpartner erfolgen kann bzw. soll, ist noch in Diskussion.

UoS/SiRadar-Demontrator: siehe Bericht von Silicon Radar

2) Fortschreibung des Verwertungsplans

Im Rahmen des RF2THz Projektes wurde vom IHP in enger Zusammenarbeit mit der TU Berlin ein sogenannter photonischer BiCMOS-Prozess entwickelt. Dieser Prozess kombiniert zum überhaupt ersten Mal Komponenten der Si-Photonik mit einem Hochleistungs-SiGe-BiCMOS-Prozess mittels monolithischer Integration.

Wichtige Photonik-Komponenten, wie z.B. Wellenleiter und Grating-Koppler werden im integrierten Prozess mit Eigenschaften (Verluste) hergestellt, die dem Stand der Technik entsprechen, während die integrierten Ge-Fotodioden eine Kombination von Bandbreite, Responsivität und Dunkelstrom zeigen, die den bisherigen Stand der Technik (auch den für nicht-integrierte Ge-Fotodioden) übertrifft. Die demonstrierten Fotodioden-Parameter übertreffen auch deutlich die zu Projektbeginn definierten Zielparameter für die Fotodioden-Entwicklung.

Im Vergleich zum sehr wahrscheinlich weltweit einzigen, auf jeden Fall aber am weitesten entwickelten weiteren Prozess, der Si-Photonik mit Si-basierter Elektronik mittels monolithischer Integration verbindet, IBM’s (jetzt Globalfoundry’s) 90nm Si Nanophotonics Technology (CINP), weist der im Projektzeitraum entwickelte

photonische SiGe BiCMOS-Prozess des IHP folgende Vorteile auf: deutlich schnellere Ge-Fotodioden sowie schnellere RF-Transistoren mit höheren Betriebsspannungen (SiGe-HBT vs. NMOS), was beispielsweise große Vorteile hinsichtlich erreichbarer Bandbreiten von integrierten Transceivern bringt. Ein Nachteil des IHP-Prozesses ist die geringere Leistungsfähigkeit der Digital-Bibliotheken (0.25µm CMOS vs. 90nm CMOS), der aber für die angezielte Nutzung der Technologie kaum ins Gewicht fällt. Ein deutlicher Rückstand i.V. zum IBM-Prozess besteht in der optischen Packaging-Technologie. Anzumerken ist hierzu aber, dass für den Projektzeitraum keine echten Eigenentwicklungen dazu geplant waren.

Ausgehend vom bereits erreichten Entwicklungsstand der Technologie plant das IHP, den Prozess ab Q4/2016 im Early-Access-Modus für MPW-Nutzung anzubieten, d.h. mit einer direkten Verwertung der im Projekt erreichten Ergebnisse zu beginnen.

Weiterhin hatte und hat die Verfügbarkeit des neuen Prozesses enormen direkten Nutzen für weitere, bereits laufende Projekte (z.B. SASER (CATRENE) und MOSAIC (BMBF)) und war auch von außerordentlichem Nutzen bei der Akquisition neuer Projekte (z.B. SPEED (BMBF) und DIMENSION (H2020)).

Im Projektzeitraum sind zahlreiche Publikationen entstanden und wurden Projekt-Ergebnisse bei nationalen und internationalen Konferenzen vorgestellt (siehe dazu Kapitel 3).

Innerhalb der Laufzeit des Projektes wurden keine neuen Schutzrechte erteilt. Eine Patentanmeldung wurde getätigt.

3) Veröffentlichungen mit IHP als Erstautor während der Projektlaufzeit

1) D. Knoll, H.H. Richter, B. Heinemann, S. Lischke, Y. Yamamoto, L. Zimmermann, and B. Tillack, *Substrate Design and Thermal Budget Tuning for Integration of Photonic Components in a High-Performance SiGe:C BiCMOS Process*, in ECS Transactions, 50 (9), 297-303, 2012.
2) S. Lischke, D. Knoll, L. Zimmermann, Y. Yamamoto, M. Fraschke, A. Trusch, A. Krüger, M. Kroh, and B. Tillack, *Low Dark Current Ge PIN Photodiode for a High-Performance, Photonic BiCMOS Process for Radio-over-Fiber Applications*, in Photonics Conference (IPC 2012), IEEE, 628-629, 2012. DOI: 10.1109/IPCon.2012.6358778
3) L. Zimmermann, D. Knoll, S. Lischke, H. Richter, G. Winzer, D. J. Thomson, F.Y. Gardes, Y. Hub, G.T. Reed, B. Goll, H. Porte, K. Voigt , and B. Tillacke, *Modulator integration in high-performance BiCMOS*, in International Conference on Group IV Photonics (GFP 2013), IEEE, 85-86, 2013. DOI: 10.1109/Group4.2013.6644438
4) L. Zimmermann, D.J. Thomson, B. Goll, D. Knoll, S. Lischke, F.Y. Gardes, Y. Hu, G.T. Reed, H. Zimmermann, and H. Porte, *Monolithically integrated 10Gbit/sec Silicon modulator with driver in 0.25µm SiGe:C BiCMOS*, in European Conference and Exhibition on Optical Communication (ECOC 2013). DOI: 10.1049/cp.2013.1441
5) D. Petousi, L. Zimmermann, K. Voigt, and K. Petermann, *Performance Limits of Depletion-Type Silicon Mach–Zehnder Modulators for Telecom Applications*, Journal of Lightwave Technology, 31 (22), 3556-3562, 2013.
6) S. Lischke, B. Wohlfeil, D. Knoll, L. Zimmermann, C. Mai, Y. Yamamoto, S. Marschmeyer, K. Voigt, and B. Tillack, *High-efficiency Grating Couplers for Integration into a High-performance Photonic BiCMOS Process*, in Asia Communications and Photonics Conference (ACP/IPOC 2013), OSA, AW4A.1,

2013.

7) A. Trusch, M. Lisker, Y. Yamamoto, A. Krüger, S. Lischke, D. Knoll, and B. Tillack, *About the application of CMP for Monolithic integration of photonic components in a 0.25 µm BiCMOS process*, in International Conference on Planarization/CMP Technology (ICPT 2014), IEEE, 190-193, 2014. DOI: 10.1109/ICPT.2014.7017277

8) S. Lischke, D. Knoll, L. Zimmermann, A. Scheit, C. Mai, A. Trusch, K. Voigt, M. Kroh, R. Kurps, P. Ostrovskyy, Y. Yamamoto, F. Korndörfer, A. Peczek, G. Winzer, and B. Tillack, *High-Speed, Waveguide Ge PIN Photodiodes for a Photonic BiCMOS Process*, in IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM 2014), 29-32, 2014.

9) D. Knoll, *BiCMOS integration of photonic components*, Open bipolar workshop at IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM 2013), Bordeaux, France, October 2013 (**invited**).

10) D. Knoll, S. Lischke, L. Zimmermann, B. Heinemann, D. Micusik, P. Ostrovskyy, G. Winzer, M. Kroh, R. Barth, T. Grabolla, K. Schulz, M. Fraschke, M. Lisker, J. Drews, A. Trusch, A. Krüger, St. Marschmeyer, H.H. Richter, O. Fursenko, Y. Yamamoto, B. Wohlfeil, K. Petermann, A. Beling, Q. Zhou, and B. Tillack, *Monolithically Integrated 25Gbit/sec Receiver for 1.55µm in Photonic BiCMOS Technology*, in Optical Fiber Communication Conference and Exhibition (OFC 2014), Th4C.4, 2014.

11) L. Zimmermann, *High Performance Photonic BiCMOS – Next Generation More Than-Moore Technology for the Large Bandwidth Era*, ECS Transactions, 64(6), 13, 2014 **(Plenary)**.

12) L. Zimmermann, D. Knoll, S. Lischke, D. Petousi, M. Kroh, G. Winzer, B. Heinemann, P. Ostrovskyy, D. Micusik, M. Lisker, O. Fursenko, S. Marschmeyer, Y. Yamamoto, K. Voigt, B. Wohlfeil, B. Tillack and K. Petermann, *Monolithic Integration of Photonic Devices in SiGe BiCMOS*, in International Conference on Group IV Photonics (GFP 2014), IEEE, ThA1, 102-103, 2014 **(invited)**.

13) L. Zimmermann, D. Petousi, D. Knoll, S. Lischke, H. Richter, G. Winzer, D. J. Thomson, F. Y. Gardes, Y. Hu, G. T. Reed, B. Goll, H. Porte, K. Voigt, K. Petermann, and B. Tillack, *Linear Modulators in Photonic BiCMOS*, in Photonics Conference (IPC 2014), IEEE, TuB3.2, 192-193, 2014 **(invited)**.

14) D. Petousi, L. Zimmermann, A. Gajda, M. Kroh, K. Voigt, G. Winzer, B. Tillack, K. Petermann, *Analysis of Optical and Electrical Tradeoffs of Traveling-Wave Depletion-Type Si Mach Zehnder Modulators for High-Speed Operation*, IEEE Journal of Selected Topics in Quantum Electronics, 21(4), 1-5, 2015.

15) L. Zimmermann, D. Knoll, M. Kroh, S. Lischke, D. Petousi, G. Winzer, Y. Yamamoto, *BiCMOS Silicon Photonics Platform*, in Optical Fiber Communication Conference and Exhibition (OFC 2014), Th4E.5, 2015 **(invited)**.

16) G. Winzer, M. Kroh, S. Lischke, D. Knoll, K. Voigt, H. Tian, C. Mai, D. Petousi, D. Micusik, L. Zimmermann, B. Tillack, and K. Petermann, *Monolithic photonic-electronic QPSK receiver for 28Gbaud*, in Optical Fiber Communication Conference and Exhibition (OFC 2015), M3C.4, 2015. DOI: 10.1364/OFC.2015.M3C.4

17) D. Knoll, S. Lischke, R. Barth, L. Zimmermann, B. Heinemann, H. Rücker, C. Mai, M. Kroh, A. Peczek, A. Awny, C. Ulusoy, A. Trusch, A. Krüger, J. Drews, M. Fraschke, D. Schmidt, M. Lisker, K. Voigt, E. Krune, A. Mai, *High-Performance Photonic BiCMOS Process for the Fabrication of High-Bandwidth Electronic Photonic Integrated Circuits*, in International Electron Devices Meeting (IEDM 2015), 402-405, 2015.

18) A. Awny, R. Nagulapalli, G. Winzer, M. Kroh, D. Micusik, S. Lischke, D. Knoll, G.

Fischer, D. Kissinger, A. Ç. Ulusoy, L. Zimmermann, *A 40 Gb/s Monolithically Integrated Linear Photonic Receiver in a BiCMOS SiGe:C Technology*, IEEE Microwave and Wireless Components Letters, 25(7), 469-471, 2015. DOI: 10.1109/LMWC.2015.2430615

19) S. Lischke, D. Knoll, L. Zimmermann, *Monolithic integration of high bandwidth waveguide coupled Ge photodiode in a photonic BiCMOS process***,** in SPIE Photonics West, 9390, Next-Generation Optical Networks for Data Centers and Short-Reach Links II, 93900F (9 March 2015), 2015 **(invited)**.

20) S. Lischke, D. Knoll, C. Mai, L. Zimmermann, A. Peczek, M. Kroh, A. Trusch, E. Krune, K. Voigt, A. Mai, *High bandwidth, high responsivity waveguide-coupled germanium pin photodiode*, Optics Express, 23 (21), 27213-27220, 2015.

21) D. Knoll, S. Lischke, L. Zimmermann, A. Awny, M. Kroh, A. Peczek, K. Voigt, and K. Petermann, *Fabrication of High Bit Rate, Monolithically Integrated Receivers in Photonic BiCMOS Technology*, in International Conference on Group IV Photonics (GFP 2015), IEEE, ThF5 (2015).

22) D. Knoll et S. Lischke, A. Awny, M. Kroh, E. Krune, C. Mai, A. Peczek, D. Petousi, S. Simon, K. Voigt, G. Winzer, R. Barth, and L. Zimmermann, *High-Performance BiCMOS Si Photonics Platform*, in IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM 2015), 88-96, 2015 **(invited)**.

23) S. Lischke, D. Knoll, C. Mai, A. Peczek, K. Voigt, E. Krune, K. Petermann, L. Zimmermann, and A. Mai, *High-Bandwidth, Waveguide-Coupled Ge p-i-n Photodiode with High C- and L-Band Responsivity*, in International Conference on Group IV Photonics (GFP 2015), IEEE, WD4 (2015).

24) L. Zimmermann, D. Knoll, and B. Tillack, *FEOL Integration of Silicon- and Germanium-Based Photonics in Bulk-Silicon, High-Performance SiGe:C-BiCMOS Processes*, Photonics and Electronics with Germanium, Wiley Verlag, 5, 101 (2015) **(Book chapter)**.

25) D. Knoll, S. Lischke, A. Awny, M. Kroh, E. Krune, C. Mai, A. Pecsek, D. Petousi, S. Simon, K. Voigt, G. Winzer, and L. Zimmermann, *BiCMOS Silicon Photonics Platform for Fabrication of High-Bandwidth Electronic-Photonic Integrated Circuits*, in IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF 2016), IEEE, 46-49 (2016) **(invited)**. DOI: 10.1109/SIRF.2016.7445464

26) EUROPRACTICE “Silicon Photonics Seminar” by IHP; Erlangen, Germany, May 2014

Berichtsblatt

1. ISBN oder ISSN	2. Berichtsart (Schlussbericht oder Veröffentlichung) Schlussbericht
3. Titel From RF to MMW and THz Silicon SOC Technologies - RF2THzSiSoC - Teilprojekt: Hochperformante photonische HF-Technologie	
4. Autor(en) [Name(n), Vorname(n)] Knoll, Dieter Ostrovskyy, Pylyp Zimmermann, Lars	5. Abschlussdatum des Vorhabens 30.09.2015
	6. Veröffentlichungsdatum
	7. Form der Publikation
8. Durchführende Institution(en) (Name, Adresse) IHP Im Technologiepark 25, 15236 Frankfurt (Oder), Deutschland	9. Ber. Nr. Durchführende Institution
	10. Förderkennzeichen 16BT1209
	11. Seitenzahl 32
12. Fördernde Institution (Name, Adresse) Bundesministerium für Bildung und Forschung (BMBF) 53170 Bonn	13. Literaturangaben
	14. Tabellen 3
	15. Abbildungen 56
16. Zusätzliche Angaben	
17. Vorgelegt bei (Titel, Ort, Datum)	

18. Kurzfassung

Stand Wissenschaft und Technik: Silizium-basierte photonische Komponenten („Si-Photonik“) sind Gegenstand zahlreicher Forschungs- und Entwicklungs-Aktivitäten auf dem Gebiet der optischen Kommunikationstechnologie. Das große Potential der Si-Photonik resultiert vor allem aus deren Kombination mit moderner, Si-basierter Elektronik, wobei die Verbindung bisher meist durch hybride Integration erfolgt.

Ziele: Entwicklung einer sogenannten photonischen BiCMOS-Technologie, die Komponenten der Si-Photonik mit einem Hochleistungs-SiGe-BiCMOS-Prozess mittels monolithischer Integration kombiniert. Nachweis des Erfolges der Technologie-Entwicklung durch verschiedene integrierte Schaltungen, die wesentliche photonische und elektronische Komponenten enthalten.

Methode: Entwicklung Si-basierter photonischer Komponenten (z.B. Koppler, Wellenleiter, Fotodioden, Modulatoren) und deren modulare Integration in einen qualifizierten Hochleistungs-SiGe-BiCMOS-Prozess.

Ergebnisse: In enger Zusammenarbeit mit der TU Berlin wurde ein photonischer BiCMOS-Prozess entwickelt, der zum ersten Mal Komponenten der Si-Photonik mit einem Hochleistungs-SiGe-BiCMOS-Prozess mittels monolithischer Integration kombiniert. Wichtige Photonik-Komponenten, wie z.B. Wellenleiter und Grating-Koppler werden im integrierten Prozess mit Eigenschaften hergestellt, die dem Stand der Technik entsprechen, während die integrierten Ge-Fotodioden eine Kombination von Bandbreite, Responsivität und Dunkelstrom zeigen, die den bisherigen Stand der Technik (auch den für nicht-integrierte Ge-Fotodioden) übertrifft. Realisierte Empfängerschaltungen mit bis zu 40Gb/s-Operation demonstrieren den Erfolg der Technologie-Entwicklung.

Schlussfolgerungen: Die bereits erhaltenen Schaltungs-Ergebnisse zeigen das große Anwendungspotential des entwickelten Prozesses. Die schon erreichte Reife des Prozesses gibt Hoffnung zum baldigen Start einer direkten Verwertung der Projekt-Ergebnisse (MPW-Nutzung der entwickelten Technologie).

19. Schlagwörter BiCMOS-Technologie, SiGe Hetero-Bipolar-Transistor, Si-Photonik, Hochgeschwindigkeits-Fotodioden, Integrierte Empfänger	
20. Verlag	21. Preis

Document Control Sheet

1. ISBN or ISSN	2. type of document (e.g. report, publication) Final report
3. title From RF to MMW and THz Silicon SOC Technologies - RF2THzSiSoC - Teilprojekt: High-performance photonic BiCMOS technology	
4. author(s) (family name, first name(s)) Knoll, Dieter Ostrovskyy, Pylyp Zimmermann, Lars	5. end of project 30/09/2015 6. publication date 7. form of publication
8. performing organization(s) (name, address) IHP Im Technologiepark 25, 15236 Frankfurt (Oder), Deutschland	9. originator's report no. 10. reference no. 16BT1209 11. no. of pages 32
12. sponsoring agency (name, address) Bundesministerium für Bildung und Forschung (BMBF) 53170 Bonn	13. no. of references 14. no. of tables 3 15. no. of figures 56
16. supplementary notes	
17. presented at (title, place, date)	
18. abstract Status science and technology: Silicon based photonic components are subject of numerous research and development activities in the field of optical communication technology. The great potential of Si photonics results mainly from its combination with advanced, Si-based electronics, where hybrid integration is mostly applied so far for linking photonics to electronics. Objective: Development of a novel photonic BiCMOS technology, which combines, by monolithic integration, Si-based photonic components with a high-performance SiGe BiCMOS process. Proof of success of the technology development by functional integrated circuits comprising essential photonic and electronic devices. Method: Development of Si-based photonic components, such as couplers, waveguides, photodetectors, and modulators, and their modular integration in a qualified, high-performance SiGe BiCMOS baseline process. Results: In close co-work with TU Berlin, a novel photonic BiCMOS process was developed, combining for the first time by monolithic integration Si-based photonic components with a high-performance SiGe BiCMOS process. Essential photonic components, such as couplers and waveguides, can be fabricated with state-of-the-art performance. The integrated Ge pin photodiodes even show a combined performance in terms of bandwidth, responsivity and dark current which has been never demonstrated before. Fabricated receiver circuits with up to 40Gb/s functionality demonstrate the success of the technology development. Conclusions: The already demonstrated circuit results show the great application potential of the developed process. Considering the actual process development status, there are good chances for an early start of direct exploitation of our project results (by offering the new technology for MPW use)	
19. keywords BiCMOS technology, SiGe HBT, Si photonics, high-speed photodiode, integrated receivers	
20. publisher	21. price