TEILVORHABEN

Machbarkeitsstudie zum Wafer Level Packaging des XSR-FMC Mikrocontrollers

Förderkennzeichen: 16ES1042
Laufzeit: 14.10.2019 bis 31.05.2024 (Neu)

Rahmenprogramm der Bundesregierung für Forschung und Innovation 2016-2020
„Mikroelektronik aus Deutschland – Innovationstreiber der Digitalisierung“

im Rahmen des Gesamtvorhabens/Verbundprojekt

XSR-FMC

eXtra-Low Power, Secure & Reliable Flash Memory Controller

Verbundnummer ES2PENC3/03 (01.09.20 – 31.05.24)
PENTA Call 3

Abschlussbericht - Fraunhofer IZM

Berichtszeitraum: 14.10.2019 bis 31.05.2024

Partner:	Kontaktperson:
Fraunhofer IZM Gustav-Meyer-Allee 25 13355 Berlin	Dr. Charles-Alix Manier Charles-alix.manier@izm.fraunhofer.de Tel.: 0049 30 46403 612

Abschlussbericht (2024)

zum Teilvorhaben:

Machbarkeitsstudie zum Wafer Level Packaging des XSR-FMC Mikrocontrollers

Zuwendungsempfänger: Fraunhofer-Gesellschaft für ihr Institut

Fraunhofer-Institut für Zuverlässigkeit und Mikrointegration IZM

Förderkennzeichen: FKZ: 16ESE1042

Berichtszeitraum: 01.09.2020 bis 31.12.2023

Laufzeit des Teilvorhabens: 14.10.2019 bis 31.05.2024 / NEU (Alt: 13.10.2022)

EU Penta Laufzeit: 01.09.2019 – 31.05.2024 / NEU (Alt: 31.08.2022)

Teil I: Kurzbericht

Aufzählung der wichtigsten wissenschaftlich-technischen Ergebnisse und anderer wesentlicher Ereignisse (maximal 1/2 Seite!).

Das vorliegende Teilvorhaben startete ursprünglich mit der Absicht, eine Evaluierung von Wafer Level Packaging mit Fan-Out Technologie (FOWLP) für Single Chip FO-Package auf Basis von IP-MPW Einzelchip durchzuführen (d.h. erste Chip-Fassung mit allen notwendigen Einzel-Blockfunktionen aller IP-Partners für das anvisierten XSR-FMC Mikrokontroller). Die Fan-Out technologische Arbeiten sollten in Synergie mit thermo-mechanischen Simulationen unterstützt sein. Jedoch verzögert der IC-Design für den IP-MPW-Chip, insbesondere aufgrund der Komplexität, die durch die Integration der verschiedenen IPs (Einzelfunktionen) aus unterschiedlichen Partnerquellen in einem Testchip entstand. In der Folge brachte jeder IP-Partner im Rahmen des FPP-Programms seinen eigenen Einzelchip über verschiedene MPW-IC-Shuttles in die Herstellung ein. Dadurch kam es nicht zur Fertigung eines gemeinsamen IP-MPW-Siliziumchips, der für die geplanten Packaging-Aktivitäten erforderlich gewesen wäre.

In parallel erwies sich auch die Zukunftsperspektive der FOWLP-Technologie für den vorliegenden Anwendungsfall als momentan nicht zielführend bzw. wurde neubewertet, insbesondere im Hinblick auf ihr Potential für ein Upscaling in SiP-Integration (System-in-Package), also die Vereinigung von Mikrocontroller und Speicherbaustein in einem FOWLP-Package. Grundlage der Neubewertung war die problematische Integration von Speicherbausteinen in ein FO-SiP. Diese ist in der derzeit verfügbaren Technologie fragwürdig, da hochdichte Speicherkapazitäten nicht in einem einzelnen nackten Chip kaum realisierbar sind und die derzeitige begrenzte maximale Temperaturtoleranz von Flash-Speichern mit den Anforderungen des FOWLP-Packaging-Prozesses inkompatibel ist.

Aus diesen beiden Hauptgründen wurde der FOWLP Ansatz durch „Thin Chip Flex Embedding“ ersetzt, wobei eine entsprechende Änderungsbeantragung und Mittelumwidmung

(FOWLP-Subcontracting wurde in das MM umgewidmet) erfolgte. Dies ermöglichte das Parallelisieren / die Entkopplung der Chip-Design Entwicklung im EU PENTA FPP und die hier explorative Packaging-Machbarkeit in Wafer Level Flex-Technologie mit bereitexistierendem Mikrokontroller Chip, ohne die Bereitstellung von IP-MPW Chips warten zu müssen.

Die technischen Arbeiten für das Thin Chip Flex Embedding wurden erfolgreich mit einem vorhandenen Chip (S9-Mikrocontroller von Hyperstone/Swissbit) umgesetzt. Dabei wurden zwei Flex-Topologien – „Chip First“ und „Chip Middle“ – auf Basis eines SD-Karten-Layouts von Swissbit erarbeitet. Zudem wurde ein passiver Test-Chip definiert, entsprechende Prozesse in einem Prozess-Flow implementiert und durchgeführt sowie eine Bewertung basierend auf elektrischen Messungen der passiven Teststrukturen des Test-Chips vorgenommen.

Diese WLP-Arbeiten (Wafer-Level-Packaging) sind explorativ und dienen der Untersuchung sowie Machbarkeitsprüfung neuer Packaging-Prozesse und deren Kombinationen für das Einfügen gedünnter Bauteile (sowohl aktive, d.h. Halbleiter, als auch passive Komponenten) innerhalb von Umverdrahtungslagen.

In Zusammenarbeit mit Hyperstone wurden Fragestellungen zu den thermo-mechanischen Aspekten eines Single-Die-Packages des Mikrocontrollers („Mikrocontroller only“) untersucht. Hierbei handelt es sich um eine produktnahe Topologie von Swissbit. Simulationsarbeiten betrachteten Verwölbung und mechanische Spannungen sowohl im Standalone-Package als auch in der Konfiguration, wie sie auf einem realen Systemboard montiert wäre.

2) Vergleich des Stands des Vorhabens mit der ursprünglichen (bzw. mit Zustimmung des ZG geänderten) Arbeits-, Zeit- und Kostenplanung.

☒* Das Vorhaben liegt im Wesentlichen innerhalb der ursprünglichen (bzw. mit Zustimmung des ZG geänderten) Arbeits-, Zeit- und Kostenplanung.

☐* Eine Anpassung des Arbeitsplans wird erforderlich (Erläuterung erforderlich).

☐* Es sind zeitliche Verzögerungen aufgetreten (Erläuterung erforderlich).

☐* Es sind Mehr- oder Minderausgaben aufgetreten (Erläuterung erforderlich).

Nein, Verzögerung bei IP-MPW Chipfassung (Design, TapeOut, ASIC Fertigung, Bereitstellung für Packaging) betreffen nicht mehr den beiliegenden TVB.

Durch bewilligten Antrag-Änderung und Projektverlängerung wurden die Arbeiten neu definiert und ausgelegt. Aus dieser neuen Sicht lagen die TVB Arbeiten in Plan.

3) Haben sich die Aussichten für das Erreichen der Ziele des Vorhabens innerhalb des angegebenen Berichtszeitraums gegenüber dem ursprünglichen Antrag geändert (Begründung)?

☒* Die Aussichten für das Erreichen der Ziele des Vorhabens haben sich gegenüber dem Zeitpunkt der Antragstellung nicht verändert.

☐* Die Aussichten für das Erreichen der Ziele des Vorhabens haben sich geändert (Erläuterung erforderlich).

Gegenüber der bewilligten Antrag-Änderung haben sich die Ziele nicht geändert.

4) Sind inzwischen von dritter Seite FuE-Ergebnisse bekannt geworden, die für die Durchführung des Vorhabens relevant sind?

☒* Nein

☐* Ja (Erläuterung erforderlich)

5) Sind oder werden Änderungen in der Zielsetzung notwendig?

☒* Nein

☐* Ja (Erläuterung erforderlich)

2022 bewilligte Antrag Änderung: anstelle des Testens des Fan-Out Wafer Level Packaging wurde eine Evaluierung in Wafer Level Packaging der Thin Chip Flex-Embedding Technologie durchgeführt – Neuheit und technologisches Neuland. Entwicklung mit vollfunktionalen IC-Baustein anstelle IP-MPW chip.

6) Jährliche Fortschreibung des Verwertungsplans. Diese soll, soweit im Einzelfall zutreffend, Angaben zu folgenden Punkten enthalten:

☐* Im Berichtszeitraum wurden auf Basis der Ergebnisse des Vorhabens Schutzrechte angemeldet, erteilt oder eine Anmeldung vorbereitet (Erläuterung erforderlich).

Nein relativ zu bewilligter Antrag-Änderung

☐* Im Berichtszeitraum sind Änderungen der wirtschaftlichen Erfolgsaussichten nach Projektende gegenüber der Darstellung im Antrag aufgetreten (Erläuterung erforderlich).

Nein relativ zu bewilligter Antrag-Änderung

☐* Im Berichtszeitraum sind Änderungen der wissenschaftlichen und/oder technischen Erfolgsaussichten nach Projektende gegenüber der Darstellung im Antrag aufgetreten (Erläuterung erforderlich).

Nein relativ zu bewilligter Antrag-Änderung

☐* Im Berichtszeitraum sind Änderungen der wissenschaftlichen und wirtschaftlichen Anschlussfähigkeit gegenüber der Darstellung im Antrag aufgetreten (Erläuterung erforderlich).

Nein relativ zu bewilligter Antrag-Änderung

Teil II: Ausführlicher Sachbericht

AP1. Konzept, Spezifikationen, Training und Environment Setup

(WP1 Concept, Specifications, Training and Environment setup)

Task 1.3 Klärung der Systemanforderungen mit Flash-Anbietern & Task 1.5 Detaillierte Spezifikationen

Das Teilvorhaben sah vor seitens IZM, die explorative Machbarkeit eines Wafer-level basierten Packaging des XSR-FMC Mikrokontroller Chip durch Fan-Out Wafer Level Packaging (FOWLP) zu entwerfen und letztendlich über die Europractice Plattform zu verwirklichen.

Möglichst sollten Schnittstellen in diesem Task definiert werden, was die Packaging Anforderungen betrifft (elektrisch, mechanisch, IO Anzahl, Chip-Floorplan, top Passiervierung, pad finish, Alignment Marks auf Wafer und Chip). Weitere typische Spezifikationen sind z.B. Anzahl der realisierbaren RDL Lagen, minimale Dimensionen von Leitungen und Leitungsabständen, sowie maximale thermische Verlustleistungen, Randbedingungen und Belastungsszenarien. Diese Spezifikationen sind der Ausgangspunkt für die Arbeiten in AP3, für Packaging-Simulation und WL Prozess-durchführung.

Da der finale funktionstüchtige Silizium-Baustein (POC (proof-of-concept) Mikrokontroller) erst ganz am Ende des Gesamt Penta-Projektes ins fungierten Mikrokontroller Chip umgesetzt sollte, war es vorgesehen, die Packaging-Arbeiten auf dem Level von sogenannten IP-MPW Testchips durchzuführen.

Der IP-MPW Chip sollte erst von allen IP-Inhaber (Secure Element, PCIe, etc) entworfen werden und die notwendige Funktionsblöcke mitbringen. Diese erste Chip-Version sollte eine erste Test-Version bilden, worauf die einzelnen unterschiedlichen IP-Blöcke noch als „Standalone“ auf Chip-Level sind und noch nicht in Form eines Mikrokontrollers für Betrieb von Flash-Speicher zusammenfungiert sind. Der IP-MPW Chip sollte alle notwendigen IP-Funktionen im Front-End enthalten, die letztendlich ins späteren funktionalen XSR-FMC Mikrokontroller fusionieren sollen.

Dennoch im Lauf des Projektes aufgrund höchster Komplexität sind die IP-MPW bezogenen Aktivitäten bei vielen Partner stark bzw. unterschiedlich verspätet gewesen.

Hierdurch konnte die Frist zum vorgesehen Fan-out MPW Shuttle nicht eingehalten werden.

Dazu konnte kein IP-MPW Chip generiert werden. Anstelle ein gemeinsame IP-MPW Chip mit allen wichtigen Einzel-Funktionen haben die IP Inhaber sich entschieden, ihr eigenen Chip für ihre eigenen Funktion/IP in MPW-Shuttle umzusetzen, sodass kein einheitliche Chip sondern verschiedene Einzel-Chips entstanden und zwar zeitversetzt.

Aus diesen Gründen mussten die Aktivitäten zu Wafer Level Packaging auf einen bestehenden Chip umorientiert werden, der S9-Mikrokontroller von Hyperstone in Nutzung in Swissbit-Produkten.

Wegen Limitierungen (Verfügbarkeit, technischen Aspekten) an Flash-Memories ist das Interesse an FOWLP Evaluation vom Projektkoordination im Projektlaufzeit gering geworden.

1. Es stellte ja sich heraus, neu kompakten bzw. hochintegrierte Flash Chips, u.a. 3D-Nand, mit höchster Speicherkapazität in Einzelbaustein, erreichen nicht die notwendige Markreife bzw. bleiben eine beschränkte Nische – mit entsprechenden Kosten und Seltenheit.
2. Die heutige Flash Technologie ist auch begrenzt seitens neue Packaging Topologien, z.B. hinsichtlich Temperaturbeständigkeit gegenüber herkömmlichen Prozesstemperaturen in FOWLP (z.B. Prozess-Temperaturen von Polymeren für Umverdrahtungen). Hierbei wäre die Funktionalität der Flashspeicher höchstwahrscheinlich gefährdet gewesen.
3. Hierzu könnte ein System-in-Package basierend auf FOWLP nicht Flashmemory IC in deren heutiger Fassung in einem vernünftigen Floorgröße planar zusammenschalten, der Vielzahl ein benötigten EinzelChip Memories würde hierbei die Package Größe in unsinnigen Umfang treiben. Hierdurch verliert die FOWLP bei dem Segment der Flashmassenspeicher zurzeit an Attraktivität.

Daher wurde das ganze FOWLP verworfen/zurückgezogen und ist durch Thin Chip Flex Embedding ersetzt worden. An der Stelle wurde ein existierender verfügbarer funktionaler Chip von Hyperstone („S9“ Mikrokontroller Chip) für die Packaging Aktivitäten verwendet.

Das Thin Chip Flex Embedding ist aus technologischer Sicht von großem Interesse und bietet zahlreiche Vorteile:

a. **Hochpräzise Strukturierung**: Es ermöglicht eine präzisere und feinere Strukturierung von Vias und Routing-Leitungen (High-Density-Prozessierung) durch den Einsatz von Wafer-Masken oder Direktbelichtung mittels Lithografie und semi-additiven Prozessen. Dies stellt einen deutlichen Vorteil gegenüber der herkömmlichen PCB-Fertigung dar.

b. **Ähnliche Design-Richtlinien wie FOWLP**: Die Strukturgrößen, Designregeln und die Prozessierung der Umverdrahtungslagen sind vergleichbar mit denen von Fan-Out Wafer-Level Packaging (FOWLP).

c. **Kurze Leiterbahnen**: Wie bei FOWLP ermöglicht das Thin Chip Flex Embedding kurze Leiterbahnen, die direkt an den IC elektrisch angeschlossen werden, ohne zusätzliche Zwischenelemente wie Bumps oder Drahtbonds.

d. **Beidseitige Schnittstelle**: Die Technologie erlaubt einen beidseitigen Zugang, etwa für Kühlung oder für die elektrische Weiterverarbeitung (nächste Integrationsebene).

e. **Flexibles und dünnes Package**: Die entstehenden Packages sind flexibel und extrem dünn, was eine geringe thermische Trägheit mit sich bringt.

f. **Integrierte Kühlpads und Schilde**: Kupfervias und Metallfläche können als Kühlpads oder Schirmung direkt über oder unter dem dünnen IC integriert werden.

g. **Vielseitigkeit**: Die Technologie bietet vielseitige Integrationsmöglichkeiten, z. B. die Montage von nackten Speicher-Chips (Memory Dies) oder vorverpackten Bauteilen (Flip-Chip oder Wirebonding) auf der Flex-Außenseite.

h. **Integration von vorverpackten Flash-Speichern**: Marktverfügbare vorverpackte Flash-BGAs (z. B. VFBGA-Speicher) können auf der Flex-Außenseite montiert und an den im Flex eingebetteten Mikrocontroller angeschlossen werden.

i. **Sicherheit durch Einbettung**: Der IC wird direkt in die Flex-Lagen integriert und zwischen Kupferschichten verborgen. Dadurch könnte er besser vor externen Hacking-Angriffen geschützt.

Der Zugang zu vollfunktionsfähigen IC-Chips im Rahmen eines geförderten Projekts stellt einen entscheidenden Vorteil und Mehrwert für das Teilvorhaben dar, insbesondere im Vergleich zum ursprünglichen Antrag. Dies bietet dem Fraunhofer IZM die Gelegenheit, die Flex-Technologie weiter zu erproben, zusätzliche Prozesseinsichten zu gewinnen und die Technologie dadurch auf ein höheres Reifegradniveau zu bringen.

Durch diese Anpassung wurden die Wafer-Level-Packaging-Arbeiten vollständig von der Zeitschiene des IP-MPW entkoppelt. Anstatt in einer Warteschleife auf die Bereitstellung hypothetischer IP-MPW-Chips zu verharren – deren Verfügbarkeit zu Projektbeginn (Stand: Ende 2021) zeitlich ungewiss war und mit dem hohen Risiko kumulativer Verzögerungen behaftet war – ermöglichte der Wechsel zu bereits verfügbaren vollfunktionsfähigen IC-Chips eine Parallelisierung der Prozessarbeiten zur IP-MPW-Zeitschiene.

Dies schuf die Voraussetzung, den Zeitplan des XSR-FMC-Projekts einzuhalten. Ein angepasster Zeitplan wurde daraufhin erstellt und im Rahmen der Antragsänderung eingereicht.

AP2. Bibliotheken und IPs Implementierung / Tapeout IP-MPW

(WP2 Libraries and IPs implementation / Tapeout IP-MPW)

FhG-IZM nicht beteiligt.

AP3. IP Validierung, mock FOWLP, POC_MPW design und Tapeout

(WP3 IP validation, mock FOWLP, POC_MPW design and tapeout)

Task 3.7: Package Spezifikationen, Guidelines, Packaging Machbarkeitsstudie

Task 3.7.1 Entwurf des Package Design hinsichtlich Packaging-Prozessierung am Fraunhofer IZM

NEU: T3.7.2 Prozess-Entwicklung Integration Mikrokontroller in Thin Chip Flex-Embedding (nach Antrag-Änderung 2022)

~~***& Task 3.7.2 Prozessierung FOWLP mit IP-MPW Flashcontroller Chips***~~
=> Task durch Antragsänderung abgebrochen und geändert

~~***& Task 3.7.3 Technischer Support/Beratung auf Packaging-Optionen***~~

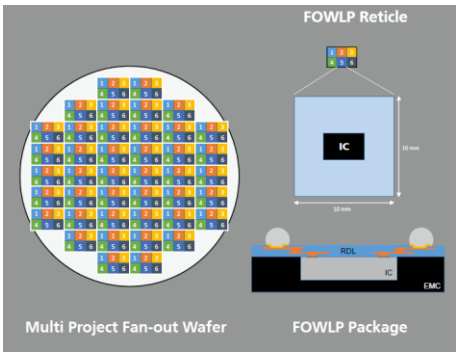
=> Task Abbruch durch Antrag-Änderung 2022

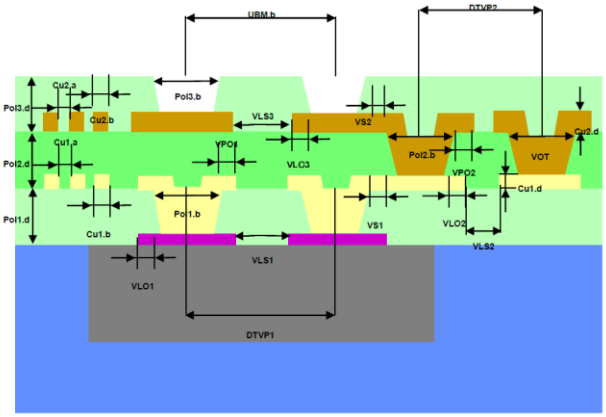
3.7.1 Design für WLP

A. FOWLP Vorgaben

Erst hätte der IP-MPW Design seitens Front-End fertig und vorgelegt sein müssen mit den jeweiligen Pin-Out sowie Pad Kontakten (Pad-Ring?) von den IP-Inhaber und Hyperstone definiert und auf Basis der Chip Fabrikation Design-Rules von Globalfoundries, hinsichtlich der IP-MPW Fertigung bei Globalfoundries.

Sobald ein erster Pad Array definiert gewesen wäre, hätte die Kompatibilität zur FOWLP Design-Rules überprüft sein können. Hierfür sind erste FOWLP Design rules (Abbildung 1) im Vorfeld an Hyperstone mit dem Zweck zur Berücksichtigung zu Verfügung gestellt (2020-07-24 Design rules IZM_Europractice.pdf).





Rule#	describtion	typical Value
Pol1.d	Polymer layer 1 thickness	7
Pol2.d	Polymer layer 2 thickness	7
Pol3.d	Polymer layer 3 thickness	14
CP.a	Chip Pad width	
Pol1.b	Polymer layer 1 eVIA diameter	>35
Pol2.b	Polymer layer 2 eVIA diameter	>45
Pol3.b	Polymer layer 3 eVIA diameter	>80
VLO1	Via Land Overlap	>5
VLS1	Via Land Spacing	Tbd.
Note:	*No eVIA at chip edge*	

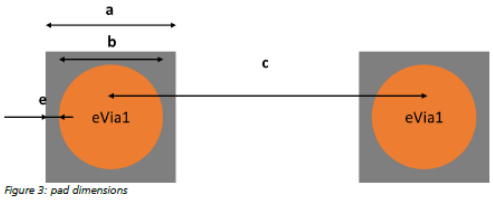


Figure 3: pad dimensions

Rule#	describtion	Value
Cu1.d	Cu layer 1 thickness	3
Cu2.d	Cu layer 2 thickness	8
Cu1.a	Cu line space (layer 1)	>=10
Cu2.a	Cu line space (layer 2)	>=20
Cu1.b	Cu line width (layer 1)	>=10
Cu2.b	Cu line width (layer 2)	>=20
Cu.α	Cu line angle	45
Cu.r	Cu line bending radius	tbd.
Cu.e	Cu line edge bending radius	tbd.
Cu.f	Polymer eVia to Cu enclosure (Cu pad)	10
VPO1	Via Pad Overlap	>5
VPO2	Via Pad Overlap	>5
VLS2	Via Land Spacing	>10
VLS3	Via Land Spacing	>10
VS1	Via Spacing	20
VS2	Via Spacing	20
VLO2	Via Land Overlap	tbd.
VLO3	Via Land Overlap	tbd.
DTVP1	Distance to Via Pads (layer 1)	>20+Pol1.b
DTVP2	Distance to Via Pads (layer 2)	>20+Pol2.b

Abbildung 1: Europratice Multi-Project Fan-out Wafer (Oben-links) und Auszug der zur Verfügung gestellten FOWLP Basis Design Rules für Polymer-lagen (unten-links) und Cu Metallagen (unten-rechts) (V0.4, Stand Aug. 2020)

Dennoch ist der FOWLP Ansatz mit IP-MPW Chip (siehe bitte Task 1) zurückgezogen und durch Thin Chip Flex Embedding von dem S9 Mikrokontroller (Abbildung 2) von Hyperstone ersetzt worden.

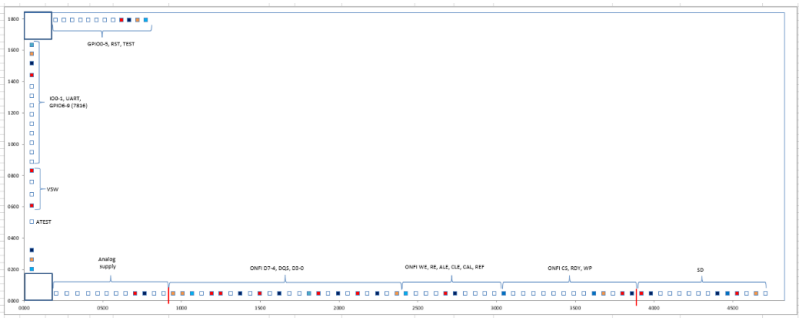


Abbildung 2: Screenshot S9 Mikrokontroller, Quelle Hyperstone/Swissbit.

B. Generelles zum Flex-Design

Da weder spezifische Schalt- und Umverdrahtung-Designs für den S9 Chip zur Verfügung standen noch Ressourcen hierfür eingeplant waren, wurde ein für den S9 geeigneter PCB Design als Basis-Layout von Swissbit (SD-Card Layout eines Produkts, Größe 21x13 mm) verwendet (Abbildung 3) und für den Zweck des Thin Chip Flex Embedding angepasst.

Der SD-PCB beinhaltet zwei Metalllagen, ein Core-Lage mit Vias, sowie zwei Lötstoppmasken auf den oberen und unteren PCB-Flächen (Abbildung 3).

Das Flex-Design soll dem PCB-basierten Swissbit-Produkt möglichst ähnlich sein (gleiche Footprint, gleiche Position der Komponenten), um später einen Funktionsvergleich bzw. ein Benchmarking bei dem Partner Hyperstone/Swissbit mit der aktuellen PCB-Lösung von Swissbit durchführen ermöglichen zu können. Ziel wäre der Vergleich zwischen einen Mikrocontroller-Chip als "Chip-in-Flex" (Flex-Ansatz; IZM) und in der Standardtechnologie (Die-Attach und Wire-Bonding auf PCB; Swissbit).

Dafür sollen die benötigten Flashspeicher Memories nach Fertigstellung der S9-in-Flex bei Swissbit auf der Oberseite des Flex mit existierenden Flash-Packaging Prozess @ Swissbit, d.h. state-of-the-art (die attach stagering, WireBonding) montiert werden. (Das Prozessieren von Memories in Hardware war ursprünglich nicht im Antrag vorhanden und ähnliche Problematik mit FOWLP seitens der Memories - weder Höchstdichte noch prozess-kompatibel).

Deswegen basieren die Flex-Designs allgemein auf:

- Dem S9 Mikrokontroller (siehe Abbildung 2)
- und dem für den S9-Mikrokontroller geeigneten PCB-Design als Basis-Layout (SD-Karten-Layout eines Produkts von Swissbit, Größe 21x13 mm, siehe Abbildung 3)

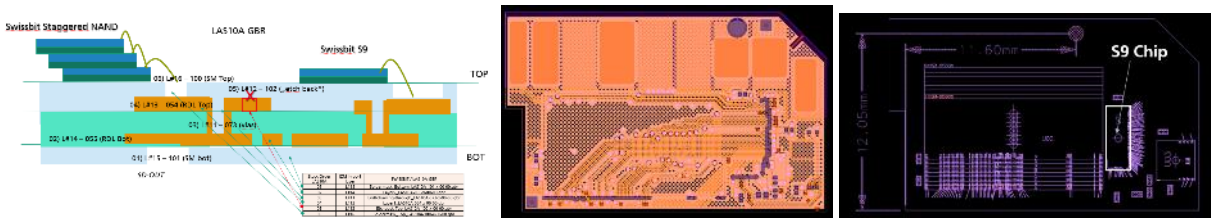


Abbildung 3: S9 SD-Card PCB von Swissbit: Nachbau des PCB-Aufbau (links) und PCB-Layout (Mitte) und S9 Position auf PCB (rechts)

Auf Basis des SD-Karten-PCB-Layouts von Swissbit wurden zwei Flex-Topologien entworfen. Der Flex beinhaltet selber 4 strukturierten galvanisch-abgeschiedenen Kupfer Metall-Lagen (Bottom Metallisierung für SD Pads, Redistributionslage #1 (RDL1), Redistributionslage #2 (RDL2), Top Metallisierung für Passiven, Speicher-Bausteinen und weitere Komponenten), die mit 3 Isolationslagen (d.h. dünnen Polymerlagen) voneinander elektrisch isoliert sind. Die Metalllagen sind mittels in Polymer strukturierten Vias elektrisch verbunden/ankontaktiert.

Die zwei Varianten/Topologien sind konzeptuell in der Abbildung 4 dargestellt und unterscheiden sich prinzipiell durch die Einbett-Lage des S9-Chips und zwar wie folgt:

- Bei der Flex Variante „A“ / Chip-First wird der Chip über die erste Metall-Lage, womit die SD-Kontakte hergestellt werden, eingebracht und die beiden Kupfer-Umverdrahtungslagen über den Chip prozessiert.
- Bei der Flex Variante „B“ / Chip-Middle wird der Chip zwischen den zwei Kupfer-Umverdrahtungslagen eingebracht.

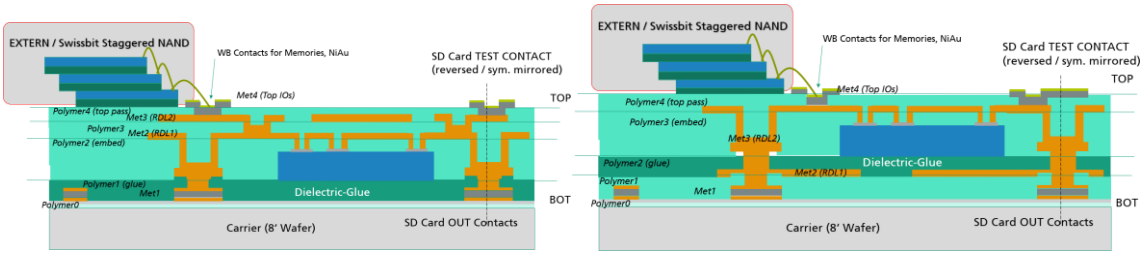


Abbildung 4: Chip-First “Flex A” (Links) und Chip-Middle “Flex B” (Rechts)

Es muss an der Stelle unterstrichen werden, dass die Wafer-Level-Flex-Technologie im Vergleich zur PCB-Technologie wesentlich feinere Strukturen ermöglicht, beispielsweise Kupferleiterbahnen mit Breiten im Bereich von 5 µm. Dennoch konnte innerhalb des Konsortiums kein Systemlayout entwickelt werden, das gleichzeitig für die Flex-Technologie, den S9-Mikrocontroller, die Swissbit-Speicherbausteine und den elektrischen Testbench geeignet ist. Daher wurden die Flex-Substrate im SD-Karten-Format gestaltet, großflächig ähnlich wie herkömmliche PCBs. Aufgrund der projektbedingten Randbedingungen trägt die Flex-Technologie in diesem spezifischen Fall somit nicht sichtbar zu einer flächigen Miniaturisierung bei.

Nach Fertigstellung der Thin Chip Flex Embedding ist es anvisiert, der S9-Flex (mit integrierten S9 Chip) bei Swissbit nachzuprozessieren, um den Memory-Stack auf dem Flex und Rest-Elektronik (ua. Kapazitäten), wie bei dem PCB SD-Card anzubringen und mittels Drahtbond an dem S9-Flex anzukontaktieren.

C. Test-Vehicle Chip IZM (passive Test-Vehicle)

Zusätzlich wurde auf Basis des Pad-Layouts des funktionalen S9-Mikrocontrollers ein passives Test-Vehicle-Chip (TV-Chip) entwickelt. Dieser TV-Silizium-Chip weist die gleiche Bauform und den gleichen Formfaktor auf wie der S9-Chip und enthält ein ähnliches Pad-Layout (Abbildung 5). Diese Nachbildung umfasst passive Teststrukturen, wie Daisy-Chain- (DC) und Kelvin-(K)-Teststrukturen, die für das passive Testen der Chip-Integration in das Flex-Substrat vorgesehen sind.

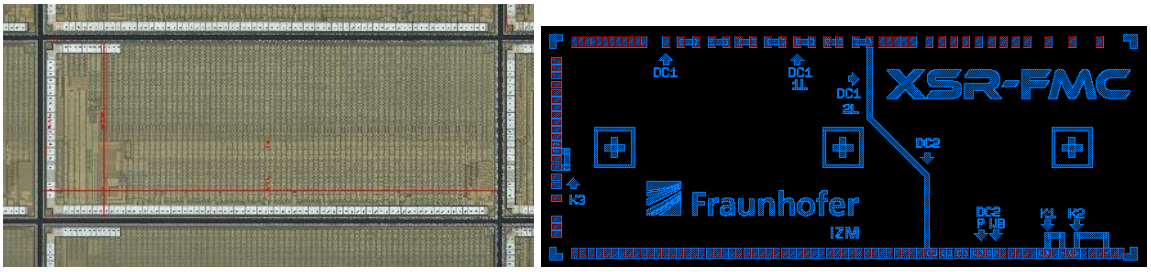


Abbildung 5: S9 Chip (links) und Test-Vehicle Chip (rechts)

Dieser TV-Chip wurde gleichzeitig mit dem S9-Mikrocontroller in den Flex-Wafer integriert und prozessiert. Die Umverdrahtungslagen des Flex-Substrats wurden speziell für die Integration dieses TV-Chips dediziert angepasst.

Die Teststrukturen verbinden den TV-Chip mit den Umverdrahtungslagen des Flex-Substrats und dienen sowohl zur Begleitung der Flex-Prozessdurchführung als auch zum Testen nach Abschluss der Flex-Fertigung.

Diese Chip-in-Flex-Test-Vehicles können prinzipiell auch für passive Zuverlässigkeitstests, wie thermische Alterung und thermische Zyklen, weiterverwendet werden.

D. Flex-Wafer Layout

Letztendlich sind vier verschiedenen Flex-Layouts (Chip First & Middle für S9 Chip & IZM-TV Chip) entstanden und in 4er Cluster im 200 mm Wafer-Layout umgesetzt worden.

Der Flex Wafer-Layout enthält in total 72 Flex auf der 200 mm Fläche (Abbildung 6).

Das Clustern der einzelnen Flex-Designs (inklusive Abstände) wurde so gestaltet, dass es dem Verfahren der Swissbit-PCB-Fertigung entspricht. Dadurch können die Flex-Substrate grundsätzlich bei Swissbit für die Bestückung mit passiven Bauelementen und Speichermodulen weiterverarbeitet werden.

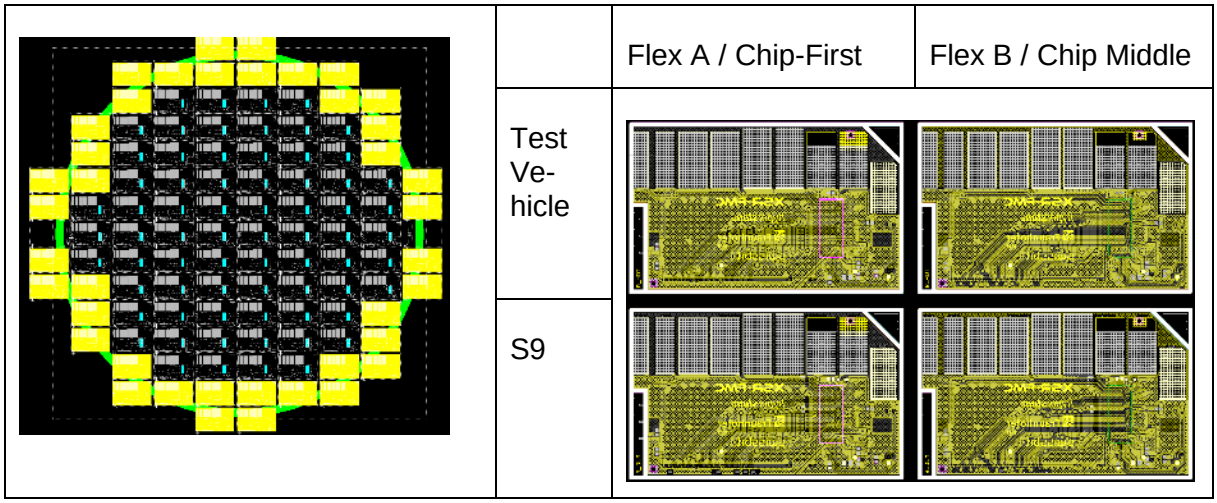


Abbildung 6: Wafer layout der Flex mit den 4 Layout-Varianten (Chip-First und -Middle für S9 und TestVehicle)

Beispielhaft ist das Layout Flex B / Chip-Middle und seine entsprechende Prozessierung in Abbildung 7 kurz dargestellt.

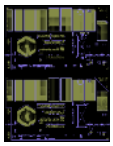
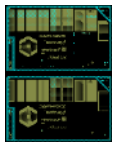
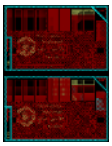
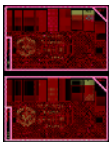
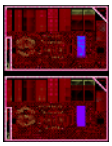
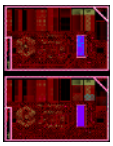
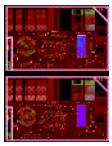
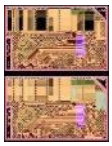
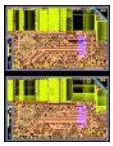
1	2	3	4	5	6	7	8	9	10
									

Abbildung 7: Layout der Flex-Lagen der Variant B / Chip-Middle - 1: Metal1 (Cu SD Kontakte), 2: via, 3: Metal2 (Cu RDL1), 4: via, 5: Thin Chip Bonding; 6: ChipEdge-Seal; 7: via; 8: Metal3 (Cu RDL2); 9: via; 10; Metal4 Top IOs (NiAu)

In den Layout-Designs und der Prozessgestaltung wurden verschiedene Szenarien für die Vereinzelung der Flex-Substrate berücksichtigt: Lasertrennung des Glasträgers, mechanisches Sägen sowie trockenes Polymerätzen in Kombination mit dem Laser-Debonding des Glasträgers.

3.7.2 Prozessierung Thin Chip Flex Embedding

Der Gesamtprozess umfasst drei verschiedene Hauptteile:

A. Die bereits vereinzelten/gesägten Chips – S9 Mikrokontroller sowie speziell hergestellte Silizium-Test-Vehicle-Chips vom IZM (Run 2023_013) – mit einer Gesamtdicke von ca. 200 bis 210 µm.

B. Temporäre Träger (Temporary Carrier) – Wafer aus Glas mit Markern, worauf die Chips ausgerichtet und „face down“ temporär mit einem Kleber fixiert werden. Anschließend werden sie gemeinsam auf eine Zieldicke von 30 µm rückgedünnt – Run 2023_014. Dies Dient den Zweck des kollektiven Transfers von gedünnten Chips.

C. Die Flex-Substrate selber (Glas-Wafer), worauf die gemeinsam-gedünnten (d.h. alle gleich dick) Chips auf einer mit Vias strukturierten Kleb-Passivierung transferiert und permanent fixiert werden. Diese werden dann mit Dünnfilm-Technik eingebettet, elektrisch kontaktiert und geroutet – Run 2023_015 (Chip First) und Run 2023_016 (Chip Middle).

A. S9-Chip Überprüfung für Thin Chip Flex Embedding

Hinsichtlich des Chip-Einbettens wurde der S9-Mikrocontroller zunächst mittels metallurgischer Querschliffe sowie durch Focused Ion Beam (FIB)-Schnitte untersucht. Ziel dieser Untersuchungen war es, die Struktur und die Schichtdicken des Chips zu ermitteln (siehe Abbildung 8), insbesondere die Dicke der BEOL- und FEOL-Stacks sowie die Dicke des Siliziums. Diese Analysen unterstützen die Festlegung der optimalen Silizium-Abdünnung für den S9-Chip. Es sollte unbedingt sichergestellt werden, dass die Chips beim Abdünnen nicht übermäßig abgetragen und dadurch beschädigt werden.

Dabei wurde eine maximale Gesamtdicke der Chip-Lagen im Zentrum des Chips von etwa 14 bis 15 µm festgestellt, und zwar wie folgt:

- 4 bis 5µm Top Polyimid-Passivierung / Schutzschicht
- BEOL+FEOL Stack mit Metal Interdielectric ~ 10 µm, inklusiv ca. 1,4 bis 1,8 µm Aluminium Top Lage für die IO Pads.

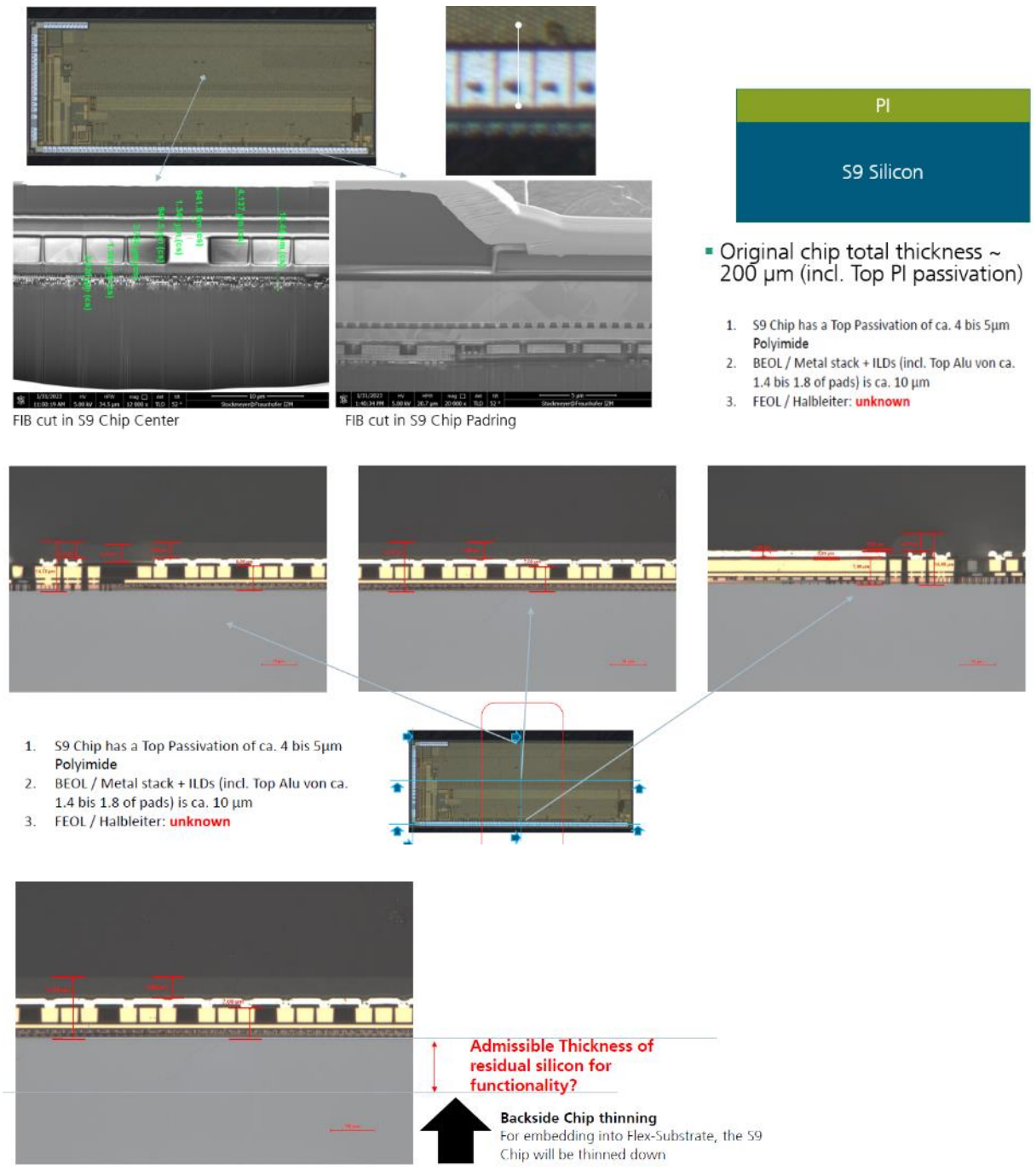


Abbildung 8: Untersuchung der S9 Mikrokontroller (Chiplagen bzw. –Struktur)

Beide Chip-Sorten (S9 und TV-Si) sind gemeinsam verarbeitet (Bonden auf temporären Träger, kollektives Rückdünnen,) und auf Flex transferiert und weiterverarbeitet (Kontaktierung mit Umverdrahtungen) worden. Siehe bitte weiter unten.

B. TV Chip Herstellung

Parallel dazu wurden die IZM-Silizium-Test-Vehicle-Chips („Si-TV“) aus 200-mm-Silizium-Wafern mit einer 100-nm-Oxid-Schicht als Startbasis gefertigt (Run 2023_013). Dabei wurde eine Aluminiumschicht für Pads, Leiterbahnen und Marker strukturiert. Anschließend wurde die Silizium-Oxid-Schicht als Top-Passivierung über den Metallpads geöffnet.

Der Silizium-Wafer wurde vor dem Sägen auf etwa 200 µm Siliziumdicke (entsprechend der Dicke der angelieferten S9-Mikrocontroller-Chips) abgedünnt. Der Si-TV-Chip ähnelt in seinen Dimensionen und der Pad-Anordnung dem S9-Mikrocontroller und wurde mit diversen Teststrukturen (DC: Daisy Chain, K: Kelvin) versehen, um die Verbindung zwischen Flex und Chip nach der Fertigstellung des Thin-Chip-Flex-Embedding zu evaluieren (Abbildung 9).

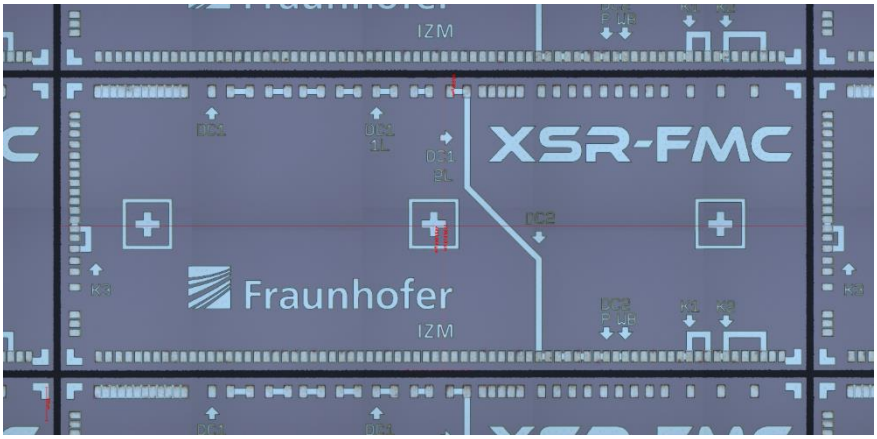


Abbildung 9: gefertigte Silizium Test Vehicle Chip IZM

C. Temporäre Träger Prozess für kollektives Einzel Chip Rückdünnen – Run 2023_014

Das neuartige Konzept zu diesem Prozess-Ablauf ist prinzipiell in der Abbildung 10 schematisch dargestellt.

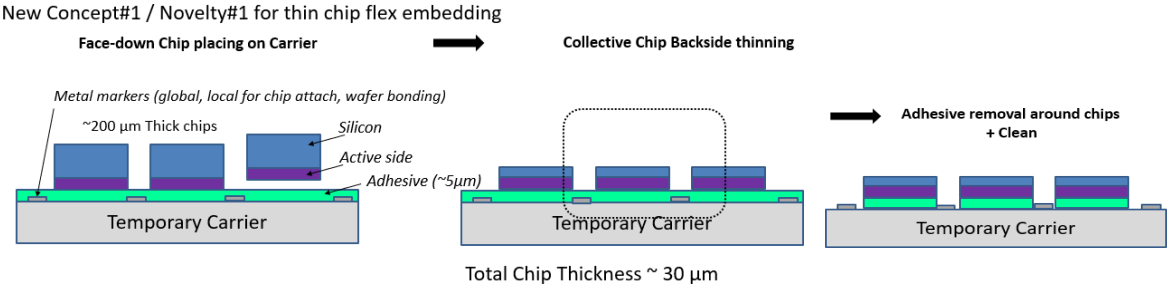


Abbildung 10: Prozess-Prinzip für Vorbereiten und Hantierung von hoch-gedünnten Chips

Erst sind die temporären Träger fertiggestellt worden. Die Träger beinhalten metallischen Markern und bestehen aus Glas-Wafer - für Chip Debonding durch Laser-Verfahren durch das Glas. Es sind 3 Sorten von Marken notwendig:

(1) Global, für das Ausrichten des Substrat-winkel vor der Chip-Platzierung

(2) lokal, für präzise Face Down (Flip Chip) Chip-Attach auf dem Träger

(3) sowie mit Waferbond-Markern für das anschließende Wafer-Bonding - d.h. kollektiver Transfer der gedünnten Chips auf den Flex-Substrate

Über die hergestellten Marken ist eine vollflächige transparente Kleber-Lage (von ca. 5 µm) mittels Spin Coating aufgetragen worden. Diese Kleber-lage dient dem temporären Fixieren der Chips. Es sind zwei verschiedene Kleber-Systeme (Kleber 1 und Kleber 1+2) auf den Träger aufgebracht worden:

- Kleber 1 ist ein Thermoplast gewesen,
- und Kleber 2 involviert Gelifikation bzw. Polymervernetzung für das vollständige Chip-Kleben.

Anschließend sind die Chips (S9 und IZM Test-Vehicle Chips) auf dem Träger „face-down“ nach einander in Reihen (gemäß Wafer Flex-Design) geklebt worden, und die Kleber-Systeme wurden hinsichtlich des Chip-Setzens evaluiert. Die Prozessabfolge wurde mit optischer Inspektion (von der Vorderseite, aber insbesondere von der Rückseite durch das durchsichtige Glasmaterial des Trägers) anhand der lokalen Marker unterstützt, um zunächst das Setup für die richtige Platzierung der Chips relativ zum Träger durchzuführen (Abbildung 11).

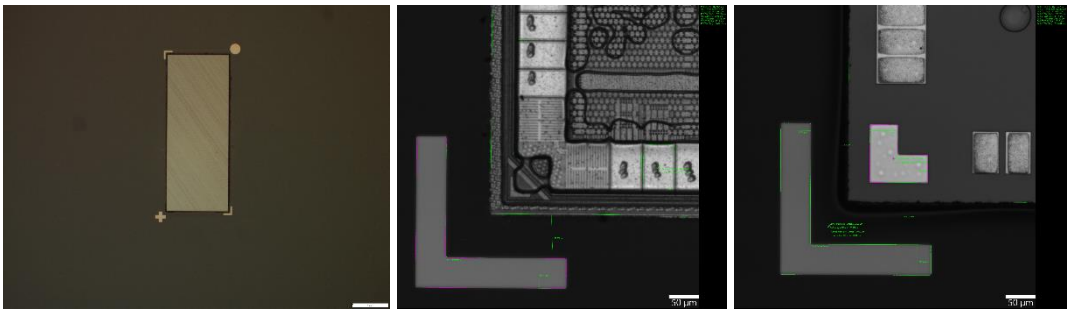


Abbildung 11: Links: Chip auf temporären Träger geklebt mit lokalen Marken (für Setzprozess und PostBond Inspektion) - Mitte und Rechts: Beispiele von PostBond Setzgenauigkeit Inspektion durch Glass anhand Inspektionsmarkers für S9 Controller und Si TV chip.

Es wurden diese zwei Kleber-Systeme aus folgenden Gründen betrachtet:

(1) Der S9 Chip ist mit einer ca. 5 µm unbekannten organischen Top-Passivierung (wahrscheinlich Polyimid) geliefert worden. Das Kleben auf Polymer-Oberflächen kann sich als problematisch erweisen. Als zusätzliche Gegenmaßnahme wurden Strip-Versuche gegen verwendete typische Chemikalien sowie auch die organische Passivierung der S9 Chip-Oberfläche mit Plasma entfernt (Abbildung 5).

(2) Beim Setz-Prozess war die Qualität der Bondung mäßig; eine Seite der Chips zeigte sich bei der Verwendung von Kleber-System 1 meist nicht vollständig flächig verklebt. Dies ist auf die Koplanaritätsabweichungen zwischen Tool, Chips und Substrat sowie auf die geringe Kleberschichtdicke zurückzuführen. Um dieses Problem zu lösen,

wurde das Kleber-System 1+2 eingeführt. Hierbei sollte die Kleberschicht während des Klebprozesses durch Verflüssigung den Spalt auffüllen. Dieser Ansatz erwies sich jedoch als kontraproduktiv: Die Chips neigten dazu, auf dem Kleber zu "schwimmen", was häufig zu einer ausgeprägten, wiederkehrenden Rotation führte – insbesondere bei den flachen Si-TV-Chips. Aus diesem Grund stellte sich das Kleber-System 1+2 als nicht zielführend heraus, da die Chips sowohl während des Platzierungsprozesses als auch beim nachträglichen Aushärten des Klebers ihre Position verloren.

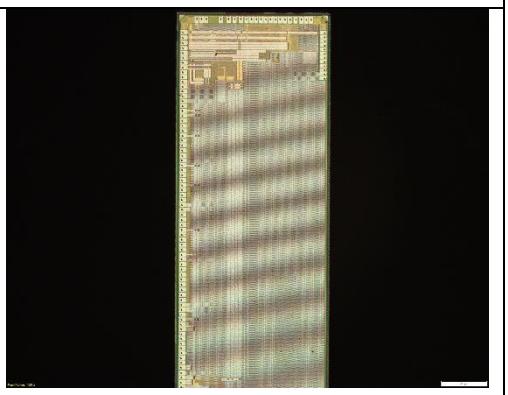
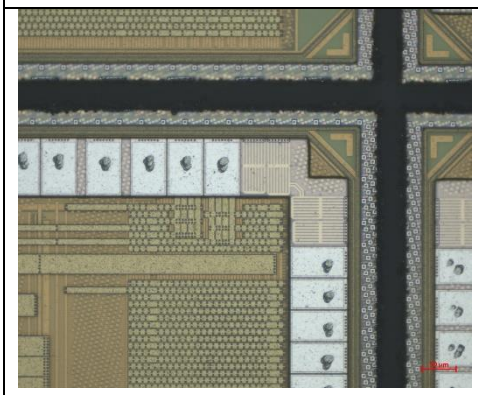
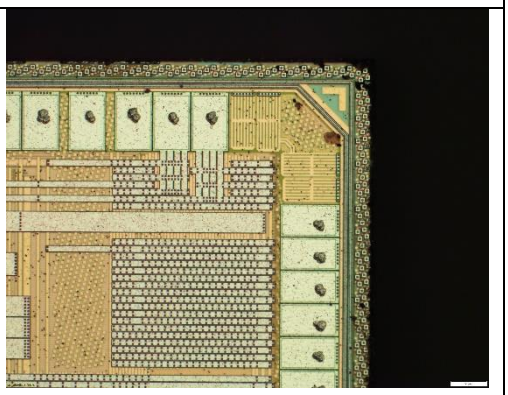
Wie eingeliefert	Plasma Entfernung der organische Passivierung
	
	

Abbildung 12: S9 Mikrokontroller vor (links, wie eingeliefert, mit organischer Top-Passivierung) und nach Entfernung der originalen organischen Chip Top-Passivierung (rechts)

Nach der Bestückung sind die Chips anschließend gemeinsam auf eine Gesamt-Zieldicke von 30 µm von deren Rückseite gedünnt worden. Das kollektive/gemeinsame Chip-Rückdünnen der Einzel-Chips auf dem Träger erfüllt drei Zwecke:

(1) Es soll eine gleichmäßige, einheitliche und risikofreie Zieldicke aller Chips gewährleisten können,

(2) das Umgehen/Verzicht auf Handhaben von einzeln hochdünnen Chips, wie zum Beispiel aus gedünnten Chip-Wafern, bei denen Spannungen im Chip während des Wafer-Dünnens kritisch werden können (Verformung und/oder Bruch).

(3) Dies ermöglicht auch die gemeinsame Prozessierung von verschiedenen Chips aus verschiedenen Quellen (Funktion, Größe und Dicke), zum Beispiel aus Multi-Project-Wafern oder im Chiplet-Ansatz.

Das kollektives Rückdünnen auf dem temporären Träger wurde im Vorfeld evaluiert und mittels Licht Mikroskopie, REM und FIB analysiert (Abbildung 13). Keine gravierende Defekte konnten festgestellt werden.

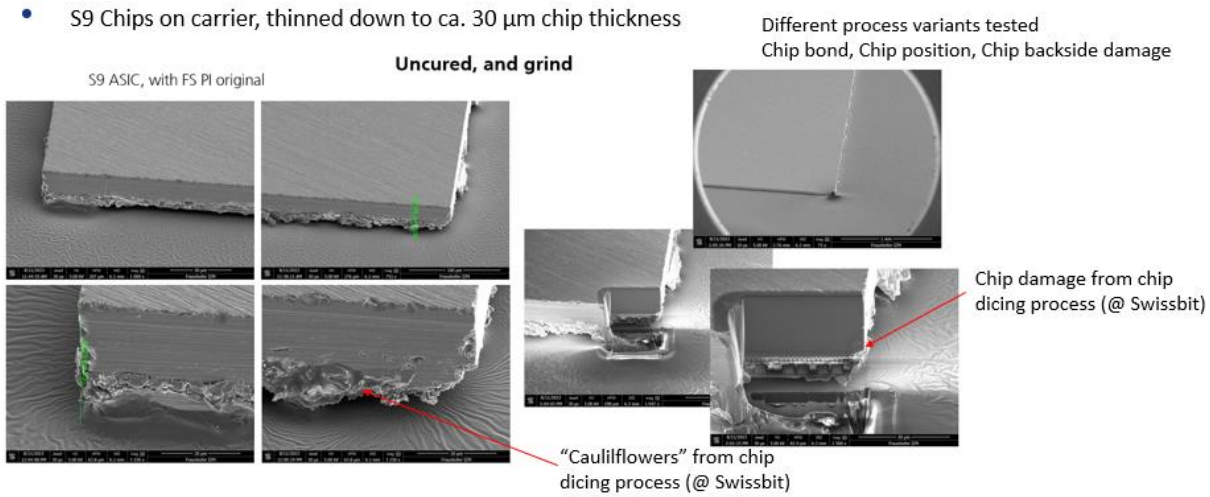


Abbildung 13: REM Inspektion und FIB-Schnitt nach Dünnen des Silizium-Chip Rückseite (Beispiel) - Gedünnte S9 Chip auf temporärem Träger nach Grinding Versuche

Optische Inspektionen sind nach der temporären Klebung (Curing), Grinding und der Kleber-Entfernung realisiert worden. Einige Beispiele sind in Abbildung 14 (Kleber 1) und Abbildung 15 (Kleber 1+2) wiedergegeben. Eine automatisierte Voll-Inspektion wurde eingerichtet und getestet, unter anderem um Mapping zu generieren. Dennoch erwies sich das Mapping als komplex und instabil in der Bilderkennung, aufgrund der verschiedenen Kleber-Systeme sowie überlappender unterschiedlicher/willkürlicher Kleb-Muster in der Bilderkennung.

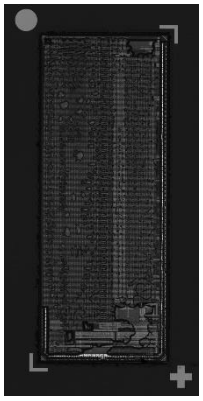
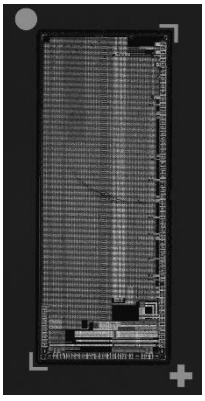
	Si TV Chip	S9 mit organischer Top Passivierung	S9 ohne Top Passi-vierung
KLEBER 1			

Abbildung 14: Inspektion der Klebung auf Chip-Träger, Kleber 1 - Sicht durch Glas-Träger

KLEBER 1	Si TV Chip	⇨ Nach	S9 ohne Pass.	⇨ Nach	S9 Mit Pass. Und

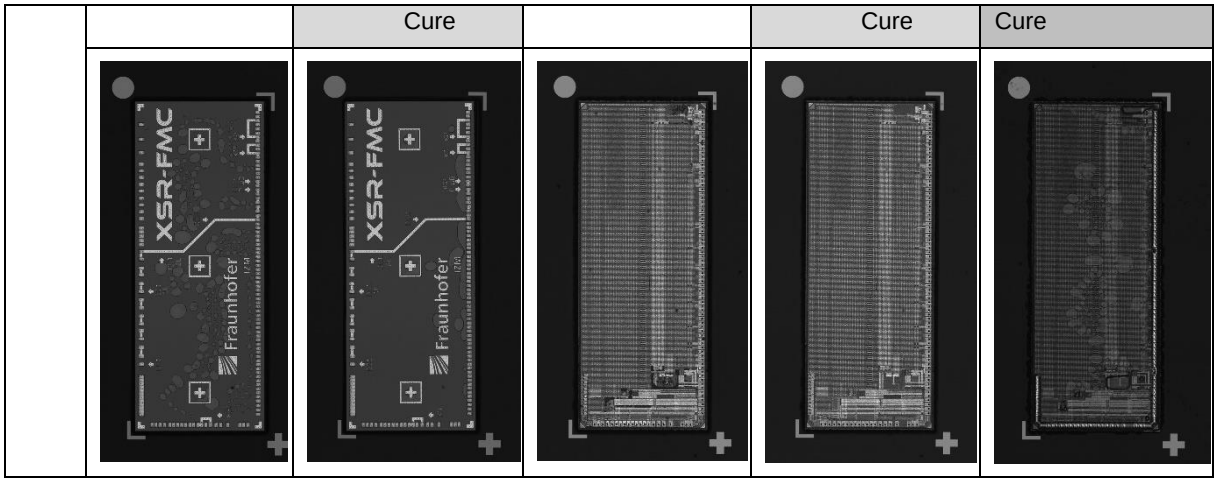


Abbildung 15: Beispiel-Inspektion der Klebung auf Chip-Träger, Kleber 1+2, vor und nach Aushärtung/Cure (gleiche Chip vor und nach) – Sicht durch Glas-Träger

Die nachfolgenden Prozesse hatten keinen Einfluss auf die gesetzten Chips, und keine Veränderung ihrer Platzierung konnte festgestellt werden. Trotz der unvollständigen flächigen Klebung am Träger war die Klebung der Chips ausreichend, um die nachfolgenden Prozesse erfolgreich durchzuführen.

D. Kollektive Dünnchip-Transfer zu Flex Wafer

Parallel dazu sind die Flex-Substrate vorbereitet worden, um die gedünnten Chips zu empfangen. Hierbei wurde der dielektrische Kleb-lage auf den Chip-First und Chip-Middle Flex-Susbtrate aufgebracht und die Flex-Kontaktstellen vorgeöffnet (Abbildung 16).

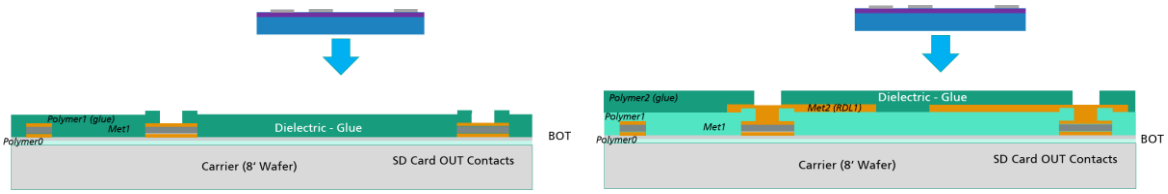


Abbildung 16: Vorbereitung der Flex-Substrate für Chip-Transfer in Chip-first (Links) und Chip-middle (rechts)

Der Chip-Transfer wurde mit einem Wafer-Bond-Prozess realisiert. Hierbei werden alle auf gleiche Dicke gedünnten Chips gleichzeitig und gemeinsam auf dem Flex-Substrat übertragen/transfereiert und permanent geklebt (Abbildung 17).

Der Träger mit den gedünnten Chips wurde anhand der Wafer-Bond-Marker zum Flex-Substrat ausgerichtet, bevor der Wafer-Stack dann in die Bondkammer eingebracht wurde. Die Passivierungsschicht auf dem Flex-Substrat erfüllt eine doppelte Funktion: Sie dient sowohl der elektrischen Isolierung gegenüber den bereits vorhandenen Metallstrukturen als auch als permanenter Kleber. Die Kontaktstellen in der Passivierung wurden lithografisch vorgeöffnet, um nach dem Chip-Transfer eine elektrische Verbindung zwischen den Chips und der nächsten Flex-Metallschicht herstellen zu können.

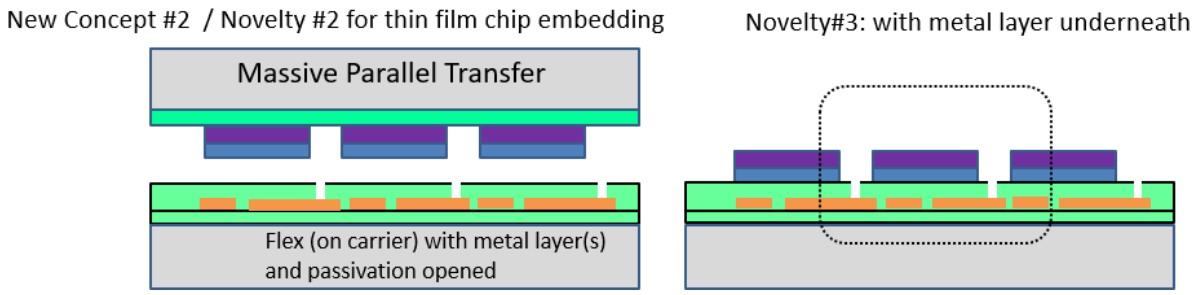


Abbildung 17: Prozess Prinzip des Dünnchip-Transfers durch Wafer Bonding vor Chip-Einbetten

i. Chip-First

Bei Chip-First sind die Chips auf und mittels einer strukturierten Passivierungslage geklebt, die auf einer flachen Fläche liegt (Abbildung 18 & Abbildung 19).

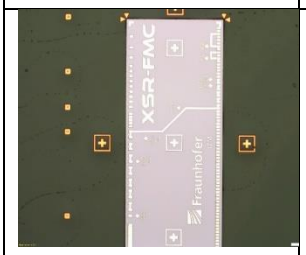
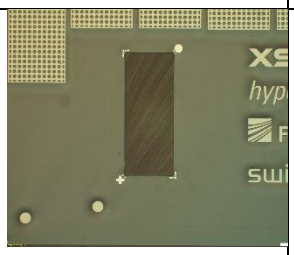
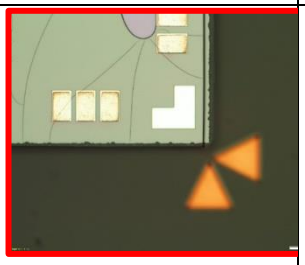
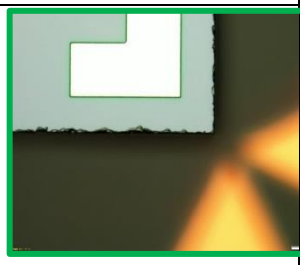
Nach Chip Transfer		Nach Reinigung der Chip Carrier Kleber	
Vorderseite	Rückseite	Kleber 1+2	Kleber 1
			

Abbildung 18: Flex "Chip First" – Nach Chip Transfer und nach Reinigung (Si TV)

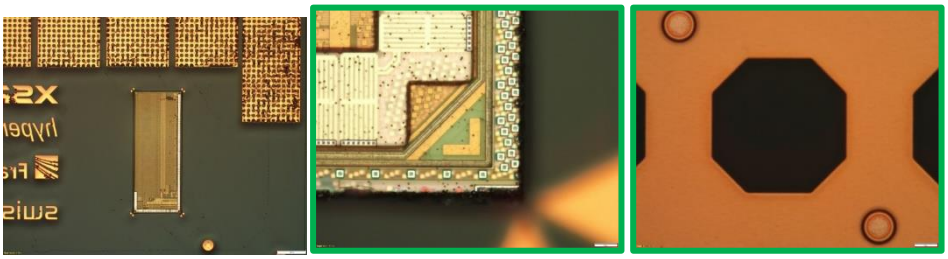


Abbildung 19: Flex "Chip First" – Chip Transfer und Reinigung vom S9-Mikrokontroller

Die Transfer-Klebung bei Chip-First war zufriedenstellend, mit etwa 90 % aller Chips blasenfrei und vollflächig geklebt, abgesehen von einigen partiell unvollständig geklebten Chips am Rand des 8‘ Flex-Wafers.

ii. Chip-Middle

Bei Chip-Middle sind die Chips in ähnlicher Weise transferiert, jedoch liegt die Kleb- und Passivierungslage auf einer bereits vorhanden strukturierten Kupfer-Metalllage, (Umverdrahtungslage bzw. RDL1), die mehr Oberfläche-Topographie der Klebelage als bei Chip-First hervorruft.

Abbildung 20 zeigt beispielhaft die Chips auf Flex „Chip-Middle“ direkt nach dem Chip-Transfer auf dem Flex, sowohl von der Vorderseite als auch von der Rückseite. Bei regulären Metalllage erscheint die Bondung möglicherweise größtenteils fehlerfrei, ohne Luft-Einschlüsse. Jedoch bei „texturierten“ Metalllagen (z.B. Linienstrukturen) ist die Klebung generell schlechter, mit unvollständig verklebten Bereichen.

Ein Prozessfehler führte dazu, dass die Kleberschicht für „Chip-Middle“ nur 5 µm dick war, im Gegensatz zu den geplanten 10 µm bei „Chip-First“: die ursprünglich aufgetragene 10-µm-Schicht wurde versehentlich vorzeitig polymerisiert, sodass lediglich eine 5-µm-Schicht als Rework aufgetragen wurde. Diese reduzierte Klebedicke war möglicherweise nicht ausreichend, um kleinere Topografien im Chip-Transfer-Prozess auszugleichen.

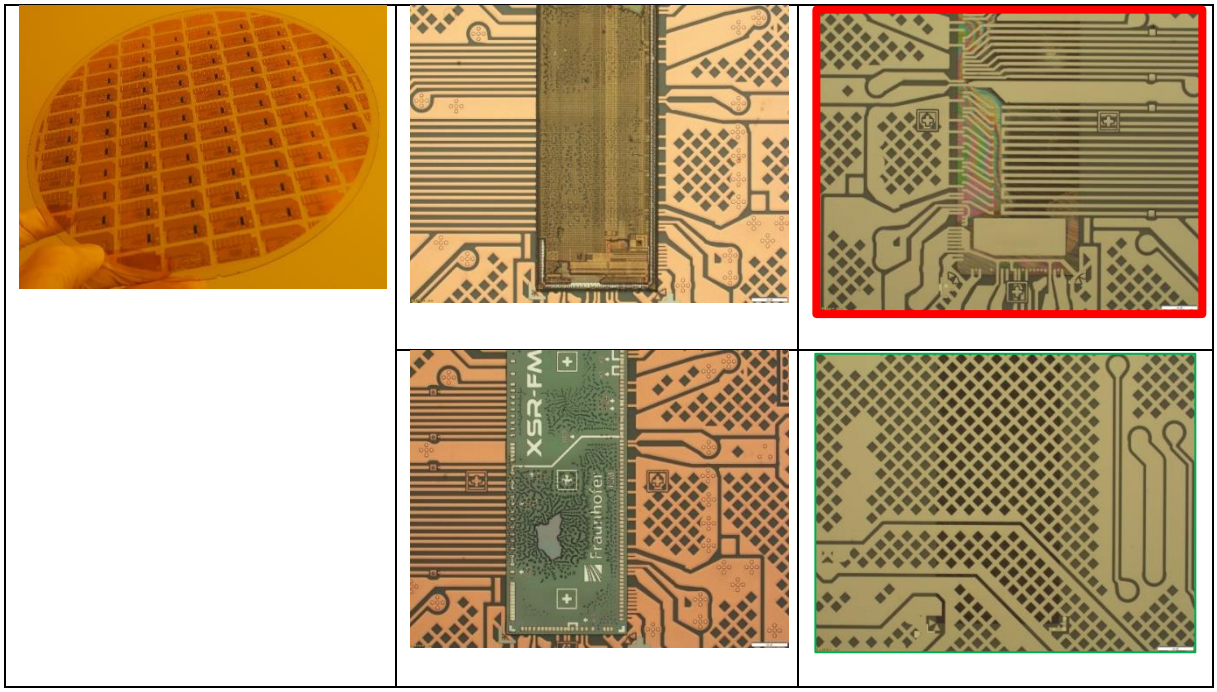


Abbildung 20: Flex „Chip Middle” - Chips nach Transfer auf Flex-Substrat Vorderseite (durch temporären Träger) und Rückseite (Durch Flex-Träger)

iii. Inspektion angesichts Chip-Einbettens und Ankontaktierens mit Flex

Nach dem Wafer-Bonding ist der Wafer-Stack mittels Lichtmikroskopie inspiziert worden:

i. Wafer-Bond-Marker (durch das transparente Chip-Trägermaterial), um den globalen Bond-Versatz zu bewerten.
ii. Lokale Hilfsmarker / Landmarker / Pfeilmarker (in der Kupfer-Metalllage) auf dem Flex-Substrat ermöglichen eine schnelle Bewertung der finalen Position aller Chips.
iii. Die Klebung bzw. die Klebefläche wird auch von der Rückseite (durch das Flex-Substrat) inspiziert und bewertet.

Mit i. und ii. konnte ein durchschnittlichen Global-versatz ermittelt werden, um die nächste Prozess-Maske anzupassen, um möglichst alle Padkontakte der Chips sicher zu treffen.

Anschließend ist der Chip-Träger mittels Laser-Release entfernt. Die Chips müssen noch von dem restlichen Trägerkleber gereinigt werden:

- Kleber 1+2 erwies sich als suboptimal mit schwer zu entfernenden Rückständen.
- Im Gegensatz dazu konnte Kleber 1 mit (griffiger) Nassreinigung entfernt werden (Abbildung 10). Dabei erwies sich das Lösemittel als kompatibel mit der organischen Passivierung der S9-Chips, da letztere nicht beschädigt wurde (Abbildung 11). Das Flex-Polymer blieb auch optisch unverändert, ebenso wie die vorprozessierten Vias (und das freigelegte Kupfer unten in den Vias) auf dem Flex (Abbildung 11).

E. Chip Embedding und Ankontaktierung zu Flex

Nach dem Chip-Transfer wurde die Weiterverarbeitung der Flex-Wafer durchgeführt, die folgende Schritte umfasste:

1. Polymer-Passivierung („Chip Overcoat“): Eine dünne Polymerlage wurde über die Chips aufgebracht und lithografisch strukturiert, um metallische Chip-Pads sowie metallische Flex-Schnittstellen freizulegen (Via-Öffnung). Dabei wurden Vias in der Polymerlage auf zwei unterschiedlichen Ebenen erstellt, um metallische Kontaktstellen für den elektrischen Anschluss zugänglich zu machen.
2. Kupfer-Umverdrahtung: Mittels Lithographie und semi-additivem Prozess wurde eine Kupfer-Umverdrahtung aufgebracht, die die Chips elektrisch mit dem Flex-Substrat verbindet.

i. Chip-First

Für Chip-First sind eine Übersicht in Abbildung 21 sowie Detailaufnahmen in Abbildung 22 beispielhaft (Si-TV und S9) dargestellt. Die Vias treffen die Chip-Pads präzis, und die Chips sind mit dem Flex erfolgreich umverdrahtet. Die Teststrukturen auf dem Si-TV-Chip (in Abbildung 22, oben, blau gekennzeichnet) wurden realisiert, und der S9-Chip konnte ebenfalls korrekt angeschlossen werden. Dies wurde durch optische Inspektionen bestätigt - sowohl mit als auch ohne der organische Top-Passivierung des S9 (in Abbildung 22, unten rechts).

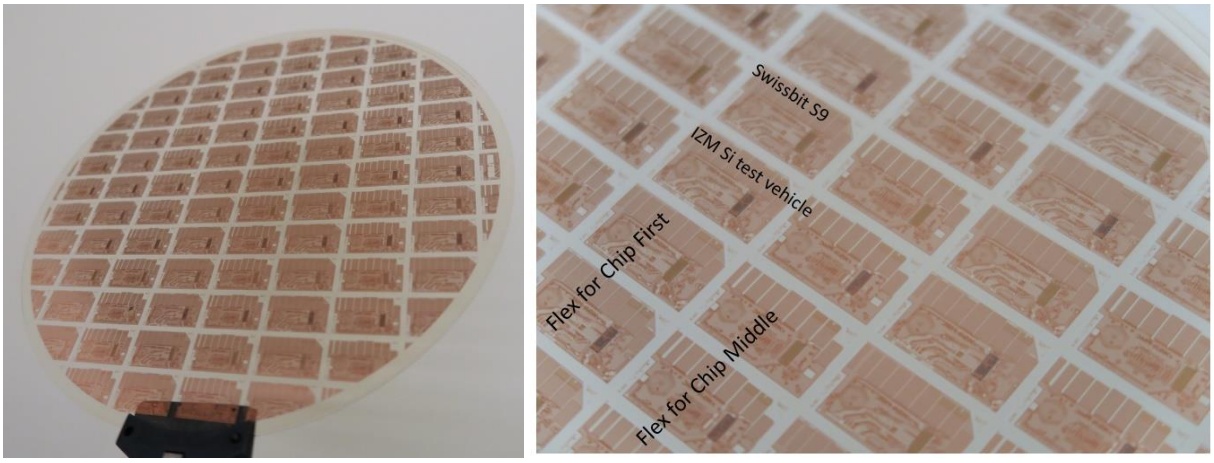


Abbildung 21: Flex Chip-First nach Kupfer-Umverdrahtung über die dünnen Chips.

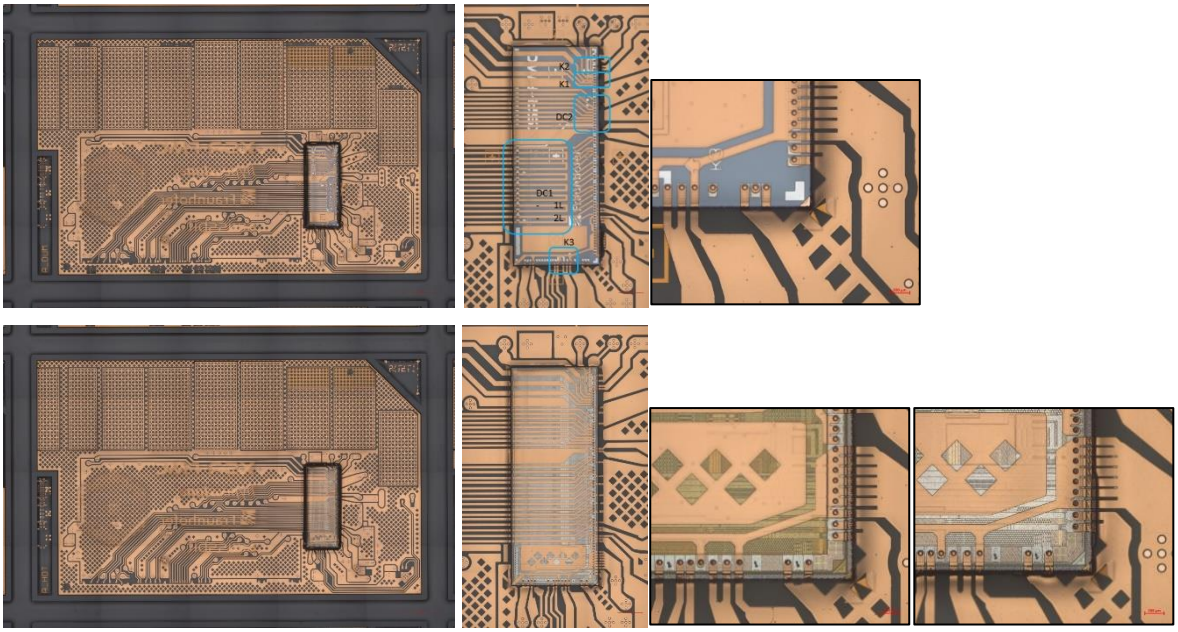


Abbildung 22: Beispiel von Flex Chip-First nach Kupfer-Umverdrahtung mit Detail-Aufnahme (Oben: TV-Chip, unten: S9-Chip).

Die Ausbeute wurde auch anhand einer detaillierten optischen Inspektion evaluiert. Die Ausbeute schwankt aufgrund verschiedener Prozessvariationen (u.a. Trägerkleber, Wafer-Bond-Transfer), die ausprobiert wurden (Abbildung 23).

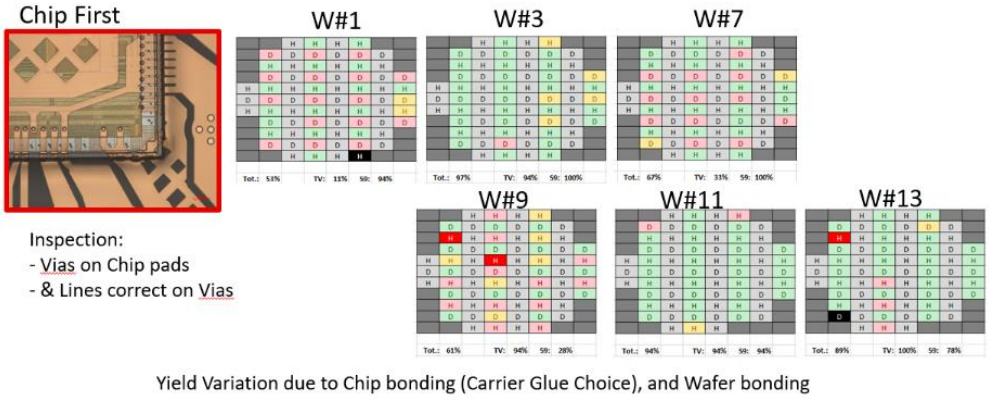


Abbildung 23: Flex Chip-First / Ausbeute-Evaluierung der Chip-to-Flex Ankontaktierung mittels Kupfer-Umverdrahtung 1 zu den eingebetteten Chips an Flex Chip-First (TV und S9)

ii. Chip-Middle

In ähnlicher Weise wurden auch die Flex-Chip-Middle prozessiert und prozesstechnisch evaluiert. Dennoch ist die Prozessierung im Vergleich komplexer.

Der Unterschied bei der „Chip-Middle"-Integration liegt, wie bereits erwähnt, darin, dass die Chips auf bereits vorhandene Flex-Metalllagen (Umverdrahtungslage) transferiert werden, anstatt auf eine flache Klebefläche. Ziel ist es, die Chips zwischen zwei Umverdrahtungslagen zu integrieren. Dabei wurden zwei Haupt-Herausforderungen identifiziert und im Vorfeld berücksichtigt:

1. ***Oberflächen-Topografie der unterliegenden Metalllage:***
   Die unterliegende Metalllage kann eine unebene Oberflächen-Topografie aufweisen, die zu Luft-Einschlüssen (geschlossen oder offen) in der permanenten Bondfläche der Chips auf dem Flex führen kann. Solche Einschlüsse können sich beim Auftragen des „Overcoats“ negativ auswirken, da sie zu einer ungleichmäßigen Schichtdicke und möglichen Prozessproblemen führen.

2. ***Herausforderungen bei der Via-Strukturierung nahe der Chip-Kante:***
   Um die Chips mit der unterliegenden Umverdrahtungslage zu kontaktieren, müssen Flex-Vias in Klebelage vorstrukturiert und nach Over-Coat wiedergeöffnet werden. Diese befinden sich im Chip-Middle Fall nahe an der Chip-Kante, was eine zusätzliche Herausforderung für die Via-Strukturierung im Polymer mittels Lithographie darstellt. Insbesondere kann die Polymerdicke nahe der Chip-Kante variieren und lokal größer sein. Als Gegenmaßnahme wurde in der Designphase berücksichtigt, dass die Vias einen Mindestabstand von 100 µm zur Chip-Kante aufweisen sollten. Dadurch sollte das Risiko von Defekten minimiert und die Stabilität des Demonstrators gewährleistet werden (Abbildung 24).

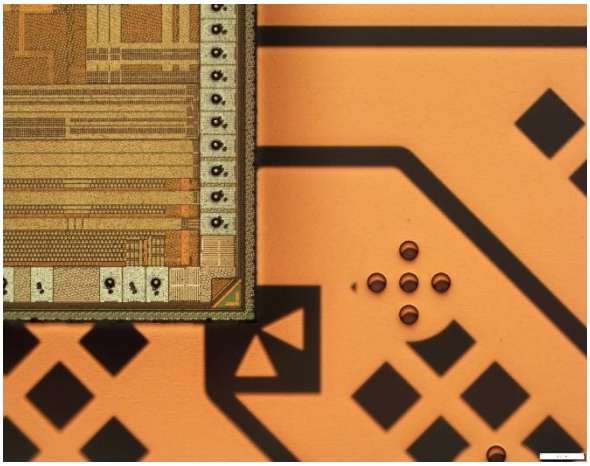


Abbildung 24:Chip-middle nach Via-Öffnung in der Overcoat-Polymerlage auf S9-Chip und auf Flex

Die Chip-Middle Flex wurden mit dem „Overcoats“, prozessiert, wodurch die Chips bei der Polymerlage bedeckt werden. Allerdings traten beim Overcoating Entnetzungen an den Chipprändern bzw. -kanten auf. Trotz verschiedener Verbesserungsmaßnahmen konnte die Ursache dieses Phänomens nicht abschließend geklärt werden.

Um mögliche offene Luft-Einschlüsse zu vermeiden und die Chipkanten sicherer abzudecken, wurde **vor** dem Overcoating ein zusätzlicher lithografisch strukturierter Kleberrahmen („Polymer-Frame“) eingeführt.

Durch Untersuchungen mittels Rasterelektronenmikroskopie (REM) und Focused Ion Beam (FIB) zur Prozessbewertung wurde festgestellt, dass einige Chips trotz des zusätzlichen Polymer-Rahmens nach wie vor offene Stellen an den Kanten aufwiesen (Abbildung 25).

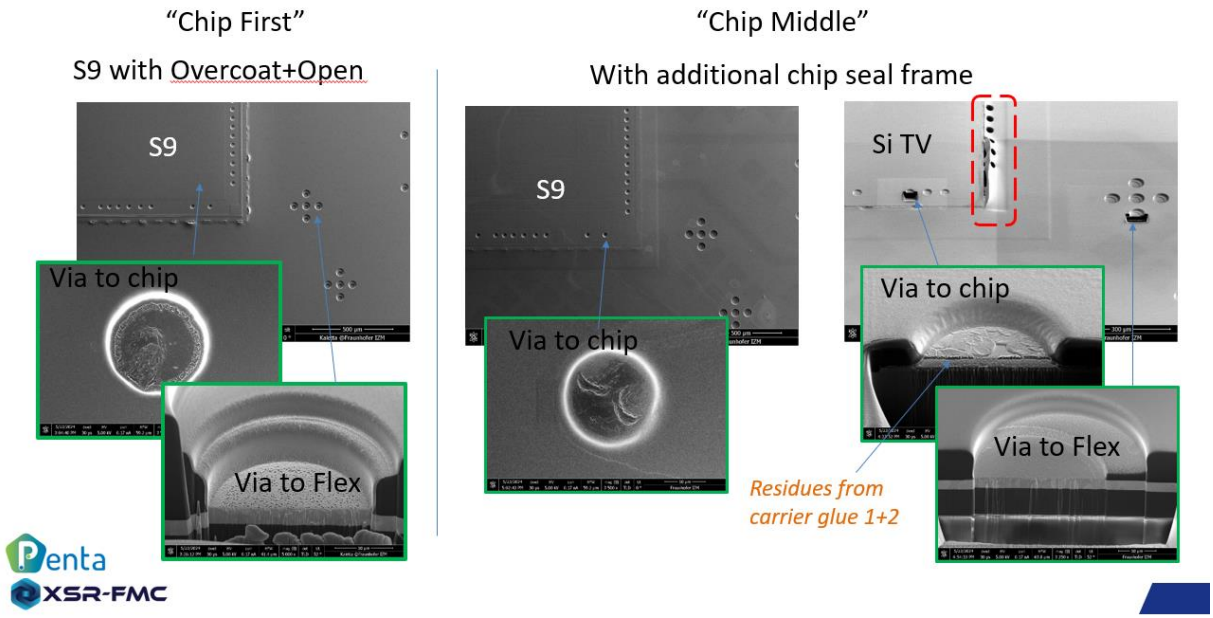


Abbildung 25: Vergleich mit REM und FIB Inspektion nach Chip „Overcoat“ inklusive Via-Öffnung bei Chip-First und Chip Middle (links, Chip-First und rechts, Chip-Middle)

Während der Weiterverarbeitung zur Herstellung der Metalllage über den Chips – für die elektrische Verbindung zum Flex – wurde zudem beobachtet, dass sich Blasen an den Chip-Kanten im Fotolack entwickelten (Abbildung 26). Dies führte zunächst zu einem Prozessstopp, da diese Defekte die Herstellung der Metalllage beeinträchtigten.

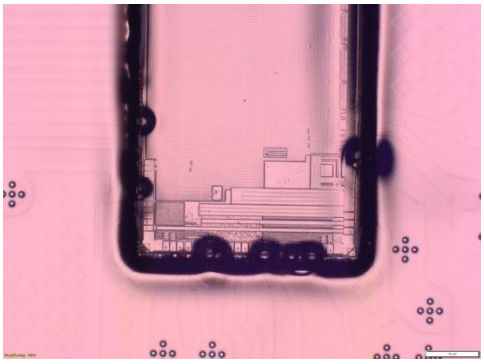


Abbildung 26: Chip-Middle - Blasen in entwickelten Fotolack für die Kupfer-Metalllage über die Chips (RDL2)

Als Gegenmaßnahme wurde der Polymer-Rahmen nachträglich, **nach** dem Overcoating, eingebracht (anstatt davor). Diese Anpassung zeigte deutliche Verbesserungen, und die Wafer konnten schließlich rein prozesstechnisch bis zum Abschluss erfolgreich weiterverarbeitet werden.

Abbildung 27: Flex Chip-Middle - Ausbeute-Evaluierung der Chip-to-Flex Ankontaktierung mittels Kupfer-Umverdrahtung 2 zu den eingebetteten Chips an Flex Chip-Middle (TV – Kennzeichnung D / S9 – Kennzeichnung H)

F. Flex Fertigstellung

Der finale Stand (Okt. 2024) der Flex-Prozessierungen ist in Abbildung 28 dargestellt. Beide Ansätze (Chip First und Chip Middle) für den anvisierten Thin Chip Flex Embedding konnten prozesstechnisch erfolgreich umgesetzt werden, mit einem NiAu Top Oberfläche Finish für SMT und Drahtbond-Montage bei Swissbit.

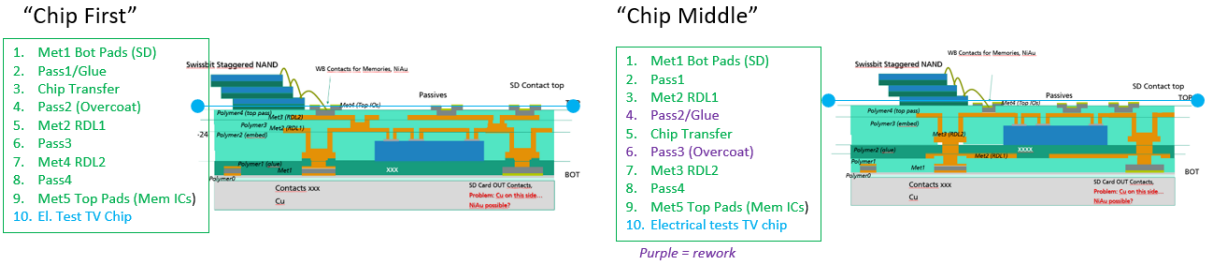


Abbildung 28: Stand der technologischen Prozesse für die Fertigstellung der Flex Chip-First und Chip-Middle (Okt. 2024)

Paar Eindrücke nach vollständiger Wafer Level Prozessierung können für sowohl Chip-First als auch Chip-Middle in den folgenden Abbildungen (Abbildung 29 bis Abbildung 32) entnommen werden.

Aus der Abbildung 32 kann deutlich festgestellt werden, dass der Chip im Chip-middle zwischen zwei Umverdrahtungslagen integriert ist. Der Chip sitzt unter dem Metall-Mesh der RDL1 und ist in dem Fall fast nicht merkbar.

Flex Chip First

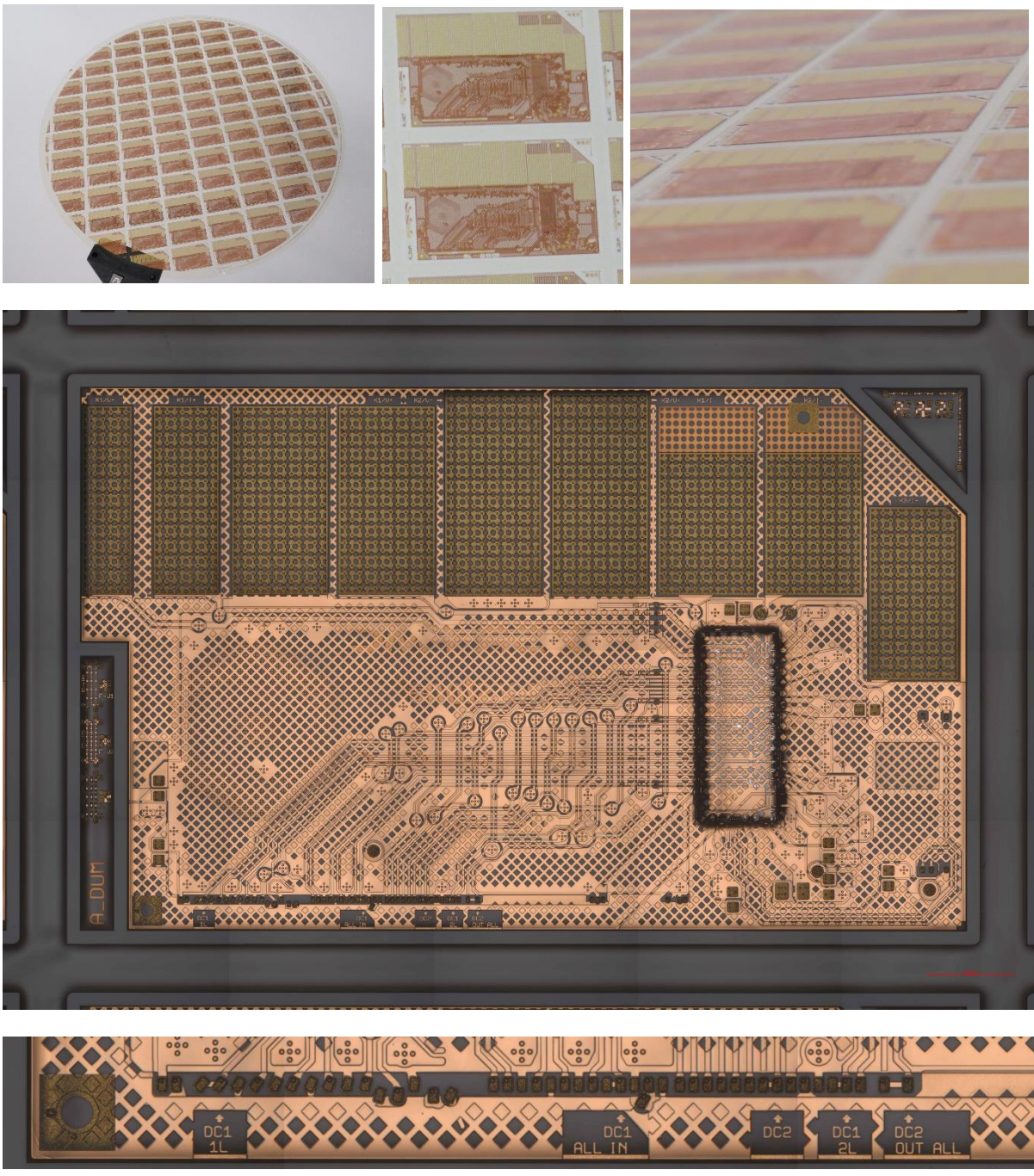


Abbildung 29: Flex Chip-First – Übersichtsbilder und Lichtmikroskopie Aufnahme nach Wafer Level Prozess (hier IZM TV Chip)

Flex Chip First

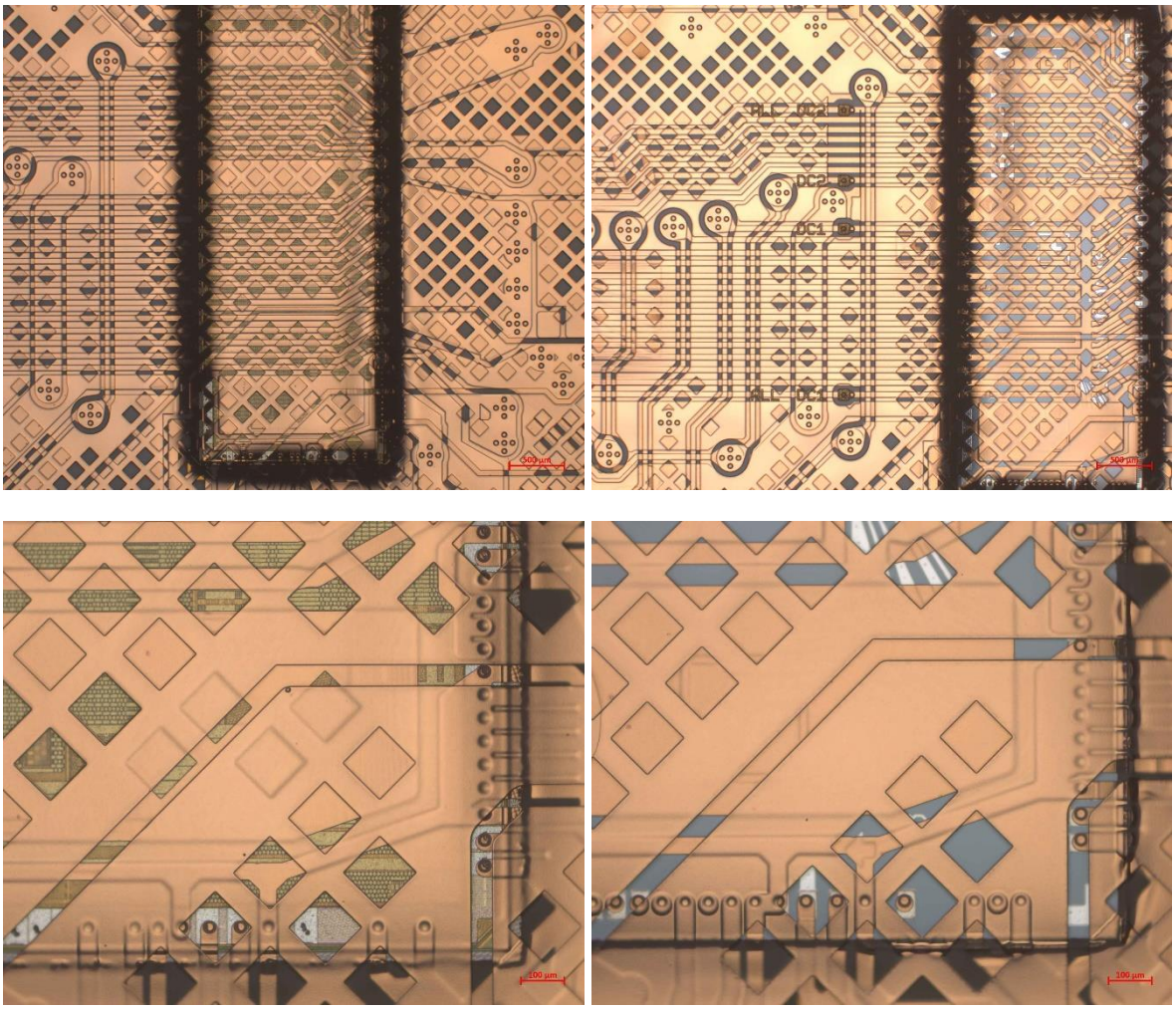


Abbildung 30: Detailaufhamen nach WLP der Chip First eingebetteten Chips: Links S9 Mikrokontroller, rechts IZM TV chip. Die erste Kupfer Umverdrahtungslage direkt über die chips kontaktiert die Chip pads mit dem Flex und zweite Umverdrahtungslage führt die Kontakte weiter zu den Anschlüssen – SD Card Ios, oberen Anschluss-pads für SMT Passiven und Wirebonds für Memory flashs von Swissbit.

Flex Chip Middle

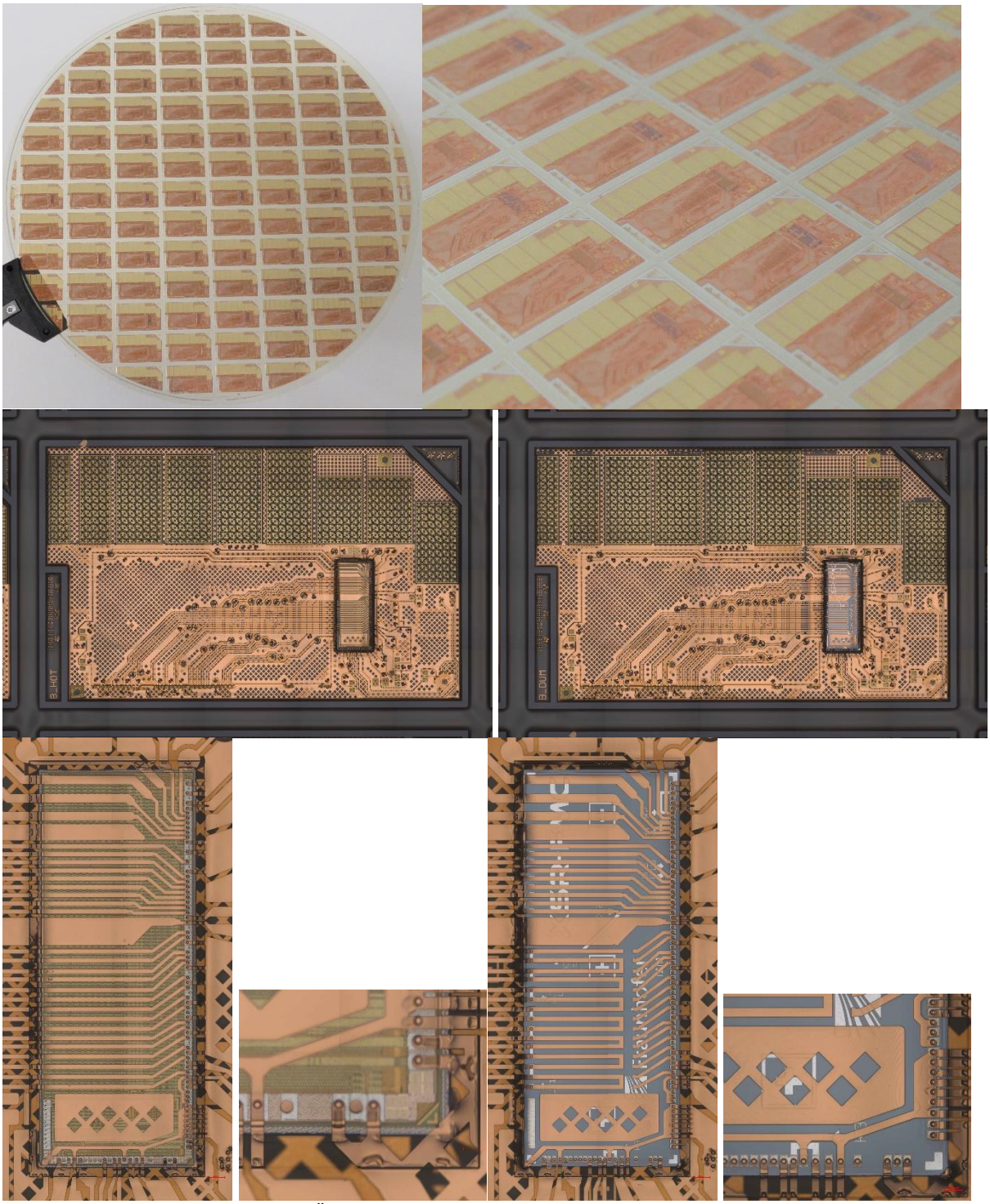


Abbildung 31: Flex Chip Middle – Übersichtsbilder und Lichtmikroskopie Aufnahme nach Wafer Level Prozess

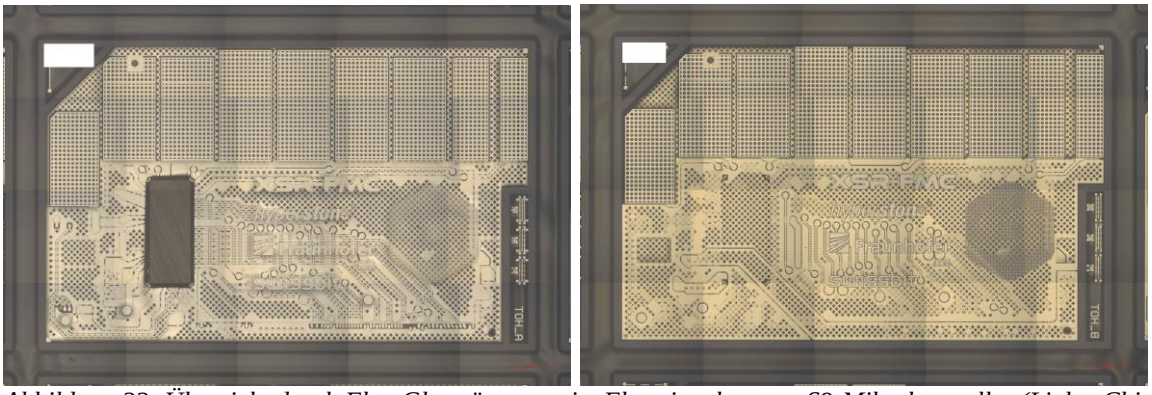


Abbildung 32: Übersicht durch Flex-Glasträger von im Flex eingebetteten S9-Mikrokontroller (Links: Chip-First; Rechts: Chip-Middle)

G. Elektrische Tests der Flex-Wafer (Wafer-Probing) anhand der passiven Teststrukturen der TV-Chips

Nach Fertigstellung der Flex-Wafer wurden diese elektrisch getestet, insbesondere unter Verwendung der passiven Test-Vehicle-Chips. Ziel war es, den Finalprozess anhand der eingebrachten Teststrukturen – insbesondere Daisy-Chain (Flex-to-Chip) und Kelvin-Teststrukturen (Flex-Vias to Chip, siehe Abbildung 33) – zu evaluieren.

Es sind zusätzlich „Flex-Only“ Teststrukturen für alle Flex-Lagen eingebracht worden, in dem Fall ein Debugging notwendig wäre (nicht getestet).

.

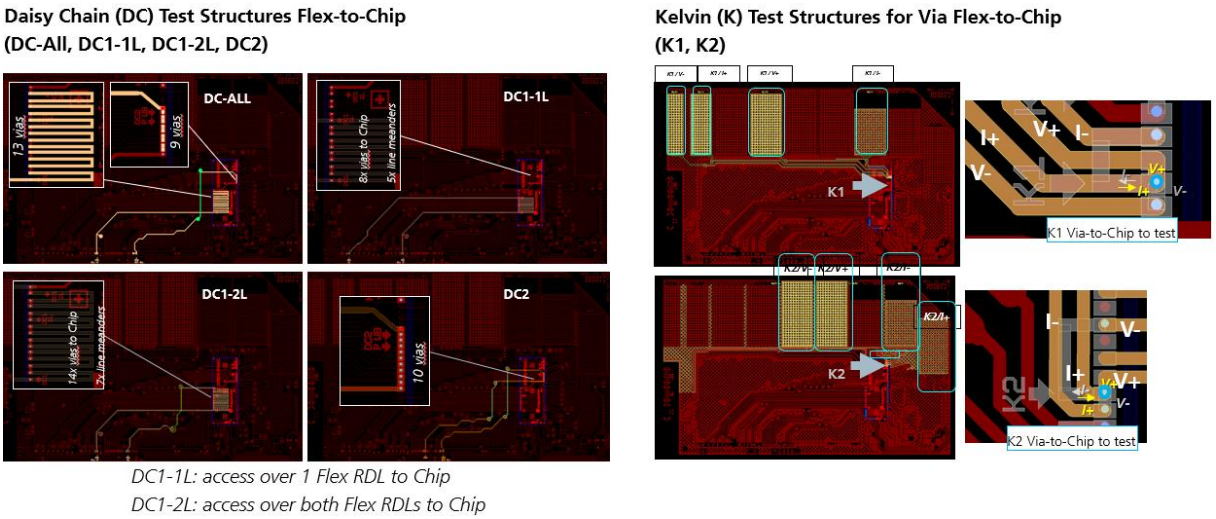
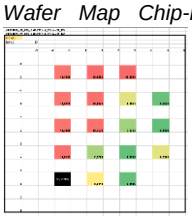
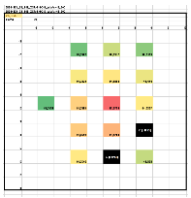


Abbildung 33: Übersicht der Test-Strukturen der in Flex eingebetteten Testvehikel (TV) Chip

Allgemein ist die Ausbeute bei den Wafer Chip-Middle schlechter als bei den Chip-First. Der Grund kann sicherlich an den durchgeführten Reworks zurückgeführt werden. Die Messwerte sind dennoch vergleichbar und liegen im ähnlichen Bereich.

Nichtsdestoweniger weisen einige Wafer vollständigen messbaren Chips (Abbildung 34, Maps, bzw. Tabelle mit n=100%) und zwar fast aller eingebrachten Teststrukturen. Innerhalb der beiden Wafer-Los (Chip-First und Chip-Middle) schwanken die Messergebnisse stark zwischen den Wafers, aufgrund der Prozess-Entwicklungen, sowie innerhalb der Wafer selber (Boxplots Abbildung 35 und Abbildung 36).

	Chip-First (5 Wafers)	Chip-Middle (4 Wafers)
Wafer Map Chip-First 		
Wafer Map Chip-Middle 		

DC ALL	2023_015_W#1	2023_015_W#7	2023_015_W#9	2023_015_W#11	2023_015_W#13
Max [Ohm]	NOT MEASURED	11,045	10,844	10,931	10,938
AVG [Ohm]		7,549	8,705	8,197	8,918
Min [Ohm]		5,814	6,217	6,257	6,346
StD [Ohm]		1,866	1,964	1,642	1,873
n [-]		13	18	18	17
n [-]		72%	100%	100%	94%

DC1 1L	2023_015_W#1	2023_015_W#7	2023_015_W#9	2023_015_W#11	2023_015_W#13
Max [Ohm]	9,603	6,720	6,527	6,642	6,776
AVG [Ohm]	6,447	5,886	5,993	5,959	6,052
Min [Ohm]	4,612	4,535	4,659	4,695	4,709
StD [Ohm]	1,269	0,827	0,643	0,718	0,683
n [-]	14	13	18	18	17
n [-]	78%	72%	100%	100%	94%

DC1 2L	2023_015_W#1	2023_015_W#7	2023_015_W#9	2023_015_W#11	2023_015_W#13
Max [Ohm]	9,593	6,747	6,540	6,655	6,790
AVG [Ohm]	6,460	6,022	6,039	6,103	6,117
Min [Ohm]	4,625	4,584	4,713	4,771	4,761
StD [Ohm]	1,266	0,791	0,594	0,616	0,619
n [-]	14	11	15	15	15
n [-]	78%	61%	83%	83%	83%

DC 2	2023_015_W#1	2023_015_W#7	2023_015_W#9	2023_015_W#11	2023_015_W#13
Max [Ohm]	7,665	6,756	6,773	6,856	6,848
AVG [Ohm]	6,679	6,446	6,534	6,614	6,555
Min [Ohm]	5,922	5,885	6,260	6,343	6,186
StD [Ohm]	0,362	0,299	0,138	0,139	0,166
n [-]	16	9	15	15	15
n [-]	89%	50%	83%	83%	83%

DC ALL	2023_016_W#3	2023_016_W#9	2023_016_W#11	2023_016_W#13
Max [Ohm]	11,584	11,099	> 1 Mohm	12,977
AVG [Ohm]	11,115	10,919		11,297
Min [Ohm]	10,495	10,770		10,514
StD [Ohm]	0,393	0,113		0,609
n [-]	4	6		14
n [-]	25%	38%		88%

DC1 1L	2023_016_W#3	2023_016_W#9	2023_016_W#11	2023_016_W#13
Max [Ohm]	9,166	6,782	> 1 Mohm	8,477
AVG [Ohm]	7,960	6,535		6,965
Min [Ohm]	6,087	6,378		6,143
StD [Ohm]	1,148	0,111		0,728
n [-]	6	8		16
n [-]	38%	50%		100%

DC1 2L	2023_016_W#3	2023_016_W#9	2023_016_W#11	2023_016_W#13
Max [Ohm]	9,196	6,789	> 1 Mohm	8,477
AVG [Ohm]	7,967	6,545		6,975
Min [Ohm]	6,099	6,389		6,155
StD [Ohm]	1,148	0,110		0,725
n [-]	6	8		16
n [-]	38%	50%		100%

DC 2	2023_016_W#3	2023_016_W#9	2023_016_W#11	2023_016_W#13
Max [Ohm]	7,031	6,919	> 1 Mohm	7,814
AVG [Ohm]	6,818	6,717		6,926
Min [Ohm]	6,453	6,579		6,485
StD [Ohm]	0,219	0,106		0,346
n [-]	4	7		13
n [-]	25%	44%		81%

Abbildung 34: Beispiel von Wafer Maps anhand Teststruktur DC1-ALL und Zusammenstellung der DC-Messwerte für Chip-First und Chip-Middle

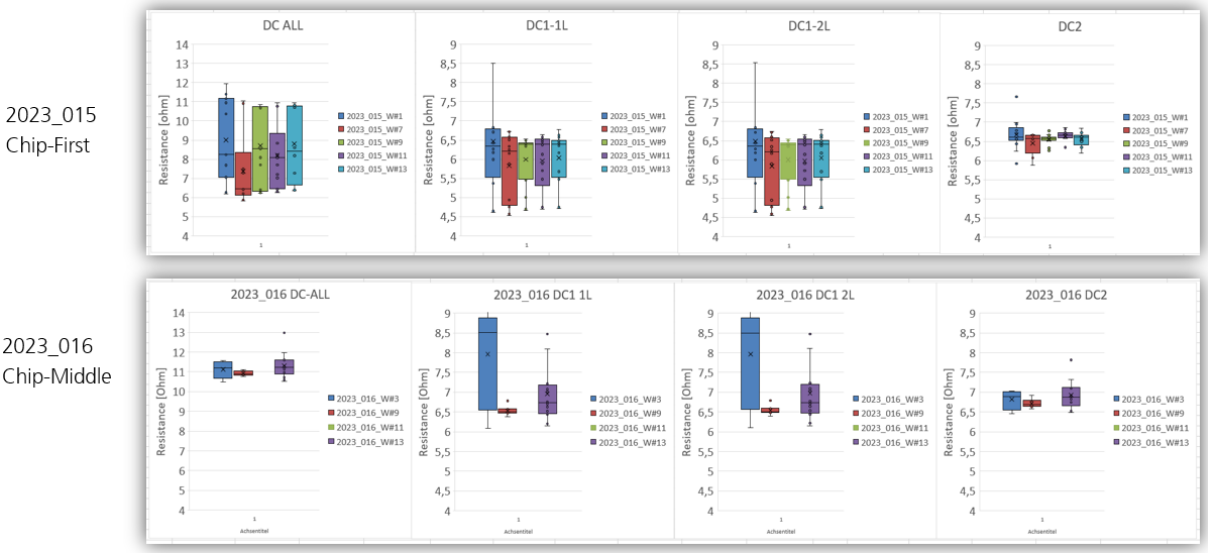


Abbildung 35: Boxplot-Darstellung der elektrischen Messwerte der unterschiedlichen Teststrukturen an den eingebetteten Testvehikel (TV) Chips - DaisyChains

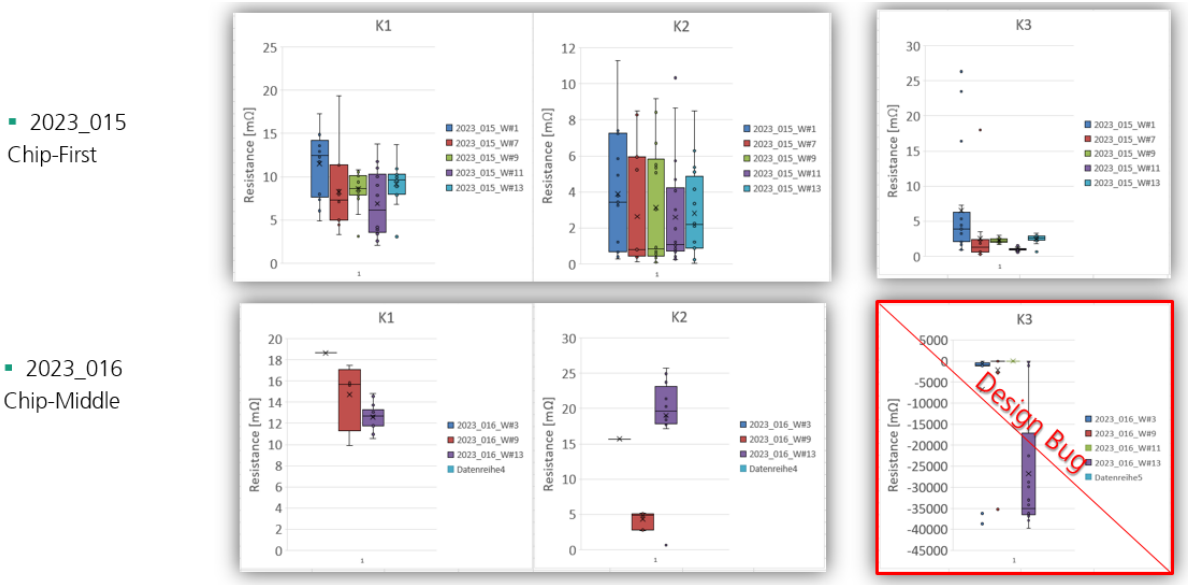


Abbildung 36: Boxplot-Darstellung der elektrischen Messwerte der unterschiedlichen Teststrukturen an den eingebetteten Testvehikel (TV) Chips - Kelvin Via-to-chip

Abweichungen der elektrischen Messungen an den DaisyChain Flex-to-Chip können an der Dicke der Kupferleitungen liegen, die in 3 µm nominaler Dicke (und ca. 50 µm Breite) prozessiert worden sind. Kleine Schwankungen der galvanisch-abgeschiedenen Kupferdicke (sowohl aus der galvanischen Abscheidung selbst als auch aus dem Differenz-Ätzen der Seed-Lage) können die Messwerte beeinflussen (z.B. 10% Abweichung der Messwiderstand entsprechen einer Schwankung der Kupferdicke von 300 nm).

Die Kelvin-Teststrukturen (Flex via-to-chip) wurden auch gemessen, um den elektrischen Widerstand einzelner Flex-via auf den Chip zu ermitteln (Teststrukturen K1, K2 & K3, Abbildung 36). Die Werte liegen in Milli-ohm Bereich, von ca. 2 bis 25 mohm, je nach wafer und chip-position.

Der Vergleich zwischen den Wafer Maps aus den elektrischen Ergebnissen und der manuellen optischen Inspektion (Overlay-to-Chip) ergibt eine relative Übereinstimmung bzw. Korrelation. Somit sind die elektrischen Messungen grundsätzlich konsistent. Hiermit kann festgelegt werden, welchen Wafer und Wafer-Bereiche für die weitere Integration bei Swissbit von den S9-Flex am vielversprechendsten sind.

Anhand der Messergebnissen kann dazu der elektrische Widerstand der Einzel-Leitungen zwischen Memory und Mikrokontroller abgeleitet/abgeschätzt werden; sie liege bei ca. 2 bis 3 Ohm aufgrund deren gezogenen Länge (Design vorgegeben) und geringe Dicke (Semi-Additive Abscheidung in Kombination mit Dünnfilmtechnik der Polymerlagen in Wafer Level Prozess).

2.5 Flex-Abschluss / weitere Untersuchungen

Weitere mögliche Arbeiten außerhalb des TVB-Rahmens könnten noch weitergeführt werden:

- nach Wafer-Prober werden die Flex vom Träger gelöst und vereinzelt.
- Mit oder ohne Träger-Trennung und/oder Vereinzelung könnten die Flex mit thermischen Zyklen belastet bzw. getempert und erneut elektrisch getestet werden, um die Zuverlässigkeit zu evaluieren.
- Die S9-Flex werden an Swissbit zur Verfügung gestellt, um Funktion-Tests des dünneingebetteten S9-Mikrokontroller durchzuführen und/oder sie für den weiteren Aufbau mit Speichern-Bauteilen und passiven Komponenten als SD-Card-Module auszutesten.

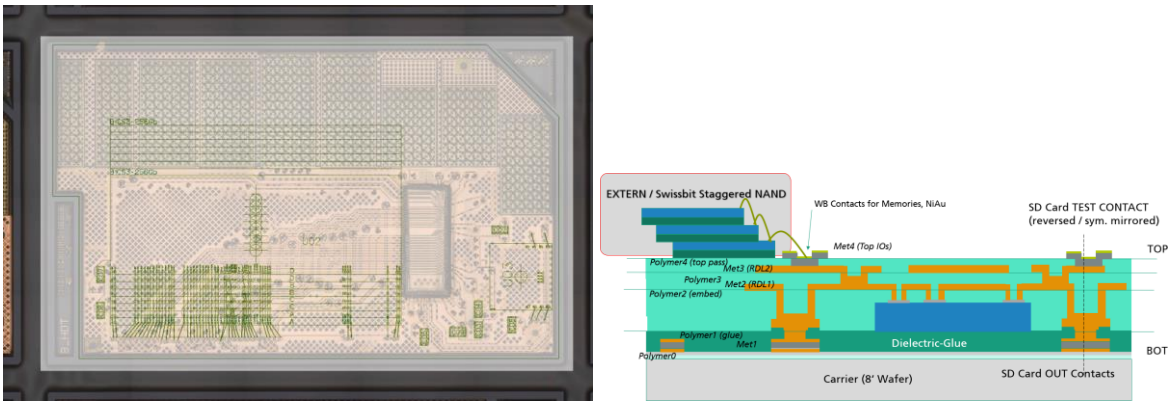


Abbildung 37: Mögliche Weiterverabeitung mit Swissbit Bauelemente auf dem Flex (u.a. Die Attach und Drahtbonden von Speicher und SMT-Kondensatoren)

Task 3.7.4 Thermo-mechanische Simulation des Package

Der Schwerpunkt dieses Tasks hat sich auf die thermische Auslegung verschoben, da die Lösung dieser Herausforderung als notwendig für die Umsetzung erachtet wurde. Zwei unterschiedliche Basis-Aufbaukonzepte, das Single-Die Package (SDP) und das Multi-Die Package (MDP), wurden bewertet. Zuerst wurde das thermische Verhalten mittels statisch-thermischer Simulationen analysiert, wobei stets angestrebt wurde, die Verlustleistung, die im Treiberchip durch den Betrieb entsteht, zuverlässig abführen zu können. Von beiden Konzepten wurden verschiedene Varianten berechnet, wobei beim SDP der Fokus auf das Kühlkonzept lag, und beim MDP auf die Ermittlung des Einflusses örtlichen Anordnung der verschiedenen Komponenten (Chips). Für das SDP wurden zwei mögliche Aufbauvarianten berechnet: ein Package mit Kupfer-Heatsink und eine gemoldete Variante, die in Abbildung 38 dargestellt sind. Mittels Ball-Grid-Array (BGA) wird das Package auf das Systemboard montiert.

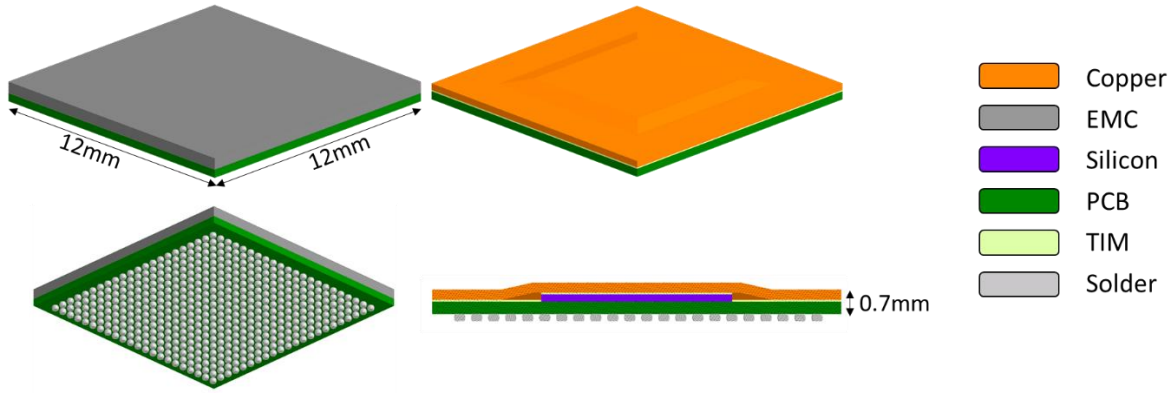


Abbildung 38: Single-Die Package varianten. Links das Molded Package, Rechts das Kupfer Heatsink.

Das Systemboard, ein M2-Adapter, auf dem diese Packages aufgebaut werden sollen, wurde vom Projektpartner als ODB++-Datei zur Verfügung gestellt. Dieser Leiterplattenaufbau enthält viele komplexe und kleine Leiterbahnen, sodass es schwierig ist, diese mittels Volumenstrukturen nachzubilden. Daher wurde hier die „*Trace-Mapping*“-Technik in der Simulationssoftware ANSYS eingesetzt worden. Zuerst wurden die verschiedenen Lagen der Leiterplatte importiert und vernetzt. Beim Trace-Mapping wird die komplexe Struktur projiziert auf das Finite Elemente Netz und für jedes Element ermittelt, wie viel Prozent der Leiterstruktur vorhanden ist. Hieraus wird dann, mittels Volumenmittelung, ein Mittelwert der Materialeigenschaften für das spezifische Element berechnet. Das Systemboard inklusive des Trace-Mapping-Ergebnisses ist in Abbildung 39 dargestellt.

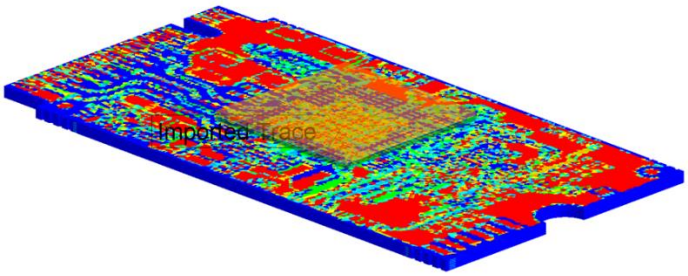


Abbildung 39: Trace-Mapping Ergebnis vom Systemboard. Im rot ist das Kupfer dargestellt, Blau ist das Basismaterial (FR4).

Die statisch-thermischen Analysen haben gezeigt, dass das Mold-Package eine schlechtere Wärmeabfuhr aufweist im Vergleich zur Kupfer-Heatsink-Variante. Für die Heatsink-Variante wurden mehrere Simulationen durchgeführt, um den Einfluss der thermischen Randbedingungen bewerten zu können. Es wurde mit einer Verlustleistung von 1 Watt gerechnet, welche an der aktive – untere Seite – definiert ist. Die natürlicher Konvektionsrandbedingen an alle äußeren Flächen wurde mit 85°C und zwischen 5 und 15 W/m²K variiert. Hier stellt den Bereich zwischen 5 und 15 W/m²K die Variation dar, die entstehen kann in der Realität durch die Lage des Bauteils. Die Ergebnisse sind in Abbildung 40**Fehler! Verweisquelle konnte nicht gefunden werden.** und Abbildung 41dargestellt.

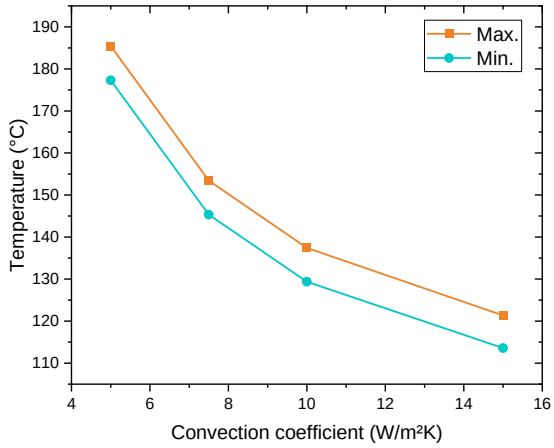


Abbildung 40: Ergebnis der Temperatur im SDP (Cu-Heatsink Variant) in Abhängigkeit des Konvektionskoeffizienten.

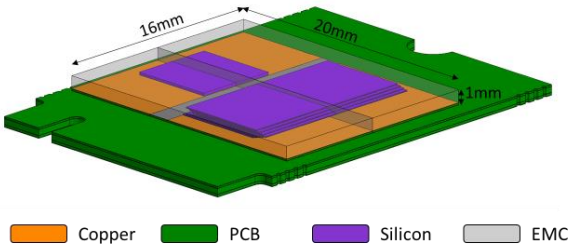


Abbildung 41: Multi-Die Package mit Treiber Chip und gestapelten Flashspeicherchips. Das EMC ist transparent dargestellt.

Auf demselben Systemboard wurden die Untersuchungen für das Multi-Die Package durchgeführt. Das Modell ist in Abbildung 41 dargestellt. Wie bereits erwähnt, wurde untersucht, welchen Einfluss die Position der gestapelten Flashspeicherchips und des Treiberchips auf die entstehende Wärme hat. Zusätzlich wurde untersucht, ob die Wärme, die durch den Treiberchip entsteht, vom Flashspeicher entkoppelt werden kann. Die Ergebnisse der statisch-thermische Untersuchungen haben jedoch gezeigt, dass die Position und zusätzliche Strukturen zur besseren Wärmeableitung einen minimalen Einfluss haben. Die Temperaturunterschiede im Treiberchip betrug maximal 5%.
Sowohl für das Single-Die Package als auch für das Multi-Die Package wurde gezeigt, dass der Einsatz aus thermischer Sicht nicht ohne Modifizierung des Kühlkonzepts stattfinden

kann. Dies kann bedeuten, dass beispielsweise die Luftströmung erhöht werden muss (aktive Luftkühlung), die Verlustleistung im Chip reduziert werden muss (durch z.B. Änderung des Duty Cycles) oder das Kühlkonzept generell modifiziert werden muss.

Im nächsten Schritt wurde das thermo-mechanische Verhalten des Single-Die Packages analysiert. Dazu wurden drei unterschiedliche Konzepte untersucht, wobei für jedes Konzept drei Varianten berechnet wurden. Abbildung 42 zeigt die unterschiedlichen Konzepte, die sich wie folgt zusammenfassen lassen:

1. Single-Die Package mit Kupfer-Lid als Wärmesenke mit TIM (Thermal Interface Material) zur Mikrokontroller-Rückseite (in drei Kupferdicken-Ausführungen: 200/400/600 µm Metall-Dicke)
2. Single-Die Package im Mold (in drei Ausführungen: 200/400/600 µm Mold-Dicke)
3. Single-Die Package im Mold mit Wärmesenke und TIM in drei Ausführungen (Kupferdicke)

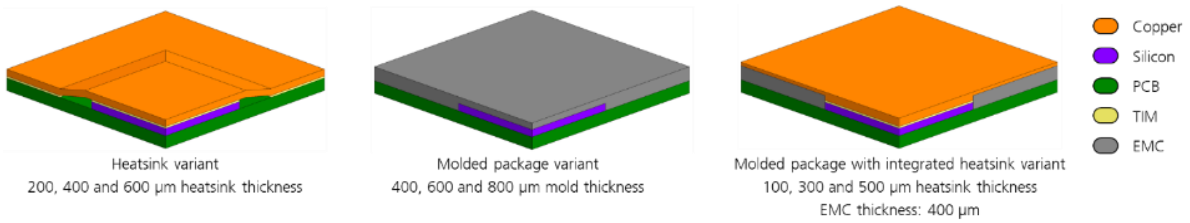


Abbildung 42: Drei verschiedene Package Konzepte mit angegebenen Variationen.

Zuerst wurde untersucht, wie sich die einzelnen Aufbaukonzepte als Stand-Alone (d.h. nicht auf dem Systemboard montiert) unter Temperaturbelastung verhalten. Dafür wurden die Aufbauten von 150°C, der typischen Aushärtetemperatur des Mold Compounds und der TIMs, auf Raumtemperatur abgekühlt. Die Verwölbung entlang der beiden Symmetrieflächen, sowie diagonal über das Package wurde ausgewertet worden. Die Ergebnisse, dargestellt in Abbildung 43, zeigen, dass sich die Verwölbungen für die Heatsink- als auch die Molded-Package-Variante ähnlich verhalten. Die Verwölbung der Molded-Package-Variante mit integrierter Wärmesenke ist am stärksten ausgeprägt. Ein dickeres Mold Compound führt zu einer geringeren Verwölbung

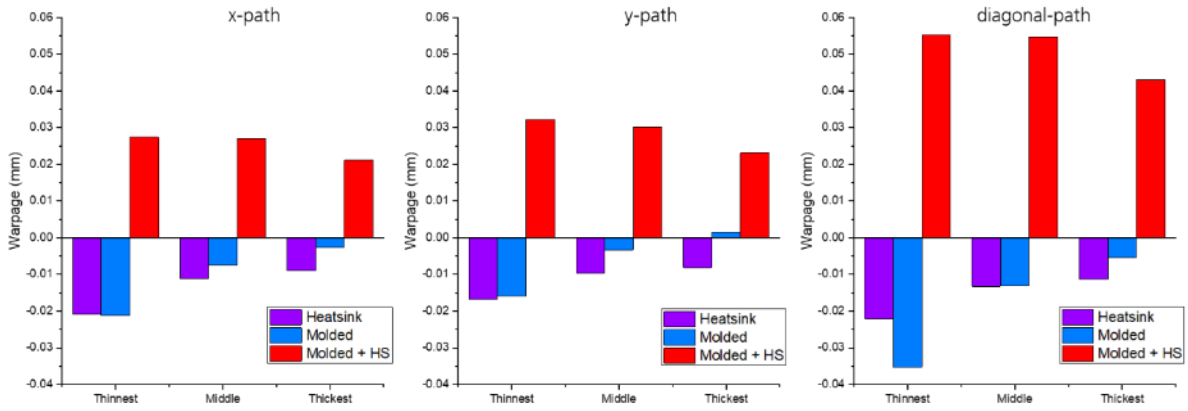


Abbildung 43: Verwölbungsergebnisse der drei Aufbauvarianten (Stand Alone Single-Die Package).

Neben den Verwölbungen, die für die Prozessierung der Packages relevant sind, sind die Spannungen, die im Chip entstehen, wichtig für die Zuverlässigkeit. Das maximum der 1. Hauptspannung wurde ausgewertet und sind in Abbildung 44 dargestellt. Auffällig ist, dass die Spannungen für das Molded-Package-Konzept deutlich geringer sind im Vergleich zu den beiden anderen Konzepten. Die Verwölbung hingegen ist für diese Konzept nicht unbedingt geringer, wie Abbildung 43 zeigt. Weiterhin führt das Kühlkörperkonzept zu Spannungen die fast unabhängig von der Kühlkörper Dicke sind.

Als nächstes erfolgt die Bewertung des Belastungszustandes für das Package auf dem Systemboard. Hierzu wurde der Herstellungsprozess vereinfacht nachsimuliert, beginnend mit dem spannungsfreien Single-Die Package bei Mold-Temperatur bzw. TIM-Aushärtetemperatur (beide 150°C). Das Package wird auf 210°C aufgeheizt, die Erstarrungstemperatur des Lotes. Hier werden die Lotkugeln und das Systemboard aktiviert und der gesamte Aufbau auf Raumtemperatur abgekühlt.
Das Lotmaterial wurde in der Simulation mit einem Kriechmodell beschrieben, sodass die Kriechdehnung ausgewertet werden konnte.

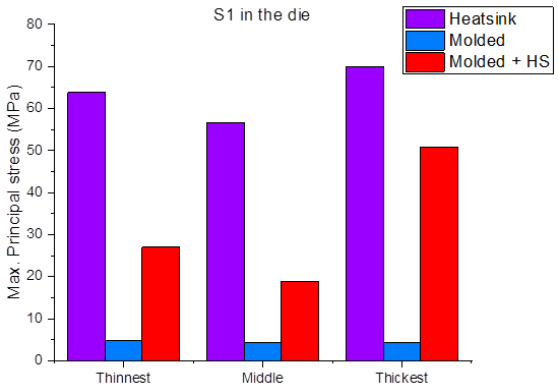


Abbildung 44: Maximaler Hauptspannung im Stand Alone Single-Die Package.

Um Rechnenzeit zu sparen, wurde nur ein Viertel der Geometrie betrachtet, wie in Abbildung 45 dargestellt. Wie bei den thermischen Analysen wurde das Systemboard mittels Trace-Mapping berücksichtigt.

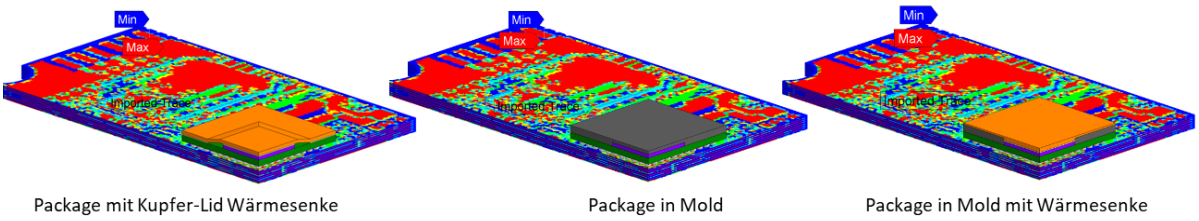


Abbildung 45: Viertelsymmetrische Simulationsmodelle der drei Package Konzepte auf Systemboard.

Es wurden jeweils zwei Varianten der drei Konzepte berechnet worden. Für das Package mit Kupfer-Lid als Wärmesenke wurden Kupferdicken von 200 und 600 µm berücksichtigt. Das Package im Mold wurde mit 400 und 800 µm Molddicke berechnet, und das Package im Mold mit Wärmesenke hat Kupferstärken von 100 bzw. 500 µm.

Die Ergebnisse der Simulationen sind in Abbildung 46 zusammengefasst, wobei die Verwölbung links, die Spannungen im Chip in der Mitte und die maximale Kriechdehnung rechts dargestellt sind. Der Spannungszustand im Chip ist erneut am geringsten für das Package im Mold, vergleichbar mit den Ergebnissen der Simulationen ohne Systemboard. Die Verwölbung ist jedoch nun deutlich höher für das Package im Mold, was auch wesentlich zur Kriechdehnung beiträgt.

Obwohl in dieser Studie einige Vereinfachungen verwendet wurden, zeigten die Ergebnisse deutliche Trends, die beim Package-Design berücksichtigt werden können.

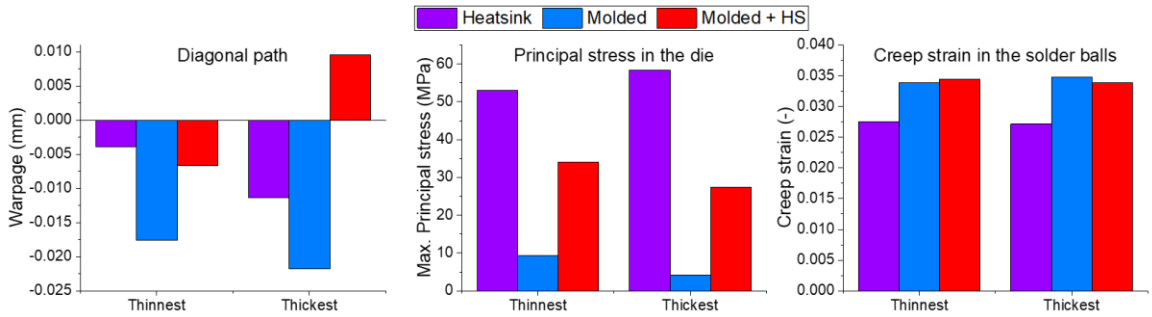


Abbildung 46: Verwölbungs- (Links), Max. Hauptspannung (Mitten) und Kriechdehnungs- (Rechts) Ergebnisse der FE-Simulationen auf Systemboard.

AP4. POC Validierung & FOWLP Analysis

(WP4. POC Validation & FOWLP analysis)

~~Task 4.4 Zuverlässigkeitsuntersuchungen anhand des FOWLP Packages~~

=> Task Abbruch durch bewilligter Antrag-Änderung 2022

Wegen Mittelumwidmung ist der Task nicht mehr aktiv bzw. abgebrochen (Transfer/Verschiebung restlichen Personalmittel zu 3.7.2 Flex). Es wird kein FOWLP mehr hergestellt, sondern

ein Thin Chip Flex Embedding Ansatz wird durchgeführt. Die ursprünglich-vorgesehenen Personalmittel von T4.4 sind in der Fertigung der Thin Chip Flex Embedding verwendet werden.

Ein passive Test-Vehicle ist in AP3 konzipiert und in Fabrikation, um gegebenenfalls Zuverlässigkeitsuntersuchung am IZM mittels passiven DaisyChain und Kelvin-Teststrukturen durchführen zu können. Da die bewilligten TVB-Mittel unzureichend für Fertigung und Zuverlässigkeit Tests auffallen, könnten Tests (u.a. passive Temperatur-Zykeln) außerhalb des Projektrahms, wenn möglich und im Fall erfolgreicher Fertigung der Thin Chip Flex Embedding, durchgeführt.

AP2., AP5., AP6. & AP7. (Penta's FPP APs)

FhG-IZM nicht beteiligt

Berichtsblatt

1. ISBN oder ISSN n/a	2. Berichtsart (Schlussbericht oder Veröffentlichung) End report / Schlussbericht

3. Titel
Schlussbericht zu
XSR-FMC (EU PENTA) „ eXtra-Low Power, Secure & Reliable Flash Memory Controller “

Für den Teilvorhaben
„Machbarkeitsstudie zum Wafer Level Packaging des XSR-FMC Mikrocontrollers“

FZK: 16ES1042

4. Autor(en) [Name(n), Vorname(n)]	5. Abschlussdatum des Vorhabens 31.05.2024
Dr.-Ing. Manier, Charles-Alix, FhG IZM	6. Veröffentlichungsdatum 22.11.2024
	7. Form der Publikation Schlussbericht
8. Durchführende Institution(en) (Name, Adresse) Fraunhofer-Institut für Zuverlässigkeit und Mikrointegration (*IZM)* Gustav-Meyer-Allee 25 13355 Berlin Deutschland	9. Ber. Nr. Durchführende Institution ---
	10. Förderkennzeichen FKZ 16ES1042
	11. Seitenzahl 40
12. Fördernde Institution (Name, Adresse) Bundesministerium für Bildung und Forschung (BMBF) 53170 Bonn	13. Literaturangaben 0
	14. Tabellen 0
	15. Abbildungen 46

16. Zusätzliche Angaben
---

17. Vorgelegt bei (Titel, Ort, Datum)
---

18. Kurzfassung

Im Rahmen des Teilvorhabens wurden zwei Hauptaktivitäten durchgeführt: 1) thermische und thermomechanische Simulationen für Ermittlung potentieller Verbesserungs-Massnahmen von existierenden Package-Lösungen sowie 2) Prozessentwicklungen im Bereich Wafer Level Packaging für die Integration von dünnen IC-Chips zwischen Back-End Umverdrahtungslagen(Dünnchip Einbetten / Thin Chip Flex Embedding). Der Bericht fasst hierbei die Haupt-Ergebnissen zusammen.

19. Schlagwörter
Thermisch, thermomechanisch, 3D, Simulation, Dünnchip Integration, Thin Chip Flex Embedding, Flex, High Density Flex, Wafer Level Packaging, Umverdrahtung

20. Verlag n/a	21. Preis n/a