Abschlussbericht gem. Nr. 4.5 NKBF 2017

Zuwendungsempfänger: **Fraunhofer Gesellschaft e.V.** **Ausführende Stelle: Fraunhofer IIS/EAS**	Förderkennzeichen: **16ME0462**
Vorhabenbezeichnung: **Automatisierter Chip-Entwurf für Radarsensoren und Kommunikationselektronik mit Millimeterwellen – InnoStar** **Teilvorhaben** **„EDA und Entwurf für das Co-Design von Chips und Packages für Anwendungen mit Millimeterwellen“** Gefördert durch das Bundesministerium für Forschung, Technologie und Raumfahrt (BMFTR)	
Laufzeit des Vorhabens: **01.04.2022 – 31.03.2025 (Nach Verlängerung bis: 31.12.2025)**	
Berichtszeitraum: **Abschlussbericht – 01.04.2022 bis 31.12.2025**	Erstellt am: **28.08.2026**

Autoren:

Benjamin Prautsch (benjamin.prautsch@iis.fraunhofer.de), Uwe Eichler (uwe.eichler@iis.fraunhofer.de)

Inhalt

1 Teil II – Eingehende Darstellung 2
1.1 Zusammenfassung 2
1.2 Kooperationen 2
1.3 Publikationen und Vorträge 3
1.4 Ursprüngliche Planung 3
1.5 Ablauf mit Herausforderungen und Highlights 4
1.6 Ausgewählte Ergebnisse 4
1.6.1 Entwurfsmethoden für HF-Applikationen: Ablauf der Implementierung mit Partner IMST 5
1.6.2 Co-Design für HF-Applikationen: LCP-Package-Design 9
1.7 Gesamtzusammenfassung 17

1 Teil II – Eingehende Darstellung

1.1 Zusammenfassung

Im Projekt InnoStar erforschte das Fraunhofer IIS/EAS in Dresden (kurz EAS) Entwurfsmethodik (EDA) und Methoden für das Co-Design von Chips und Packages für Anwendungen mit Millimeterwellen. Dabei wurden gute methodische und entwurfstechnische Ergebnisse erzielt und die Arbeiten wurden im Wesentlichen erfolgreich abgeschlossen. EAS übernahm auf europäischer Ebene die Leitung des Work Package 2 „Design Methodology & Algorithms". Ziel des Projekts war die Entwicklung von Co-Design-Methoden für Chip und Package sowie die Erprobung eines EDA-Demonstrators. Die entwickelten Werkzeuge und Entwürfe wurden erfolgreich erprobt und lieferten übertragbare Erkenntnisse für zukünftige Tool-Flows. Lediglich die finale Hardware-Validierung konnte aufgrund unvorhersehbarer externer Abhängigkeiten – konkret dem Wegfall der Verfügbarkeit von LCP-Packages für kleine Stückzahlen – nicht vollendet werden. Eine kostenneutrale Verlängerung wurde beantragt und genehmigt, was die abschließende Sicherung der methodischen Ergebnisse bis zum 31.12.2025 ermöglichte.

Im Projekt wurden Beiträge für den Spezifikations-Meilenstein MS2 in Monat 9 und für MS3 „Erste Versionen der Algorithmen und Methoden für den Entwurfs-, Test- und Validierungsablauf (TRL3)" geliefert. Die Arbeiten umfassten im Wesentlichen die Inhalte aus Arbeitspaket 2 (Entwurfsmethodik und Algorithmen), Arbeitspaket 3 (Chip/Package Codesign und IP) sowie Arbeitspaket 4 (Test und Messmethoden). Speziell für den Radar-Demonstrator von Infineon gab es enge Abstimmungen für das Co-Design von Chip und Package, wobei Infineon den Radar-Chip lieferte und EAS ein LCP-Package dafür entwarf.

Ein Themenschwerpunkt lag auf dem EDA-Demonstrator und der Tool-Kopplung. Die heterogene Tool-Landschaft mit ihren unterschiedlichen Schnittstellen war eine Herausforderung, die durch gezielte Abstimmung der Partner gelöst werden konnten. Im Speziellen wurden die für EM-Simulationen erforderlichen Informationen des Layer-Stacks sowohl offen als auch verschlüsselt gehandhabt. Ein entsprechender Stackup wurde zusammen mit Partner Infineon erstellt. Da die Industrie bei Tools zur Konsolidierung neigt, wurden Simulator-Performances verschiedener Werkzeuge zwischen EAS und Infineon ausgetauscht und diskutiert.

Auf Grundlage der in der Spezifikationsphase fixierten Anforderungen wurde am Hardware-Demonstrator gearbeitet. Messungen an vorhandenen Test-Strukturen in LCP-Material bis 110 GHz wurden durchgeführt und in die Simulationswerkzeuge durch Aufbereitung von Daten für ein Assembly Design Kit (ADK) übertragen. Die frequenzabhängigen Materialeigenschaften sowie die Fertigungs-Streuungen liegen damit auch in den Entwurfswerkzeugen vor. Diese Aktivitäten flossen in das Paper „Package Material Characterization Using Multiline TRL Algorithm Up to 110 GHz" ein. Der Package-Entwurf erfolgte und ist nachnutzbar, konnte jedoch aufgrund der oben genannten Problematik nicht gefertigt werden.

Der EDA-Demonstrator wurde weiterentwickelt, um den Optimierer WiCkeD von MunEDA/Cadence, den EM-Solver von IMST sowie die Layout-Generatoren von EAS zu kombinieren. Zusammen mit IMST und MunEDA wurden der methodische Ansatz und der Ablauf definiert und verfeinert. Konkret wurde die Nutzung und Optimierung von Layout-Generatoren für die Kapazitätsstufe eines DCO als Anwendungsbeispiel von IMST umgesetzt. EAS erstellte auf Basis des Schaltplans von IMST zunächst eine initiale und anschließend eine iterativ optimierte Layout-Variante. Die Arbeiten zur Optimierer-Fernsteuerung „GangWay" wurden ebenfalls durchgeführt, um die IIP-Generator-Methode mit dem WiCkeD-Optimierer zu kombinieren.

1.2 Kooperationen

Das Konsortium traf sich regelmäßig auf nationaler sowie Europäischer Ebene. Folgende Tabelle listet alle im Berichtszeitraum stattgefundenen *persönlichen Treffen und Reviews* auf.

Datum	Inhalt	Teilnehmer
12.05.2022	Deutsches KickOff-Treffen bei Infineon	Alle deutschen Partner
13.-14.10.2022	Deutsches Projekttreffen bei ENAS	Alle deutschen Partner
31.01.-01.02.2023	EU-Gesamtprojekttreffen in Göteborg	Alle Partner
20.-21.04.2023	Deutsches Projekttreffen bei IMST in Kamp-Lintfort	Alle deutschen Partner
26.-27.10.2023	Deutsches Projekttreffen bei EAS in Dresden	Alle deutschen Partner

14.-15.02.2024	M24 Projekt-Review	Alle Partner
17.-18.04.2024	Dt. Projekttreffen in Müllrose	Alle deutschen Partner
26.-27.11.2024	M36 Online Review-Meeting (mit Vorbereitungstag)	Alle Partner
02.-03.04.2025	Dt. Projekttreffen in München	Alle deutschen Partner
17.-18.12.2025	Final Review, Eindhovem	Alle Partner

Zudem erfolgten monatliche bis zwei-monatliche *Statusabstimmungen des dt. Teilkonsortiums* sowie regelmäßige *bilaterale Abstimmungen* zur Koordinierung der Arbeiten, insbesondere:

- mit Infineon zum Hardware-Demonstrator und dem diesbezüglichen Designflow,
- mit IMST zur Layout-Generierung der Kapazitäten einer DCO-Stufe sowie,
- mit MunEDA (jetzt Cadence) zur automatischen Charakterisierung per Skript (GangWay).

Auf europäischer Ebene wurden im Rahmen von AP2 unter Leitung von EAS alle ein bis zwei Monate die Fortschritte im Bereich Entwurfsmethoden diskutiert.

1.3 Publikationen und Vorträge

Es wurden folgende Publikationen durch EAS erstellt:

- U. Eichler, B. Prautsch, T. Reich “Automated Creation of Reusable Generators for Analog IC Design with the Intelligent IP Method,” Design and Verification Conference and Exhibition Europe 2022 (DVCON), December 6, 2022. DOI: https://doi.org/10.24406/publica-712
- R. Trieb and A. Heinig, "Package Material Characterization Using Multiline TRL Algorithm Up to 110 GHz," 2024 54th European Microwave Conference (EuMC), Paris, France, 2024, pp. 437-440, doi: https://doi.org/10.23919/EuMC61614.2024.10732384

1.4 Ursprüngliche Planung

In Tabelle 1 sind jeweils der ursprünglich geplante Start und Ende der einzelnen Arbeitspakete dargestellt (Laufzeit: 04/2022 - 03/2025). Tabelle 2 zeigt die Fälligkeit der Meilensteine. Innerhalb der Projektlaufzeit wurde InnoStar um neun Monate kostenneutral verlängert, wodurch das Projekt 12/2025 abschloss.

Tabelle 1: Zeitlicher Ablauf der Arbeitspakete mit Meilensteinen (ursprüngliche Planung)

AP	**Arbeitspaket-Kurztitel**	**PY1**				**PY2**				**PY3**			
		Q1	Q2	Q3	Q4	Q1	Q2	Q3	Q4	Q1	Q2	Q3	Q4
AP1	Anforderungen			**MS2**									
AP2	Entwurfsmethodik						**MS3**						
AP3	Co-Design und IP								**MS4**				
AP4	Test										**MS5**		
AP5	Demonstrator												**MS6**
AP6	Management		**MS1**										

Tabelle 2: Übersicht der Meilensteine und die deutschen Beiträge (ursprüngliche Planung)

Nr.	**Titel**	**Art**	**Termin**	**Verantw.**
MS1	Zuarbeit zur ersten Version der Projekt-Internet-Seite.	Internetseite	6. Monat	DiKuLi
MS2	Spezifikation und Anforderungen an den Entwurfsablauf, Entscheidungen für den Daten- und Ergebnisaustausch (TRL2).	Bericht	9. Monat	MunEDA
MS3	Erste Versionen der Algorithmen und Methoden für den Entwurfs-, Test- und Validierungsablauf (TRL3).	Software	18. Monat	Fraunhofer IIS/EAS
MS4	Nutzbare IP zur Wiederverwendung, die auch ein kooperatives Vorgehen zwischen Schaltungs- und Layoutentwurf gestatten, sowie Ansätze zum Co-Design Chip - Package (TRL4).	Software	24. Monat	Infineon
MS5	Die neuen Entwurfs-, Test- und Validierungsmethoden sowie die neuen IP-Ansätze sind für die Demonstratoren aufbereitet (TRL5).	Software	30. Monat	Fraunhofer ENAS

MS6	Die Demonstratoren sind fertig und wurden erfolgreich evaluiert, die Test- und Validierungsmethoden sowie die neuen Architekturen und Schaltungen wurden erfolgreich angewendet	Hardware	36. Monat	IMST

1.5 Ablauf mit Herausforderungen und Highlights

Das Projekt ist im Wesentlichen gemäß der Planung verlaufen und alle relevanten Ziele wurden erreicht. Kleinere Ausnahmen, die sich im Laufe des Projekts ergeben haben, sind:

- Abbruch der Hardware-Fertigung: Der Anbieter für LCP-Packages (LCP: liquid crystal polymer) wurde aufgekauft, wodurch eine Fertigung für kleine Stückzahlen nicht mehr möglich war. Die Fertigung des AiP (Antenna-in-Package) und die Lieferung der gepackagten Infineon-Radarchips mussten daher entfallen.
- Anpassung der Messungen: Statt der geplanten Hardware-Validierung wurden mess-seitig alternativ umfassende Materialmessungen am LCP-Material durchgeführt und publiziert.
- Herausforderungen in der Tool-Landschaft: Die heterogene Tool-Landschaft sorgte an Übergabepunkten für erneute Herausforderungen; Layer-Stacks mussten sowohl offen als auch verschlüsselt gehandhabt werden, wodurch leichte Verzögerungen entstanden.
- Separate Ausführung des EM-Solvers: Der EM-Solver EMPIRE musste separat ausgeführt werden, da nicht alle Tools in einem gemeinsamen Environment integriert werden konnten. Ein Datei-basierter Flow-Ablauf ist daher empfehlenswert.
- Laufzeitverlängerung: Es bedurfte einer kostenneutralen Verlängerung über den 31.03.2025 hinaus bis zum 31.12.2025, um die Arbeiten methodisch abzuschließen.

Im Projekt wurden jedoch folgende Highlights erarbeitet/erzielt:

- Europäische AP-Leitung: Fraunhofer IIS/EAS übernahm erfolgreich die Leitung des Work Package 2 (Design Methodology & Algorithms) auf europäischer Ebene.
- Erfolgreiche EDA-Demonstrator-Entwicklung: Kombination des Optimierers WiCkeD (MunEDA/Cadence), des EM-Solvers EMPIRE (IMST) und der IIP-Layout-Generatoren (EAS).
- EDA-zentrischer Layout-Entwurf für DCO: EAS erstellte für die Kapazitätsstufe eines DCO (digital controlled oscillator) von IMST eine initiale und anschließend eine iterativ optimierte Layout-Variante. Die Unterstützung der mmW-Kapazitäten der 22FDX-Technologie wurde dafür in IIP hinzugefügt. Das finale Layout wurde von IMST in das Tapeout gegeben.
- Etablierung der „GangWay“-Schnittstelle: Erfolgreiche Überarbeitung der Optimierer-Fernsteuerung (Anbindung an Cadence, Programmierung, Parameterübergabe, Einbindung von Parasitäten) zur Automatisierung der Tool-Kette anhand eines Beispiels.
- Lösung des Layer-Stack-Problems: Der verschlüsselte Layer-Stack wurde erfolgreich mit dem im Design-Environment verfügbaren Layer-Stack gekoppelt, sodass der Entwurf des Packages direkt in der Cadence-Entwurfsumgebung erfolgen konnte.
- Wichtige methodische Erkenntnis: Aufwendige Tool-Flows sollten auf die Kopplung über Dateien fokussieren, anstatt zu erwarten, dass sämtliche Tools in einem gemeinsamen Environment laufen.
- LCP-Material-Charakterisierung: Erfolgreiche Messung der frequenzabhängigen Eigenschaften und Fertigungs-Streuungen bis 110 GHz und Übertragung in die Simulationswerkzeuge (inkl. ADK-Erstellung).
- Erfolgreiche Publikationen: Veröffentlichung auf der DVCON 2022 (in enger Abstimmung mit Infineon) und auf der EuMC 2024 (Erfolgreiche Vermessung des LCP-Materials bis 110 GHz).
- Federführende Erstellung der Deliverables: Erfolgreiche Erstellung und Übermittlung der Deliverables D2.1, D2.2 und D2.3 in Work Package 2.

1.6 Ausgewählte Ergebnisse

Die Arbeiten von Fraunhofer IIS/EAS im Projekt InnoStar fokussierten sich auf die beiden Schwerpunkte generative Entwurfsmethoden für HF-Schaltungen in Arbeitspaket 2 und Chip-Package-Co-Design in den Arbeitspaketen 3 und 4.

1.6.1 Entwurfsmethoden für HF-Applikationen: Ablauf der Implementierung mit Partner IMST

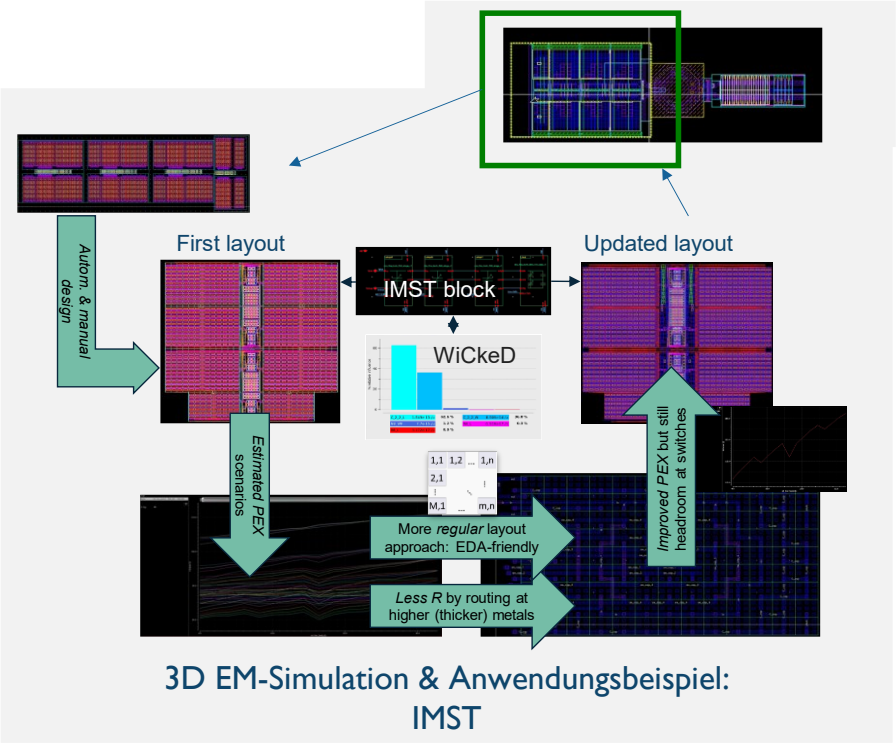

Abbildung 1 Überblick des Layoutentwurfs mithilfe automatisierter Layout-Generatoren und Analysen mittels WiCkeD-Werkzeugs der geschalteten Kapazitäten als Teilkomponente des DCO von IMST. Das aktualisierte Layout (Mitte rechts) und Vorabvarianten davon wurden mit IMST besprochen, iteriert und an IMST geliefert.

Zusammenfassung des Beitrags und der Zusammenarbeit

Der IC-Entwurf ist sehr anspruchsvoll – dies gilt besonders für analoge und HF/mmW-IC-Entwürfe, wie sie in Radar- oder Kommunikationsgeräten zum Einsatz kommen. Im Gegensatz zu den Syntheseansätzen im digitalen IC-Entwurf werden für die Automatisierung des analogen IC-Entwurfs häufig prozedurale Generatoren vorgeschlagen. Diese versprechen, entscheidendes Entwicklerwissen und IP-Daten in deterministischer und wiederverwendbarer Weise zu kapseln. Trotz vielversprechender neuer Entwicklungen bleiben zentrale Fragen offen: Wie lassen sich Generatoren effizient erstellen? Und wie lassen sie sich in einen automatisierten Design-Flow integrieren?

Eine wesentliche Herausforderung besteht in der Abwägung zwischen anfänglichem Implementierungsaufwand, Wiederverwendbarkeit sowie Wirkung und Akzeptanz. Dies wirft weitere Fragen zur Rolle des Generatoranbieters auf: Wer trägt den Aufwand für Implementierung und Pflege der Generator-IP? Welche Schnittstellen und Standards können für die Implementierung und Integration in gängige Designumgebungen genutzt werden?

Um diese Herausforderungen zu adressieren, verfolgt Fraunhofer IIS/EAS einen kombinierten Ansatz: vordefinierte Generatoren für grundlegende Bausteine auf niedrigen Hierarchieebenen werden ergänzt durch die automatische Erstellung von Generatoren mithilfe von Place-and-Route-Vorlagen für komplexere Schaltungen. Die Generatoren werden dabei mittels eines ausführbaren Skripts – einem sogenannten „Design Recipe" – in einen wiederholbar ausführbaren Designprozess eingebunden.

Fraunhofer IIS/EAS hat die genannten Herausforderungen untersucht und die Methoden dieses Flows in Zusammenarbeit mit MunEDA/Cadence auf eine konkrete Entwurfsaufgabe angewandt. Dabei wurden der erforderliche Implementierungsaufwand, die Qualität der generierten Ergebnisse und potenzielle zukünftige Entwicklungen diskutiert. Zusätzlich wurde IMST durch die Anwendung der Designmethodik für Teile des HF-Entwurfs ihres Demonstrators unterstützt.

Hauptaktivitäten der Zusammenarbeit:

- MunEDA: Automatisierung der EDA-Toolchain (GangWay)
- IMST: IIP-Generator für einen spezifischen HF-Baustein

Detaillierte Erläuterung des Beitrags und seiner Anwendung

In Deliverable D2.2 haben wir ausführlich die automatisierte Erstellung wiederverwendbarer Generatoren für den analogen IC-Entwurf mit der Intelligent-IP-Methode sowie die layout-orientierte Optimierung mit IIP und der WiCkeD Gangway beschrieben. Hier konzentrieren wir uns auf die Anwendung dieser Methoden (bei denen einige Details teilweise erweitert wurden).

Fallstudie zur Intelligent-IP-(IIP)-Generator-Methode für HF-IC-Entwurf in Zusammenarbeit mit IMST

Deliverable D2.2 beschreibt die zugrunde liegende Layoutgenerator-Methodik bereits im Detail. Dieser Bericht präsentiert die Fortschritte hin zur Anwendung im Entwurf. Der Entwurfs-Use-Case wurde vom Partner IMST bereitgestellt: Ein konfigurierbarer HF-Kondensator als Teil eines DCO (Digitally Controlled Oscillator, digital gesteuerter Oszillator). Der Entwurfsansatz des IMST-Designbeispiels war wie folgt (vgl. Abbildung 2):

- Empfang des Schaltplan-Entwurfs von IMST und grobes Layoutkonzept
- Ersetzung der Designblöcke im Schaltplan durch IIP-Blöcke
- Einfügen von Instanzen zur Abschätzung parasitärer Effekte
- Untersuchung von Layout-Effekten auf Schaltplanebene
- Ausführen des IIP-Flows zur Aktivierung der Layoutautomatisierung
- Schaltplangetriebener Layoutentwurf mit automatisierter Komponentenerzeugung und manueller Top-Level-Platzierung und -Verdrahtung

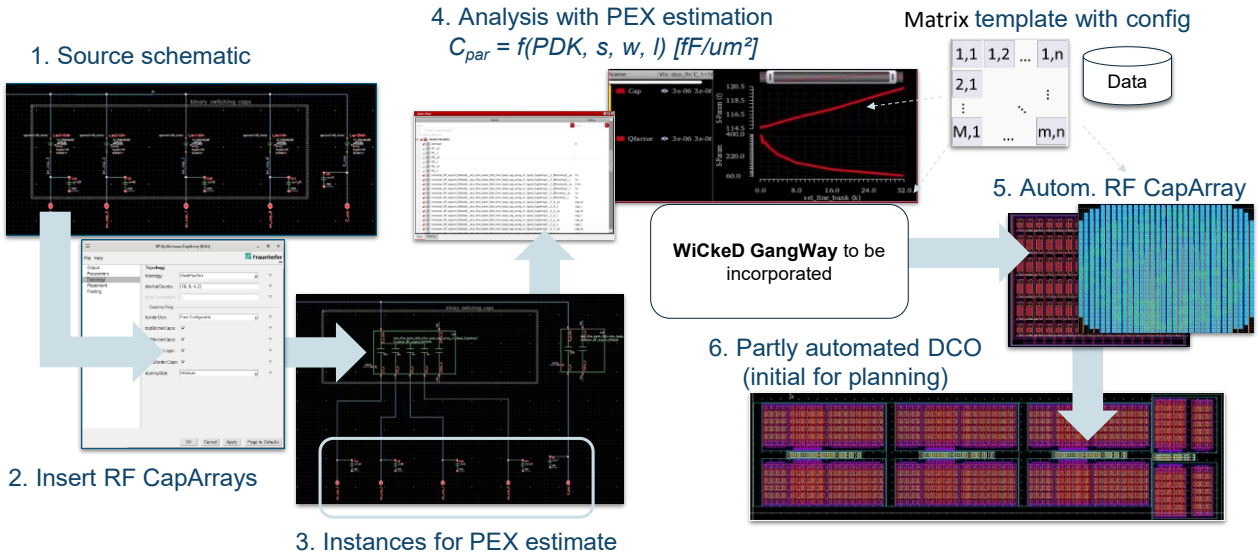

Abbildung 2 Gesamtübersicht der Schritte

Abbildung 3 zeigt einen Parameter-Sweep kritischer parasitärer Effekte, die aus der Verdrahtung in verschiedenen Layoutvarianten resultieren. Metalllagen sowie Breite und Länge der Verdrahtung wurden berücksichtigt und gemäß dem Designhandbuch berechnet, um die parasitären Effekte gut abzuschätzen und damit einen guten Einblick in die erwartete Post-Layout-Performance zu gewinnen. Die beste Variante wurde für das eigentliche Layoutdesign ausgewählt.

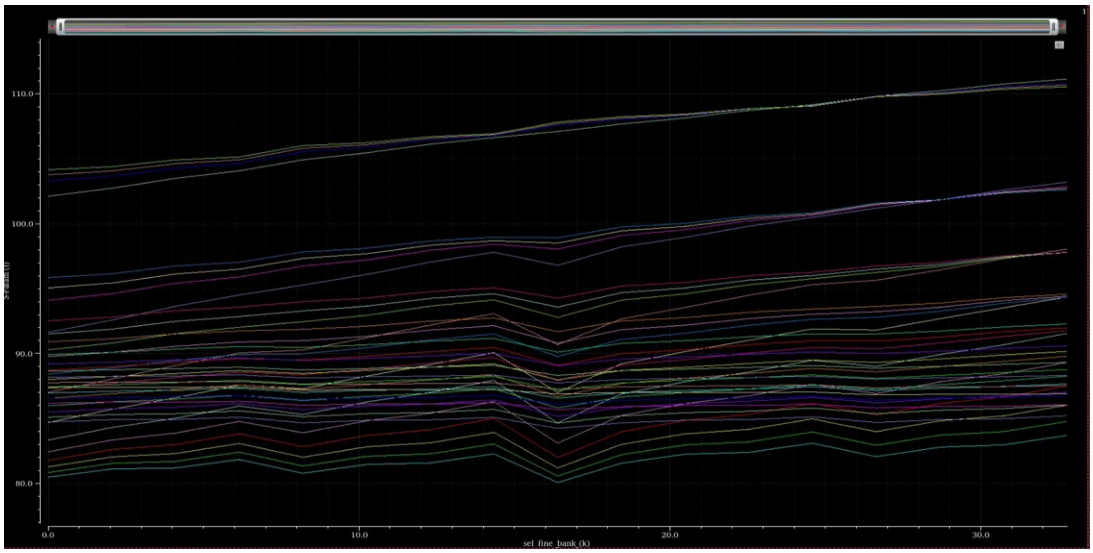

Abbildung 3 Simulationsbasierte Parameterstudie der parasitären Effekte auf die Performanz der HF-Schalter

Nach der Schaltplanoptimierung, bei der geschätzte parasitäre Effekte berücksichtigt wurden, erfolgte das Layout-Design. Die erste Design-Iteration litt unter einer falschen Annahme bei der Schätzung der parasitären Effekte, die zu diesem Zeitpunkt noch nicht berücksichtigt worden war, d. h., der Ablauf der vorherigen Abschnitte war noch nicht festgelegt. Sobald diese jedoch vorhanden waren, ergab die vorläufige parasitäre Schätzung die Layout-Anforderungen, was unmittelbar zu einer Neuwahl der für das Signal-Routing verwendeten Routing-Ebene führte. Infolgedessen wurde das Layout-Design in einer aktualisierten Version verbessert (Abbildung 4). Dieses Layout wurde an den Partner IMST übergeben, der es in sein Tapeout einbrachte.

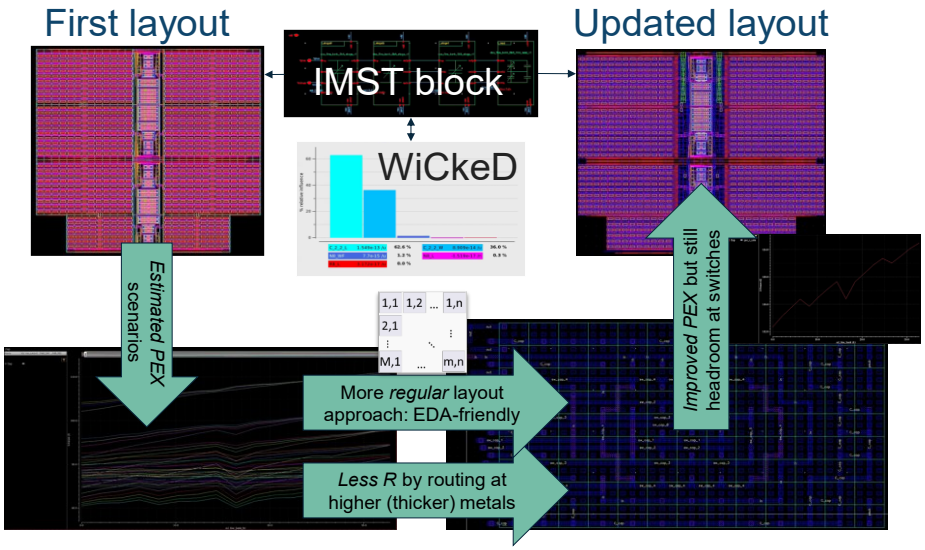

Abbildung 4 Iterative Verbesserung des Layouts für den DCO von IMST

Layoutbewusste Optimierung mit IIP und der WiCkeD Gangway in Zusammenarbeit mit MunEDA/Cadence

MunEDA/Cadence entwickelte eine Programmierschnittstelle für seinen Optimierer WiCkeD. Diese sogenannte „Gangway“ ermöglicht die Automatisierung von Optimierungsaufgaben mithilfe der Programmiersprache Python. Auch unser Generator-Tool „Intelligent IP (IIP)“ verwendet Python als Hauptsprache. Daher implementierten wir einen ersten Prototyp, um beide Ansätze anhand eines einfachen Beispiels zu kombinieren. Dieser Ansatz vereinfachte die Wiederverwendung von Designs, indem der Designprozess über verschiedene Designprojekte hinweg erneut ausgeführt werden kann.

Ein entscheidender Schritt im Designflow ist die Integration der Parameter in die Simulatorumgebung. Um diesen Schritt zu erleichtern, implementiert IIP die folgenden Schritte (Abbildung 5):

1) Alle Größenparameter aus IIP-Blöcken in der Hierarchie erkennen
2) Entsprechende Parameter und globale Variablen in der Cadence-Simulationsumgebung ADE Assembler erstellen
3) Vom Designer als Ausgangspunkt für die Parametrierung nutzbar

Als Ausblick können auch generatorspezifische Parametersätze eingebunden werden, und anstelle nur des aktuellen Werts können Parameterbereiche verwendet werden.

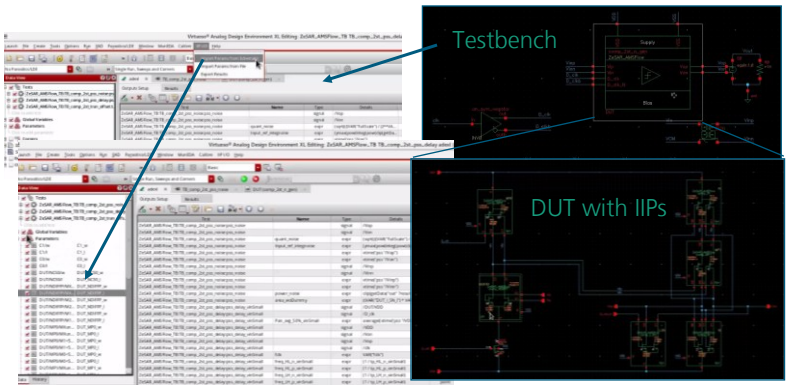

Abbildung 5 Parameter-Import aus einem IIP-basierten Schematic in die Simulationsumgebung

Nun, mit den importierten Parametern wird die eigentliche Parameterstudie ausgeführt. Nach der Optimierung müssen die geänderten Parameter an IIP zurückgegeben werden, um die Layouts neu zu generieren. Dies kann durch die Auswahl eines bestimmten Ergebnisses oder durch das Speichern der Liste der analysierten Leistungskennzahlen erfolgen. Diese Parameter werden anschließend als Parameterdateien für die Ausführung des IIP-Generators in der ersten Iteration verwendet (Abbildung 6).

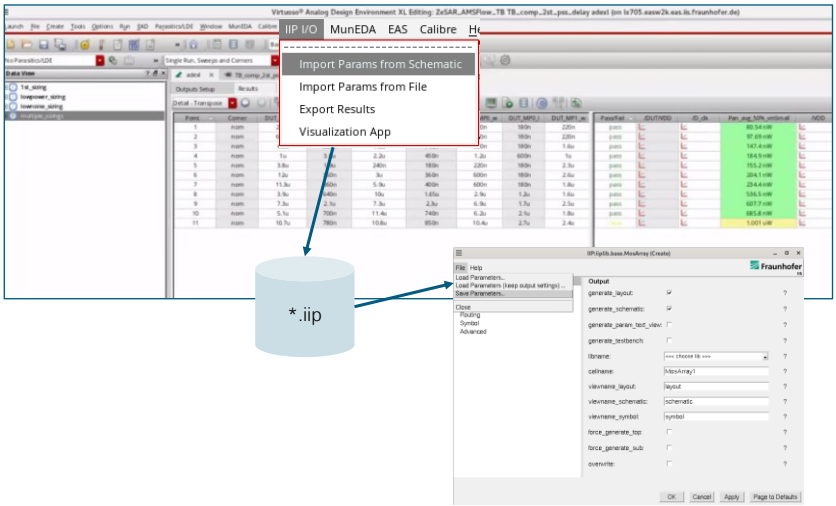

Abbildung 6 Parameter-Export aus ADE zurück in die IIP-Generatoren

Beitrag und Ausblick

Die prototypischen Methoden zur Kopplung der EDA-Werkzeuge der Partner Fraunhofer IIS/EAS und MunEDA/Cadence sind einsatzbereit und wurden auf den HF-Design-Anwendungsfall des Partners IMST angewandt. IIP und WiCkeD können gemeinsam ausgeführt werden; der Designraum eines gegebenen Entwurfs kann automatisch erkundet und/oder optimiert werden, wobei die geschätzten Parasitären Effekte auf Grundlage der bekannten Standardformeln im Kontext der automatischen IIP-Layouts und der Technologiedaten berücksichtigt werden.

Ein realer Entwurf von IMST wurde mit dem genannten Flow untersucht. Das IMST-Designbeispiel ist Teil eines DCO, den IMST zum Tapeout gebracht und später vermessen hat.

1.6.2 Co-Design für HF-Applikationen: LCP-Package-Design

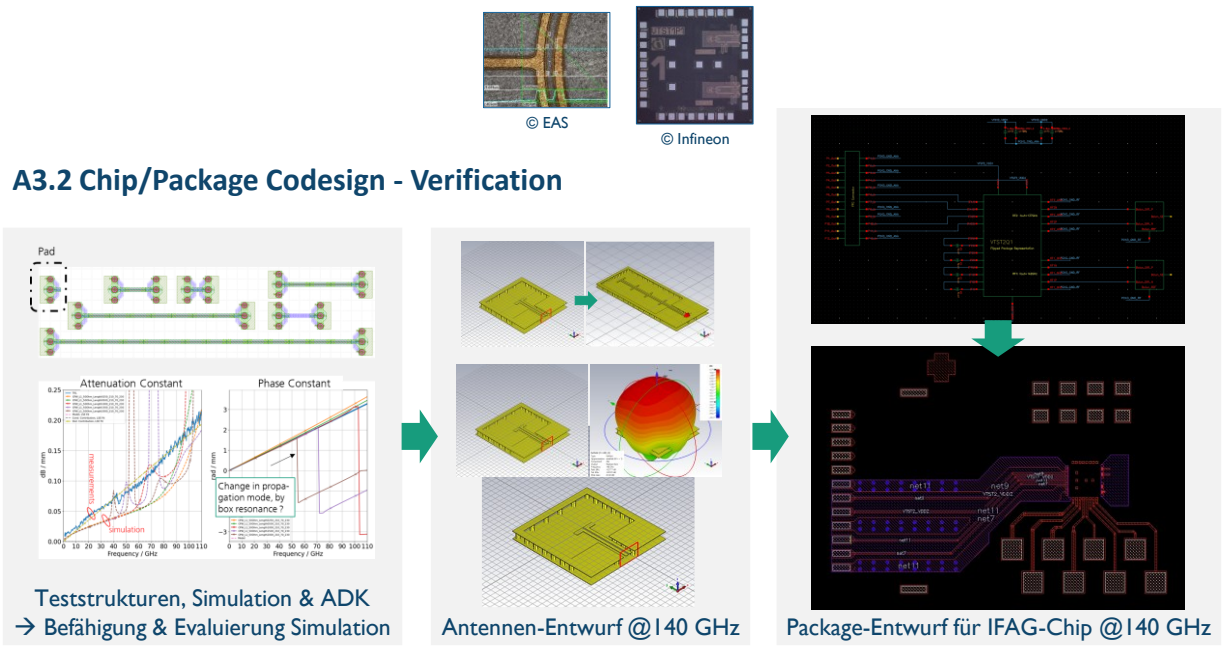

Abbildung 7 Überblick des Package-Entwurfs: Auf Basis von Teststrukturen erfolgten Messung für die Ermittlung von ADK-Daten, auf deren Grundlage anschließend Package und Antenne entworfen wurden.

Die folgende Darlegung basiert auf der Publikation *R. Trieb and A. Heinig, "Package Material Characterization Using Multiline TRL Algorithm Up to 110 GHz," 2024 54th European Microwave Conference (EuMC), Paris, France, 2024, pp. 437-440, doi: 10.23919/EuMC61614.2024.10732384*.

Einleitung

Die heterogene Package-Integration ermöglicht es, die Funktionalität im Vergleich zu herkömmlichen Packages durch weniger Kompromisse zu erhöhen, da unterschiedliche Halbleitertechnologien eingesetzt werden können. Dies steigert die Nachfrage nach Packages in vielen Anwendungsbereichen, wodurch wiederum neue Anforderungen an Package-Materialien entstehen. Eine wichtige Anforderung an diese Materialien sind gute elektrische Eigenschaften, die ihren Einsatz für Hochgeschwindigkeitsdatenübertragungen ermöglichen, beispielsweise im Millimeterwellenbereich.

Auf dem Markt sind zahlreiche für Millimeterwellen geeignete Substratmaterialien wie Glas, Keramiken, PTFE (Polytetrafluoroethylene) und verschiedene organische Substrate erhältlich, die jeweils spezifische Vorteile bieten. In vielen Fällen wird die Dielektrizitätskonstante von den Herstellern jedoch nur unzureichend angegeben, beispielsweise lediglich im einstelligen GHz-Bereich, während die vorgesehenen Anwendungen einen Betriebsfrequenzbereich von bis zu 170 GHz erfordern.

Um die komplexe Permittivität solcher potenziellen Kandidaten für Millimeterwellenanwendungen zu bestimmen, ist eine zuverlässige und schnelle Methodik erforderlich, um Zeit und Kosten zu sparen. Ziel dieser Arbeit ist die Bewertung einer solchen Methodik, um die Gehäuseoptimierung zu vereinfachen. Basierend auf dem Multi-Line-Thru-Line-Reflect-(mTRL)-Algorithmus ermöglicht diese Methode die Bewertung der Materialeigenschaften über einen breiten Frequenzbereich, wobei ausschließlich Übertragungsleitungen mit unterschiedlichen Leitungslängen und Reflexionsstandards verwendet werden.

Mithilfe begleitender 3D-EM-Simulationen kann die ermittelte effektive Permittivität den einzelnen Substratmaterialien zugeordnet werden. Zur Demonstration wurde ein organisches, laminiertes Gehäuse mit vier Kupferlagen ausgewählt. Der Lagenaufbau wird nachfolgend detailliert vorgestellt. Es folg zudem ein Überblick über den TRL-Algorithmus, die entworfenen Übertragungsleitungen und die Fertigung. Anschließend wird das Verfahren zur Bestimmung der Permittivität aus den Messergebnissen erläutert und abschließend eine Schlussfolgerung dargestellt.

Messungen bis 110 GHz werden die Simulationsergebnisse validieren. Obwohl die Laborausstattung den Messfrequenzbereich auf 110 GHz begrenzt, kann die Methodik auch bis 170 GHz angewendet werden. Aufgrund des großen Umfangs dieser Arbeit kann der Autor einige Schritte nur oberflächlich erläutern.

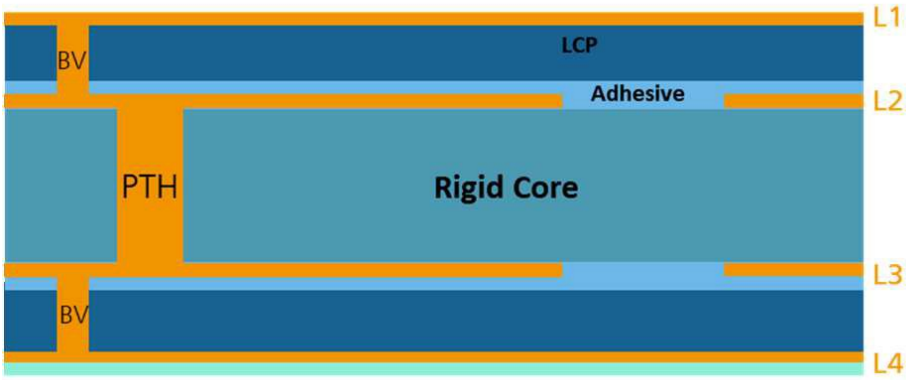

Abbildung 8 Stack-Up des organischen Substrats

Organisches Substrat mit vier Lagen

Zur Bewertung der folgenden Methodik wurde ein für Millimeterwellenanwendungen geeignetes Gehäuse ausgewählt. Abb. 1 zeigt den Lagenaufbau des Gehäuses. Dieser besteht aus einem glasfaserverstärkten BT-Epoxidharz HL972LF als starrem Kern, der auf beiden Seiten mit Flüssigkristallpolymer (LCP) R-F705S unter Verwendung des LCP-Klebstoffs R-BM17 laminiert ist.

Die Dicke der dielektrischen Schichten wurde sorgfältig gewählt, um 50-Ohm-Übertragungsleitungen zu realisieren. Dabei wurden die minimal herstellbare Leiterbahnbreite und der minimale Leiterbahnabstand berücksichtigt. Zum Zweck der Materialcharakterisierung wurde die Anzahl der Kupferlagen auf vier festgelegt; sie kann jedoch erhöht werden, um die Anforderungen der jeweiligen Anwendung zu erfüllen.

Die wichtigsten Eigenschaften des Lagenaufbaus sind in Tabelle 3 aufgeführt.

Tabelle 3 Eigenschaften des Package-Stackup

Eigenschaft	**Wert**
Cu-Schichtdicken L1, L4	15 µm
Cu-Schichtdicken L2, L3	17 µm
LCP-Schichtdicke	50 µm
Dicke der Klebstoffschicht	25 µm
Sicke der starren Kernschicht	200 µm

Die Materialdaten der Hersteller werden für verschiedene Frequenzen in [1] [2] [3] angegeben. Tabelle 4 zeigt die bei einer gemeinsamen Frequenz von 10 GHz angegebenen Daten. In [2] gibt Panasonic bei 14 GHz eine abweichende Dielektrizitätskonstante von 2,9 an. Die große Abweichung zwischen 3,3 bei 10 GHz und 2,9 bei 14 GHz erscheint möglicherweise nicht plausibel und soll im Rahmen dieser Arbeit überprüft werden.

[1] *FELIOS LCP R-F705S Technical Datasheet*, [Online]. Available: https://industrial.panasonic.com/content/data/EM/PDF/DS_FELIOSLCP_R-F705S_en_2022.pdf.

[2] *R-BM17 Adhesive Technical Datasheet*, [Online]. Available: https://industrial.panasonic.com/content/data/EM/PDF/emscatalog_fpcrbm17.pdf

[3] *HL972LF typeLD Technical Datasheet*, [Online]. Available: https://www.mgc.co.jp/eng/products/sc/btprint/lineup/hfbt.html

Tabelle 4 Mataerialeigenschaften bei 10 GHz

Material	Dk @ 10 GHz	Df @ 10 GHz
LCP R-F705S	3,3	0,002
Adhesive R-BM-17	2,2	0,002
HL972LF	3,5	0,004

Die niedrige Dielektrizitätskonstante und der geringe Verlustfaktor des LCP sowie seines Klebstoffs machen dieses Substrat für die Millimeterwellensignalübertragung geeignet. Daher wurden die Lagen L1 und L2 für die Charakterisierung verwendet, wodurch zwei Grenzflächen geschaffen werden, um das Substrat von den übrigen Gehäuselagen zu trennen.

Für die Charakterisierung wurden zwei Arten von Übertragungsleitungen betrachtet, die diese Grenzflächen bereitstellen: ein geerdeter koplanarer Wellenleiter (Grounded Coplanar Waveguide, GCPW) und eine Mikrostreifenleitung (Microstrip Line, MSL).

Um auch im Millimeterwellenbereich geringe ohmsche Verluste sicherzustellen, wurden die äußeren Leiterlagen L1 und L4 mit einer direkt abgeschiedenen Immersionsgoldoberfläche mit einer Dicke von 0,25 µm versehen, um Oxidationseffekte zu verhindern.

mTRL zur Materialcharakterisierung

A. Multiline-TRL-Algorithmus

Seit der Entwicklung der Multiline-TRL-Kalibriertechnik hat sie sich zu einem Referenzverfahren in der Kalibrierung entwickelt. Es besteht allgemeiner Konsens darüber, dass TRL eine hohe Genauigkeit für die Zweitor-Kalibrierung von Vektornetzwerkanalysatoren bietet.

Als De-Embedding-Verfahren für Übertragungsleitungen eingesetzt, kann TRL den Einfluss der Diskontinuität am Übergang zwischen Messsonde und Pad sowie der Pad-Kapazität über einen sehr breiten Hochfrequenzbereich hinweg eliminieren. Das Verfahren wurde bereits erfolgreich zur Charakterisierung von Übertragungsleitungen und passiven Bauelementen in [4] und [5] eingesetzt.

Ein Nachteil dieses Verfahrens besteht darin, dass die Impedanz der gemessenen Leitungen nicht aus dem TRL-Algorithmus bestimmt werden kann; zusätzlicher Aufwand ist daher unvermeidbar. Eine weitere Einschränkung besteht bei niedrigen Frequenzen unterhalb von etwa 1 GHz. In diesem Bereich ist die Methodik ungeeignet, da Leitungslängen von mehreren Zentimetern erforderlich wären.

B. Übertragungsleitungen

Wie weiter oben erwähnt, eignen sich zwei Arten von Übertragungsleitungen zur Isolierung und Charakterisierung einer ausgewählten Lage eines laminierten Mehrlagengehäuses: der geerdete koplanare Wellenleiter (GCPW) und die Mikrostreifenleitung (MSL). Aufgrund der geschlossenen Struktur des GCPW fiel die Entscheidung auf diesen Leitungstyp.

Ein mTRL-Satz aus GCPWs wurde mit einer Signalleiterbreite von 64 µm, einem Signal-zu-Masse-Abstand von 43 µm und einer Masseleiterbreite von 150 µm ausgelegt. Die daraus resultierende gesamte Leiterbreite beträgt 450 µm. Zwischen den Entwurfsdaten und dem gefertigten Produkt bestehen aus verschiedenen Gründen Abweichungen, deren Untersuchung jedoch nicht Gegenstand dieser Arbeit war.

Nach der Fertigung wurden die physikalischen Abmessungen der GCPWs mit einem konfokalen Mikroskop vermessen. Abweichungen in der Kupferdicke, Leiterbreite und im Leiterabstand wurden im EM-Simulationsmodell berücksichtigt. Ein charakteristisches Beispiel für solche Abweichungen ist in Abbildung 9 dargestellt: Der im Entwurf rechteckige Querschnitt der CPW-Leiter auf Lage L1 änderte

---

[4] M. Wojnowski, M. Engl and R. Weigel, “Highly accurate frequency/time domain characterization of transmission lines and passives for SiP applications up to 65 GHz,” 2007 69th ARFTG Conference, Honolulu, HI, USA, 2007

[5] V. S. Shilimkar, S. G. Gaskill and A. Weisshaar, “Broadband characterization of on-chip RF spiral inductor using multi-line TRL calibration,” 82nd ARFTG Microwave Measurement Conference, Columbus, OH, USA, 2013, pp. 1 - 4, doi: 10.1109/ARFTG-2.2013.6737354

sich nach der Fertigung zu einem trapezförmigen Querschnitt mit geringerer Leiterbreite und größeren Leiterabständen.

Die mikroskopische Vermessung des gefertigten Designs ergab eine Signalleiterbreite von 57 µm, einen Abstand von 49 µm sowie eine Masseleiterbreite von 145 µm in Substratnähe. Zusätzlich wurde eine Leiterhöhe von etwa 12 µm gemessen. Mit dem Mikroskop konnte die RMS-Oberflächenrauheit auf ungefähr 0,4 µm geschätzt werden.

Zur Berücksichtigung möglicher Messfehler oder Abweichungen der tatsächlichen physikalischen Abmessungen von den gemessenen Werten wurde in den Simulationen gemäß den Werten aus Abbildung 9 eine Abweichung von 1 µm angesetzt.

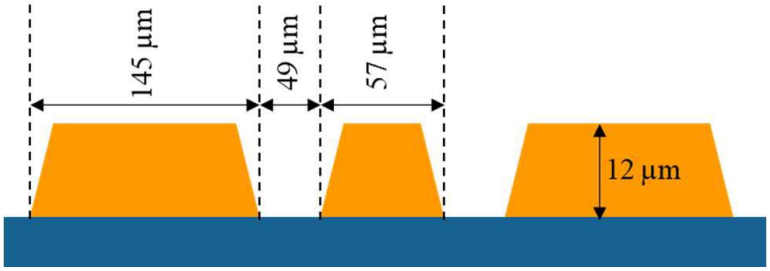

Abbildung 9 Querschnitts-Darstellung der Lage L1 des GCPW mit den nach der Fertigung gemessenen Werten für Signalleiterbreite, Abstand und Masseleiterbreite.

Messergebnisse und Auswertung

Die Messungen wurden auf einer MPI-TS150THZ-Probestation mit einem Rohde-&-Schwarz-ZVA110-Vektornetzwerkanalysator durchgeführt. Dabei kamen zwei Frequenzumsetzer zur Signalerzeugung im Frequenzbereich von 67 GHz bis 110 GHz sowie zwei ACP110-GSG-Sonden mit einem Sondenabstand von 100 µm zum Einsatz.

A. Off-Wafer-Kalibrierung

Vor den Messungen wurde eine Off-Wafer-Kalibrierung durchgeführt, um den Einfluss des Messsystems auf die Messergebnisse zu eliminieren. Dadurch wurde die Referenzebene des Messaufbaus auf die Sondenspitzen gelegt. Eine mTRL-Kalibrierung wurde im Frequenzbereich von 1 GHz bis 110 GHz durchgeführt. Dabei wurde der aufgrund der begrenzten Leitungslängen eingeschränkte Gültigkeitsbereich der mTRL-Methode berücksichtigt.

B. Auswertung

Die Kalibrierung der zweiten Stufe wird anhand des auf dem Gehäuse gefertigten GCPW-TRL-Satzes durchgeführt. Der mTRL-Algorithmus wird auf die gemessenen S-Parameter angewendet und liefert die Ausbreitungskonstante $\gamma = \alpha + j\beta$, die effektive Permittivität der Übertragungsleitung $\varepsilon_{r,\mathrm{eff}} = \varepsilon'_{r,\mathrm{eff}} + j\varepsilon''_{r,\mathrm{eff}}$ sowie die S-Parameter der Sondenpads, die im Folgenden als Fehlernetzwerke bezeichnet werden.

Diese Netzwerke repräsentieren sowohl den Übergang von der Sonde zur Leitung als auch die Pad-Kapazitäten und -Verluste. Jede Leitung enthält zwei Sondenpads; daher wird zwischen einem Vorwärts- und einem Rückwärtsfehlernetzwerk unterschieden.

Die Bestimmung der Substratpermittivität folgt dem in Abbildung 10 dargestellten Verfahren, das mit der Arbeit in [6] vergleichbar ist. In dieser Arbeit wird jedoch eine verbesserte Impedanzbestimmung verwendet, die erstmals in [4] veröffentlicht wurde und nicht nur die Eingangsreflexion der

[6] H. Kim, J. Kim and Y. Eo, “Broadband Thin-Film Transmission-Line Characterization for Accurate High-Frequency Measurements of On-Wafer Components,” in *IEEE Transactions on Microwave Theory and Techniques*, vol. 64, no. 3, pp. 931 - 938, March 2016, doi: 10.1109/TMTT.2016.251901

Fehlernetzwerke berücksichtigt. Die Bedeutung einer präzisen Impedanzbestimmung wurde ebenfalls in [7] hervorgehoben.

Mithilfe der charakteristischen Impedanz des GCPW können die Substratverluste über die RLGC-Parameter berechnet werden. Der gesamte Substratverlust $\varepsilon''_{r,\mathrm{sub}}$ umfasst die Verluste beider Schichten, also des LCP und des Klebstoffs. Anhand der bekannten Materialdaten bei 10 GHz konnte das EM-Simulationsmodell so angepasst werden, dass es den gemessenen Substratverlusten entspricht.

Da das Gehäusesubstrat mehrlagig aufgebaut ist, konnten die in [8] veröffentlichten GCPW-Modelle keine genaue Extraktion der Permittivität ermöglichen. Daher musste der Realteil der effektiven Permittivität $\varepsilon'_{r,\mathrm{eff}}$ mithilfe iterativer 3D-EM-Simulationen auf die Substratpermittivität $\varepsilon'_{r,\mathrm{sub}}$ abgebildet werden.

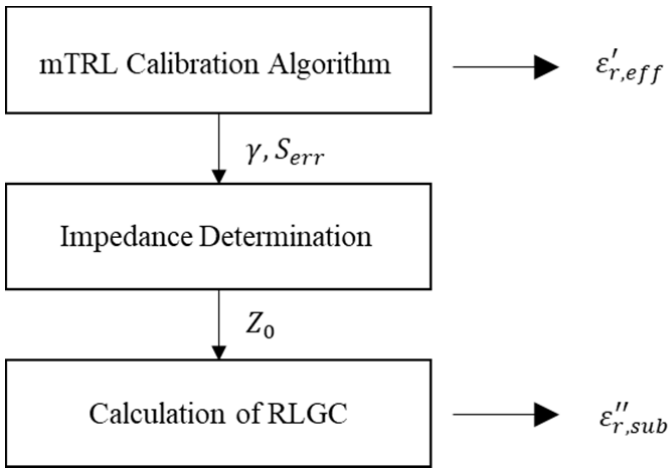

Abbildung 10 Prozedur der Permittivitäts-Ermittlung

Um das Verfahren schrittweise zu erläutern, werden die relevanten Ausgaben des TRL-Algorithmus dargestellt. Abbildung 11 zeigt die Dämpfungskonstante α aus zwei verschiedenen Messungen sowie die endgültigen Simulationsergebnisse. Zusätzlich wurden die Messdaten mithilfe eines allgemeinen Modells für den Gesamtverlust angepasst:

$$\alpha = \alpha_c\sqrt{f} + \alpha_d f$$

Dieses Modell setzt sich aus dem Leiterverlust und dem dielektrischen Verlust zusammen. Hierzu wurde eine lineare Regressionsanpassung durchgeführt. Abbildung 12 zeigt die effektive Permittivität $\varepsilon'_{r,\mathrm{eff}}$ im Vergleich zu den endgültigen Simulationsergebnissen.

Bei bekannter Ausbreitungskonstante der Leitung γ und den S-Parametern des Fehlernetzwerks S_{ij}, mit $i,j \in \{1,2\}$, kann die in Abbildung 13 dargestellte Impedanzbestimmung wie folgt durchgeführt werden:

$$\underline{Z}_0 = Z_{\mathrm{ref}}\frac{1+\underline{S}_{11}}{1+\underline{S}_{22}e^{2\gamma l}} \qquad (1)$$

Dabei ist l die Verschiebung der Referenzebene:

$$l = \frac{\mathrm{Im}\{ln(S_{12}S_{21} - S_{11}S_{22})\}}{2\mathrm{Im}\{\gamma\}}$$

und Z_{ref} die Referenzimpedanz des Systems, beispielsweise $50\ \Omega$.

---

[7] C. -C. Huang, C. -L. Peng, C. -Y. Liao, P. -Y. Lin, P. -H. Yang and K. - C. Cheng, "Modeling and Measurement of Grounded Coplanar Waveguide on Printed Circuit Board for 5G and Automotive Radar Applications," *2019 IEEE VTS Asia Pacific Wireless Communications Symposium (APWCS)*, Singapore, 2019, pp. 1 - 5, doi: 10.1109/VTSAPWCS.2019.8851624.

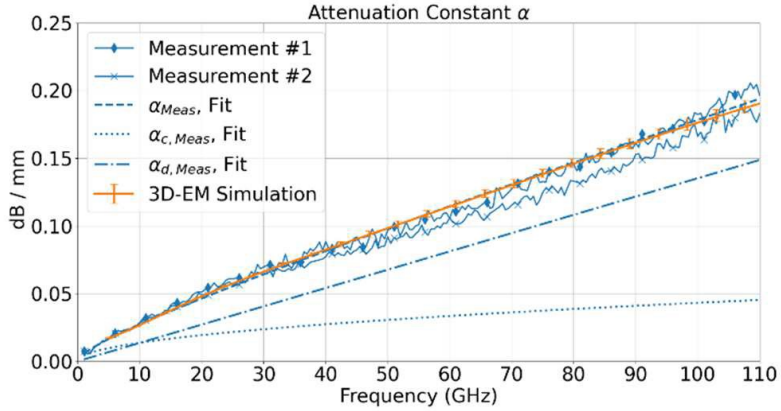

Abbildung 11 Dämpfungskonstante des GCPW; Simulationsergebnisse mit Fehlerbalken, die den Einfluss einer Abweichung der physikalischen Abmessungen von 1 µm auf das Berechnungsergebnis darstellen.

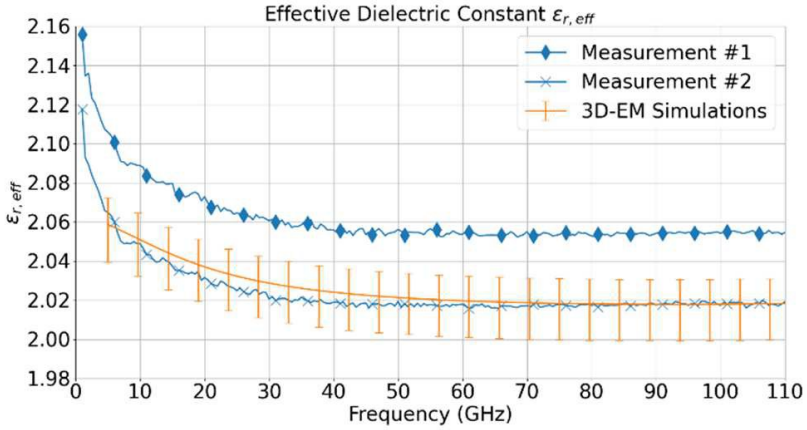

Abbildung 12 Effektive Dielektrizitätskonstante; Simulationsergebnisse mit Fehlerbalken.

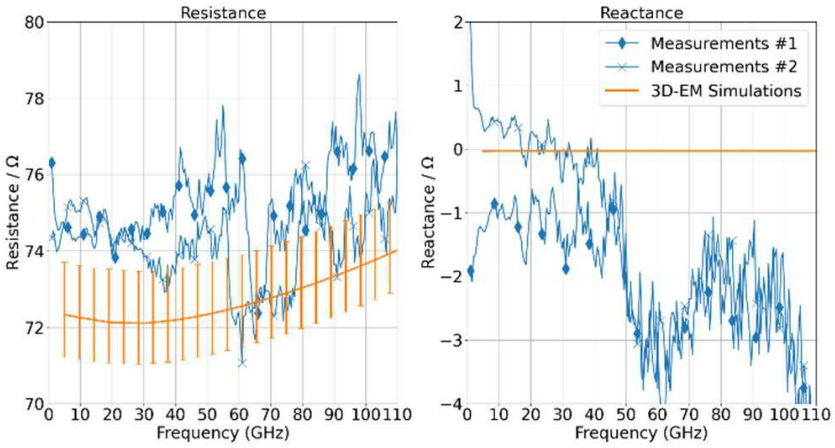

Abbildung 13 Charakteristische GCPW-Impedanz

Gemäß Gleichung (1) sind die Ergebnisse der Berechnung der Leitungsimpedanz in Abbildung 12 dargestellt. Dabei wird eine Referenzebenenverschiebung l verwendet, die über den gesamten Frequenzbereich etwa $150\,\mu$m beträgt. Anschließend kann die effektive dielektrische Verlustkomponente über die RLGC-Parameter unter Verwendung der gebräuchlichen Beziehung berechnet werden:

$$\varepsilon''r,eff = \frac{G_{pul}}{\omega C_{pul}} \varepsilon'_{r,eff} \approx \varepsilon''_{r,sub} \quad (2)$$

Unter der Annahme, dass $\varepsilon''_{r,\mathrm{eff}}$ ausschließlich durch die Verluste des LCP und des Klebstoffs beeinflusst wird, gilt:

$$\varepsilon''_{r,\mathrm{eff}} \approx \varepsilon''_{r,\mathrm{sub}}$$

Daher werden der längenbezogene Leitwert G_{pul} und die längenbezogene Kapazität C_{pul} verwendet, um $\varepsilon''_{r,\mathrm{sub}}$ direkt zu berechnen. Diese Annahme ist gültig, solange keine organische Passivierung, beispielsweise ein organischer Lötbarkeitsschutz (OSP), aufgebracht wird. Mit anderen Worten darf lediglich eine Oberflächenveredelung der Leiterlagen, wie ENEPIG, DIG oder Immersionssilber, eingesetzt werden, da diese ausschließlich die Leiterverluste beeinflusst. Im letzten Berechnungsschritt werden die allgemeinen Definitionen von G_{pul}und C_{pul}verwendet:

$$\begin{aligned} G_{\mathrm{pul}} &= \mathrm{Re}\left\{\frac{\gamma}{Z_0}\right\}, \\ C_{\mathrm{pul}} &= \frac{1}{\omega}\mathrm{Im}\left\{\frac{\gamma}{Z_0}\right\} \end{aligned} \qquad (3)$$

Da sich der Gesamtverlust aus Leiterverlusten und dielektrischen Verlusten zusammensetzt, beeinflussen die Leiterverluste den Leitwert G_{pul}stark. Daher wurde die Ausbreitungskonstante gemäß [8] zu

$$\gamma = \alpha_d + j\beta$$

reduziert, wobei α_d den in Abbildung 11 dargestellten angepassten dielektrischen Verlust bezeichnet. Der Substratverlust $\varepsilon''_{r,\mathrm{sub}}$ wurde mit der erweiterten Gleichung (3) berechnet. Das Ergebnis ist in Abbildung 14 als Verlusttangens dargestellt:

$$\tan\delta = \frac{G_{\mathrm{pul}}}{\omega C_{\mathrm{pul}}}$$

Abschließend muss der Substratverlust den Verlustanteilen des LCP und des Klebstoffs zugeordnet werden. Da keine geeigneten Modelle verfügbar sind, muss dieser Schritt mithilfe von Simulationen durchgeführt werden.

Um die Kausalität in den EM-Simulationen und in der darauf basierenden Systemsimulation sicherzustellen, werden geeignete Modelle, beispielsweise das Debye-Modell, zur Beschreibung der Frequenzabhängigkeit der Substratmaterialien eingesetzt. Das allgemeine Debye-Modell unter Vernachlässigung der Leitfähigkeit lautet:

$$\varepsilon_r(\omega) = \varepsilon'_\infty + \sum_{i=1}^{N} \frac{\Delta\varepsilon'_i}{1 + j\omega\tau_i} \quad (4)$$

Mithilfe der bekannten Materialdaten bei 10 GHz wurde festgestellt, dass die Anzahl der Pole erhöht werden musste, um den nahezu konstanten Substratverlust zu erzielen; siehe Abbildung 14.

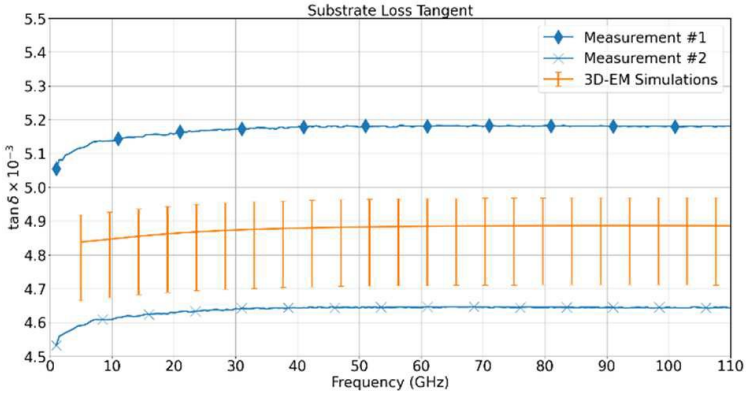

Abbildung 14 Verlusttangens des Substrats

[8] Ch. Morgan, “Solutions for Causal Modeling and A Technique for Measuring Causal, Broadband Dielectric Properties,” *IEEE MTT-S International Microwave Symposium*, June 2007.

Für beide Materialien wurde das Frequenzverhalten mithilfe von Gleichung (4) berechnet. Die Parameter sind in Tabelle 3 mit geringerer Genauigkeit angegeben.

Tabelle 5 Material-Modellparameter

Material	ε'_∞	$\Delta\varepsilon'_1$	τ_1	$\Delta\varepsilon'_2$	τ_2	$\Delta\varepsilon'_3$	τ_3
R-F705S	2.886	0.0098	1.98e-11	0.002	2.27e-12	0.008	1.45e-12
R-BM17	2.190	0.0074	1.98e-11	0.002	2.27e-12	0.006	1.45e-12

Abbildung 15 und Abbildung 16 zeigen das resultierende Dispersionsmodell, das für die Simulationen in Abb. 4–7 verwendet wurde und mit den Datenblattangaben bei 10 GHz übereinstimmt. Die Fehlerbalken kennzeichnen den maximalen Berechnungsfehler, der durch eine Abweichung von $1\,\mu$m einer beliebigen physikalischen Abmessung der Kupferlage gegenüber den gemessenen Abmessungen verursacht wird. Dadurch kann die Dielektrizitätskonstante des LCP zwischen 2,86 und 2,93 variieren, während der Verlusttangens zwischen 0,0016 und 0,0022 liegt.

Es wird angenommen, dass diese Abhängigkeit den stärksten Einflussfaktor auf die Abweichungen zwischen Simulation und Messung sowie zwischen den beiden Messergebnissen darstellt. Dennoch konnten eine Dielektrizitätskonstante von 2,9 und ein Verlustfaktor von 0,002 bestätigt werden.

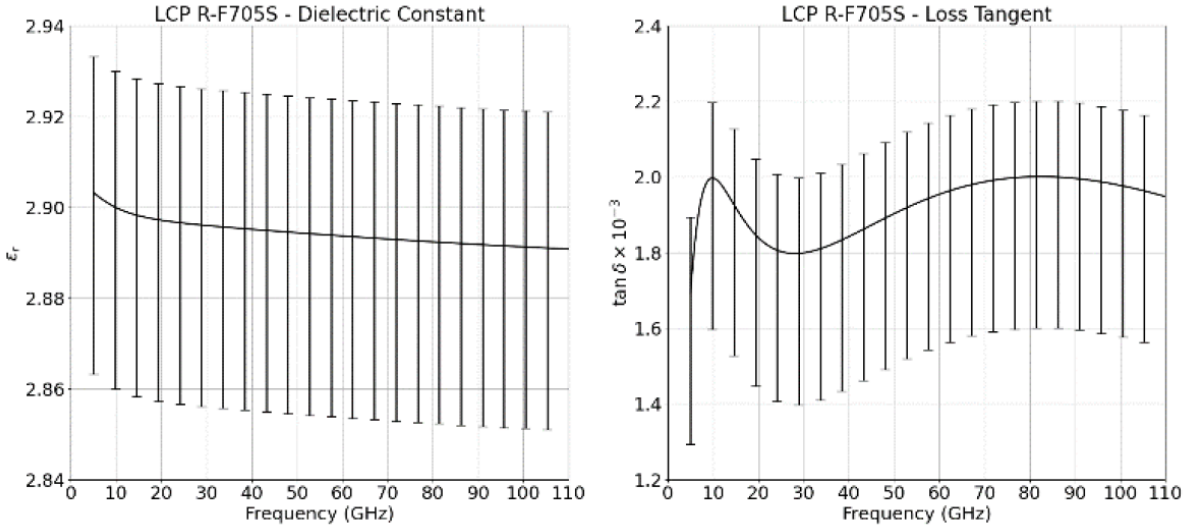

Abbildung 15 Dielektrizitätskonstante und Verlusttangens des Debye-Materialmodells dritter Ordnung für LCP R-705S.

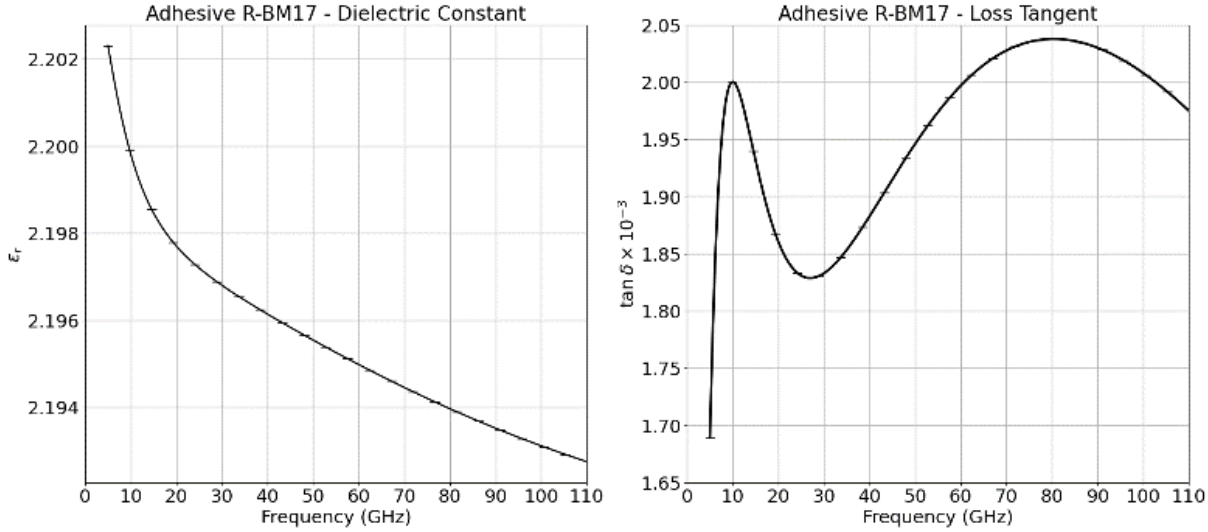

Abbildung 16 Dielektrizitätskonstante und der Verlusttangens des Debye-Materialmodells dritter Ordnung für den Klebstoff R-BM17.

Zusammenfassung

Es wurde eine Methodik zur Erstellung kausaler Materialmodelle für verlustarme organische Substratmaterialien bis 110 GHz vorgestellt. Hierzu wurde der mTRL-Algorithmus eingesetzt, um die Ausbreitungskonstante und die effektive Dielektrizitätskonstante zu bestimmen.

Durch Anwendung einer zusätzlichen Methode zur Ermittlung der charakteristischen Impedanz konnte der Substratverlust schließlich über die RLGC-Parameter berechnet werden. Die Materialmodelle wurden in einem 200 µm langen GCPW-Modell in CST eingesetzt. Dadurch bleibt der Simulationsaufwand sehr gering.

Präzise mikroskopische Messungen sind für dieses Verfahren zwingend erforderlich, um die physikalischen Abmessungen der gefertigten Übertragungsleitungen zu überprüfen, wie in Abbildung 12 und Abbildung 14 zu sehen ist.

1.7 Gesamtzusammenfassung

Im vom BMFTR geförderten Projekt InnoStar (Laufzeit April 2022 bis Dezember 2025) erforschte das Fraunhofer IIS/EAS Entwurfsmethoden (EDA) und Co-Design-Ansätze für Chips und Packages im Millimeterwellenbereich, wobei das Institut auf europäischer Ebene die Leitung des Work Package 2 übernahm. Zu den zentralen Erfolgen zählen die erfolgreiche Kombination der EDA-Tools WiCkeD, EMPIRE und IIP-Layout-Generatoren, die Entwicklung der „GangWay“-Schnittstelle zur Automatisierung der Tool-Kette für die automatische Layout-Optimierung sowie die detaillierte Charakterisierung des LCP-Package-Materials bis 110 GHz, was in zwei Fachpublikationen mündete. Trotz leichter Verzögerungen durch Herausforderungen in der komplexen Tool-Landschaft für heterogene Entwürfe und einer kostenneutralen Projektverlängerung um neun Monate wurden alle methodischen Ziele erreicht; lediglich die finale Hardware-Validierung musste entfallen, da das LCP-Package-Material nicht mehr für kleine Prototypen-Fertigung zur Verfügung stand. Als Ausblick zeigt sich ein wachsender Bedarf an ganzheitlichen Entwurfslösungen und Tool-Interoperabilität, insbesondere getrieben durch den aktuellen Trend zu heterogenen Systemen und Chiplets.