Schlussbericht

SEMIKRON DANFOSS	Zuwendungsempfänger: **Semikron Danfoss Elektronik GmbH & Co. KG** **Sigmundstrasse 200** **90431 Nürnberg**	Förderkennzeichen: **16MEE0128**
Vorhabenbezeichnung: **Im Rahmen des ECSEL JU - Verbundvorhabens** **Vertrauenswürdige europäische SiC-Lieferkette für energieeffiziente Leistungselektronik - TRANSFORM –** **Teilvorhaben: Zuverlässige Leistungsmodule mit erhöhter Leistungsdichte für die Integration der neuen SiC Halbleiter**		
Laufzeit des Vorhabens: **01.05.2021 – 31.10.2024**		
Erstellt am: **20.12.2024**		
Autor(en): **Dr. Jens Müller**		

Bundesministerium für Bildung und Forschung

KDT JU
KEY DIGITAL TECHNOLOGIES JOINT UNDERTAKING

This project received funding from the Key Digital Technologies (KDT) under Grant Agreement No. 1010072. The KDT receives support from the European Union's Horizon 2020 research and innovation programme and Germany, France, Italy, Sweden, Austria, Czech Republic and Spain.

Die Verantwortung für den Inhalt dieser Veröffentlichung liegt beim Autor.

I. Kurzbericht

1. Aufgabenstellung

Das übergeordnete Ziel von TRANSFORM war der Aufbau einer vollständigen und äußerst wettbewerbsfähigen europäischen Lieferkette für Leistungselektronik auf Basis von Siliziumkarbid (SiC)-Leistungshalbleitern. Der Anwendungsbereich und der Bedarf waren und sind enorm. Sie reichen von industriellen Antrieben und Leistungsumwandlung über erneuerbare Energien bis hin zur Elektromobilität. Eine vertrauenswürdige und starke europäische Lieferkette für diese Anwendungsbereiche ist von entscheidender Bedeutung, um eine ganzheitliche Optimierung von leistungselektronischen Systemen zu ermöglichen, die für eine saubere und nachhaltige europäische Wirtschaft erforderlich sind. TRANSFORM war in erster Linie ein Technologieprojekt, welches wichtige europäische Akteure versammelte und die gesamte Wertschöpfungskette von Materialien, Halbleitertechnologien, Anlagen, Designs und Komponenten bis hin zu den Systemen abdeckte.

Das TRANSFORM Konsortium setzte sich bezgl. SiC-Technologien der nächsten Generation ehrgeizige technische Ziele. Dabei waren einige revolutionäre Innovationen geplant, die außereuropäische Technologien überholen und zu anwendungsgerechter, hoher Qualität, hoher Zuverlässigkeit und gesicherter Mengenversorgung (Zugang zum Material) zu geringeren Kosten mit nachhaltigen Prozessen führen sollten. Darüber hinaus wurden nachfolgende Wertschöpfungsebenen auf Modul- und Systemebene neben den Substrat- und Chiptechnologien parallel ertüchtigt, neue Konzepte für die Integration der optimierten SiC Bauelemente in Pilotlinien zu erproben.

Das Teilvorhaben fokussierte dabei die im übergeordneten Verbund adressierten technischen Ziele von TRANSFORM

- Entwicklung von Aufbau- und Verbindungstechnologien für SiC, Optimierung von Leistung, Zuverlässigkeit und Kosten durch physikalische Untersuchungen und digitale Zwillinge.
- Optimierung des Designs und der Architektur für SiC-basierte leistungselektronische Systeme, um die Energieeffizienz zu erhöhen und die Gesamtbetriebskosten (TCO) für die meisten relevanten Anwendungsbereiche zu reduzieren
- Nachweis der flächendeckenden Anwendbarkeit der europäischen Siliziumkarbid-Technologie in Demonstratoren für eine Vielzahl von Anwendungsbereichen.

Zu diesem Zweck wurden verschiedene Typen von SiC-Leistungsmodulen auf Basis der im Vorhaben erforschten planaren MOSFET-Bausteine entwickelt. Der Fokus dieser Tätigkeiten war dabei die Kosteneffizienz, Zuverlässigkeit und Übertragbarkeit in die Großserienfertigung, um eine zeitnahe Verwertung der Ergebnisse im Anschluss an das Vorhaben zu ermöglichen. Die unterschiedlichen Anforderungen an die Leistungsmodule wurden dabei je nach Anwendung im System angepasst.

2. wissenschaftlicher und technischer Stand, an den angeknüpft wurde

Ein Leistungsmodul besteht aus verschiedenen Komponenten, die unterschiedliche Anforderungen, z.B. an deren thermische und elektrische Leitfähigkeit, Isolationsfestigkeit, Bruchfestigkeit und thermische Ausdehnung, stellen. Bei der Integration von SiC entstehen im Vergleich zu Silizium neue Herausforderungen bei der Erforschung des optimalen Modulkonzepts, wie z.B. die hohe Steifigkeit des Materials, die vergleichsweise kleinen Chipgrößen, die geänderten Gatesteuerparameter oder das sehr dynamische Schaltverhalten. Diese sind schematisch in Abbildung 1 dargestellt.

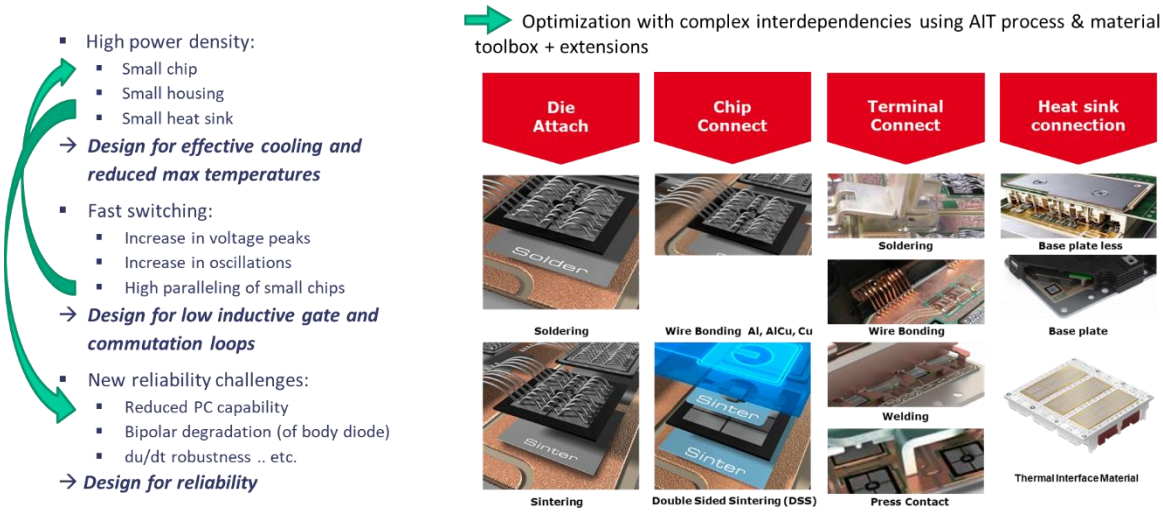


Abbildung 1 Darstellung der Herausforderungen bei der Modul-/Systemintegration von SiC Leistungshalbleitern und möglicher Lösungsansätze auf Ebene der Aufbau- und Verbindungstechnologien.

Es konnten im Vorfeld zum Vorhaben bereits umfangreiche Erfahrungen zur Integration von SiC im adressierten Anwendungsbereich beim Zuwendungsempfänger gesammelt werden: Erste Modulde-monstratoren auf Basis von doppelseitig gesinterten SiC Chips mit Druckkontakt für höchste Leis-tungsdichte wurden z.B. in [1] und [2] von SEMIKRON gezeigt. Die Möglichkeiten zur Steigerung der Leistungsdichte in Traktionsumrichtern wurden z.B. in [3] und [4] demonstriert.

[1] Koenigsmann, G.; Herzer, R.; Buetow, S.; Rossberg, M.: High power, high frequency gate driver for SiC-MOSFET modules, Proc. of PCIM Nuremberg, Germany (2016)
[2] Beckedahl, P.; Bütow, S.; et al.: 400A, 1200V SiC power module with 1nH commutation inductance; Proc. CIPS 2016, Nürnberg, Germany, S.365-370 (2016)
[3] Burani et al., New Compact Automotive SiC-Sixpack Converter System with stacked 3D-Gate Driver, Proc. of PCIM Nuremberg, Germany (2019)
[4] Bittner et al., 110 kW, 2.6 l SiC-inverter for DRIVEMODE - a highly integrated automotive drivetrain, Proc. of PCIM Nuremberg, Germany (2020)

3. Ablauf des Vorhabens

Die Projektstruktur im Vorhaben ist in Abbildung 2 dargestellt. Im Rahmen der Tätigkeit als Leiter des WP5 wurde die übergeordnete Projektkoordination im Verbund in WP1 mitgestaltet. Hierzu ge-hörte das operative Management des WP wie das Zusammenführen der Deliverables und Repräsentation bei den Verbundvorhaben, sowie die Teilnahme an Spillover Veranstaltungen wie der Messe PCIM in Nürnberg. In der Phase der Anforderungsspezifikationen wurde Wissen und Know-how auf Geräte-, Modul- und Systemebene im WP2 in den Tasks

- T2.3 Anforderungen - Leistungsmodulebene
- T2.4 Anforderungen – Systemebene

eingebracht. Im WP5 wurde die Rolle des WP-Leiters übernommen, um die Entwicklungsarbeiten innerhalb des WP und die Schnittstellen zu anderen WPs innerhalb des Projektes zu koordinieren. Zusätzlich wurde an der Task T5.1 Robustheit/Zuverlässigkeitsvalidierung mitgearbeitet, um die Standardisierung und Verbesserung der SiC-Zuverlässigkeitstestmethoden zu unterstützen. Als Task Leader wurde in T5.4 „Power module with high power-density packaging“ an Modulkonzepten und Produktionsprozessen für effizientere, kostengünstigere und zuverlässigere SiC-Module ge-forscht. Im WP6 wurden in den Tasks

- T6.2 Bi-direktionales 3-Phasen-Ladegerät (on-board, 22kW)
- T6.3 SiC DC/DC-Wandler in Landmaschinen für die Präzisionslandwirtschaft

die Entwicklungsarbeiten unterstützt. Im WP7 wurde die Verbreitung der Projektergebnisse vorangetrieben.

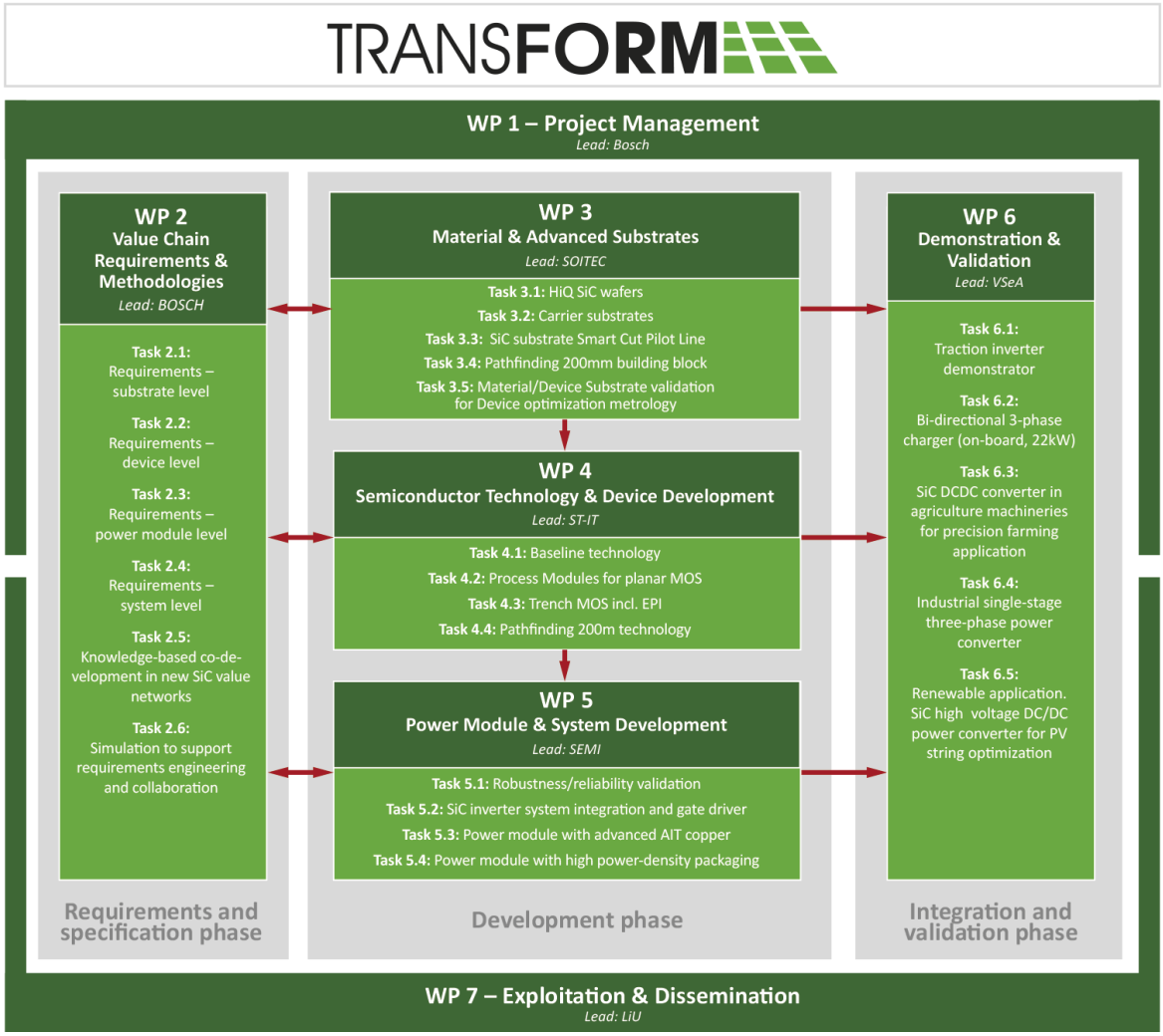


Abbildung 2 Struktur und Abhängigkeiten der Arbeitspakete (WPs) in Transform

Am 29.7.2022 wurde SEMIKRON Opfer einer Cyber Attacke einer professionellen Hacker Gruppe. Der Angriff hat zu einer teilweisen Verschlüsselung der IT-Systeme und Dateien geführt. Als Sofortmaßnahme zum Schutz des Unternehmens wurde die gesamte SEMIKRON-Hardware weltweit von den Netzwerken getrennt. In der zweiten Augustwoche 2022 wurde eine saubere IT-Umgebung eingerichtet und ein Großteil der Benutzer erhielt neue oder gereinigte Laptops mit der Möglichkeit, interne und externe Kommunikationsverbindungen wiederherzustellen. Der folgende Wiederherstellungsprozess der weiteren IT Infrastruktur hatte die oberste Priorität mit dem Ziel die Produktion wieder hochzufahren. In Folge dieser Umstände wurde auch für Mitarbeiter im Vorhaben Kurzarbeit angeordnet. Daten im Projekt TRANSFORM konnten erst ca. Ende Oktober 2022 wiederhergestellt werden.

Parallel dazu erfolgte im August 2022 der Zusammenschluss mit dem Danfoss Silicon Power im Joint Venture Semikron Danfoss.

4. wesentliche Ergebnisse

Hauptziel der Forschungs- und Entwicklungsarbeiten war die Maximierung der Leistungsdichte des Moduldemonstrators durch eine gezielte Verringerung des Wärmewiderstands vom Chip zum Kühlkörper, eine zuverlässige Aufbau- und Verbindungstechnologie, die eine geringe induktive Auslegung und reduzierte Schaltverluste ermöglicht, sowie ein modulares Design für eine hohe Flexibilität bei den Systemstromstärken und verbesserte Systemschnittstellen wie die Zwischenkreisverbindung. Eine enge Zusammenarbeit entlang der TRANSFORM Wertschöpfungskette und insbesondere mit dem Partner ST-IT war für die erfolgreiche Integration der SiC-MOSFETs in das Modul notwendig und vorteilhaft. Die Zielanwendung des Leistungsmoduls sind Inverter für den Antriebsstrang von batterieelektrischen Fahrzeugen mit einer Bordspannung von bis zu 850 V_{DC_PEAK}.

Mit den vorgestellten Entwicklungen und Ergebnissen adressiert der Demonstrator die folgenden technologischen Ziele des WP5:

- Die Induktivität der Leistungsschleife sollte minimiert werden: Es wurde eine Induktivität der Kommutierungszelle, einschließlich des Zwischenkreises, von 6 nH nachgewiesen, was eine erhebliche Verbesserung gegenüber der Induktivität der Leistungsschleife von 15 nH bei Si-basierten Leistungsmodulen für industrielle Anwendungen darstellt.

- Schalttransienten du/dt und di/dt sollten maximiert werden, um die Schaltverluste zu reduzieren: Schaltflanken von 15 V/ns und 37 A/ns wurden mit dem Modul-Demonstrator von 400 Arms Nennstrom mit einem nicht optimierten Messaufbau gemessen. Noch höhere du/dt-Werte sind bei optimierten Umrichteraufbauten mit reduzierten Kommutierungsschleifeninduktivitäten zu erwarten.

- Der Wärmewiderstand sollte durch die Verwendung neuartiger Materialien und das Gehäusedesign minimiert werden: Der Wert von Rth(j-a) <= 0,145K/W zeigt die außergewöhnlich gute Kühlung des entwickelten Gehäuses, die Verlustleistungsdichten im Halbleiterchip von bis zu 7W/mm² ermöglicht, was um den Faktor 3...4 über konventionellen Leistungsmodulen für industrielle Anwendungen liegt.

Der Modul-Demonstrator ist für eine kontinuierliche Ausgangsleistung von 400 kW (bei 10 kHz Schaltfrequenz und 55°C Kühlmitteltemperatur) in einem Wechselrichter ausgelegt. Eine Leistungsdichte in kW/l auf Wechselrichterebene wird hier nicht angegeben, da sie wesentlich von der Systemauslegung abhängt.

5. Zusammenarbeit mit anderen Forschungseinrichtungen

Neben der Zusammenarbeit mit zahlreichen Forschungseinrichtungen im Konsortium, wie z.B. der TU Chemnitz und der Hochschule Hamm-Lippstadt, wurden kleinere Unteraufträge auch außerhalb des Konsortiums vergeben. So wurde am IMTEK in Freiburg eine Auswertung der Verformung von Leistungsmodulen während aktiver Lastwechsel beauftragt. Mit Optoprim in Unterschleißheim wurde eine Studie zur berührungsfreien Prüfung von Komponenten durchgeführt. Bei den Chemnitz Power Labs wurde ein gestufter Gate Stresstest von SiC Bauelementen durchgeführt.

II. Eingehende Darstellung

1. der Verwendung der Zuwendung und des erzielten Ergebnisses im Einzelnen, mit Gegenüberstellung der vorgegebenen Ziele

Im Folgenden werden die erzielten Ergebnisse je Arbeitspaket im Detail dargestellt, wobei jeweils auf die vorgegebenen Ziele verwiesen wird:

WP1: Technische Projektkoordination

Im Rahmen seiner Tätigkeit als Leiter des WP5 wurde die übergeordnete Projektkoordination im Verbund mitgestaltet. Hierzu gehörte das operative Management des WP, wie das Zusammenführen der Deliverables und die Repräsentation bei den Verbundvorhaben.

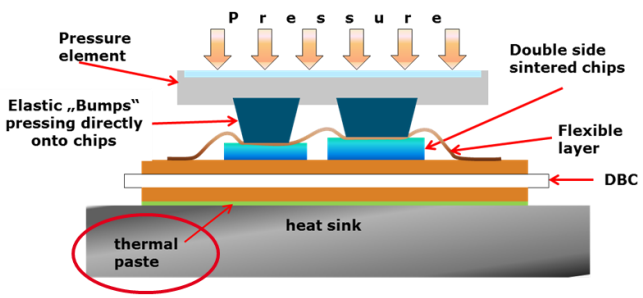
Zum Management der Tasks im WP5 werden monatliche Treffen des WP Leaders und der Task Leader durchgeführt. Der WP Leader war auch Mitglied des Operational Management Team von TRANSFORM, welches sich monatlich zur Planung der WP übergreifenden Arbeiten und der Koordination des Reporting austauscht.

Abbildung II-1: Gruppenbilder der General Assemblies in Catania (links) und Erlangen (rechts) sowie dem Projektreview in Bernin (Mitte) – alle 2023

WP2: Anforderungs-Management & -Methoden entlang der Wertschöpfungskette

Task2.3 Anforderungen – Leistungsmodulebene

Um die technologischen Herausforderungen bei der Integration von SiC in Leistungsmodule zu meistern, wurde die Direct Pressed Die (DPD)-Technologie für den Demonstrator eines Moduls mit hoher Leistungsdichte eingesetzt. Das Konzept und die grundlegenden Merkmale von DPD sind in Abbildung II-2 dargestellt.



Direct Pressed Die Technology:

- Double side sintered chips, Flex layer top contact
- Direct pressure on chips
- Very thin layer of thermal paste, only 5-10µm
- No hard connection between DBC and heatsink
  -> less stress from CTI mismatch
  -> flexible heatsink options

Abbildung II-2: Direct Pressed Die (DPD) Konzept und grundlegende Merkmale. Anstelle von DBC-Substraten werden andere Substrate aufgrund ihrer thermischen Eigenschaften, Zuverlässigkeit und Kosten in Betracht gezogen.

Der interne Aufbau basiert auf zweiseitig gesinterten Chips mit einem Keramiksubstrat als unterem Kontakt und einer zweilagigen flexiblen Leiterplatte als Verbindung zur Chipoberseite. Mit dem Flex-

Layer-Interface auf der Chip-Oberseite ist es möglich, eine extrem niedrige Streuinduktivität mit überlappenden und absolut symmetrischen Leiterbahnen zu schaffen. Der Wärmewiderstand zwischen Chip und Kühlkörper wird durch den auf die Chipvorderseite ausgeübten Druck und das zwischen Keramiksubstrat und Kühlkörper aufgebrachte Wärmeleitmaterial (TIM) reduziert.

In Abstimmung mit dem Projektpartner STM-IT wurden wesentliche Eigenschaften des einzusetzenden SiC Typs (1200V, 130 A) für die Verwendung im SEMIKRON Moduldemonstrator abgestimmt. Neben der Eignung für eine doppelseitige Sinterung, spielten hier die zu erwartenden Leit- und Schaltverluste eine entscheidende Rolle.

Für die Bewertung der Bauteileigenschaften in Bezug auf die Modulzuverlässigkeit wurden neben dem Langsamlastwechsel (power cycling) auch die dynamischen Messungen, sowie der Stoßstrom inkl. des aktiven Kurzschluss (AKS) mit hoher Priorität bewertet. Das Fokusthema der bipolaren Degradation der SiC MOSFET Bodydiode kann insbesondere bei der Parallelschaltung von Chips im Leistungsmodul neue Herausforderungen verursachen. Das sogenannte Chip-Binning – eine Bestückung des Moduls mit Chips mit einer geringeren Streuung der Bauteilparameter – wurde als Lösungsmöglichkeit von der Fertigungsseite betrachtet. Zusätzlich zu den genannten Zuverlässigkeitsaspekten wurde die Robustheit der Bauelemente bei hochdynamischen Schaltvorgängen betrachtet. Die mit SiC Bauelementen realistisch zu erreichenden Schaltgeschwindigkeiten erfordern die Etablierung des dynamic Reverse Bias Test als zusätzlich Messmethode. Mit dem Projektpartner ISLE wurde an einer Umsetzung des Tests und der entsprechenden Testumgebung im Vorhaben gearbeitet.

2.3.2. Anforderungen an Module mit hoher Leistungsdichte

Aufgrund der weiter hohen Defektdichten im Ausgangsmaterial erfordern die vergleichsweise kleinen SiC MOSFET einen hohen Parallelisierungsgrad im Modul. Zur Vermeidung von Oszillationen und hoher Abschaltüberspannungen sind niederinduktive Modulpackages vorteilhaft. Die direct press die (DPD) Technologie verbindet die Vorteile einer doppelseitigen Sinterung in Bezug auf die Zuverlässigkeit sowie eines niederinduktiven Schaltungslayouts mittels flexiblem Oberseitenlayer mit einer Optimierung der thermischen Performance durch einen Anpressdruck zwischen Chip und Kühlkörper.

Die Skalierbarkeit durch Variation der Chipanzahl je Schalter ist bis ca. 10 Chips parallel im gewählten Aufbau gegeben. Im Fokus der Entwicklung von Modulvarianten unterschiedlicher Leistung steht die Vereinbarkeit des high volume – low mix Fertigungsansatzes durch die Verwendung eines Material, Prozesstechnologie- und Designbaukastens, der die Überführung der Entwicklungen in eine kosteneffiziente Fertigung ermöglichen soll. Für das untere Ende der geforderten Leistungsskala wurde im Berichtszeitraum ein Moduldesign mit 6 Chips pro Schalter in einer 3 phasigen Halbbrückenkonfiguration entwickelt. Das äußere Layout ist auf ca. 2/3 der Größe der eMPack Plattform reduziert und adressiert den Markt für Antriebsstränge von kleinen bis mittleren Batterie elektrischen Fahrzeugen (BEV).

Im Abgleich mit den Systemanforderungen wurde die Integration von zusätzlichen Funktionalitäten ins Leistungsmodul diskutiert. Diese Integration hat das Potential die Leistungsdichte im Gesamtsystem durch Verkleinern der Steuerungsplatine weiter zu erhöhen. So können durch Verlagern einer V_CE Klemmdiode in das Modul die Isolationsabstände auf der Steuerungsplatine verringert werden und Komponenten mit hoher Verlustwärme (Gatewiderstände, Entlade chip) dort effektiver gekühlt und damit kleiner ausgelegt werden.

Task2.4 Anforderungen und KPIs für die Systemdemonstratoren

Für die TRANSFORM übergreifende Wertschöpfungskette vom Substrat bis zum System wurde ein Anforderungsmanagement je use case im Konsortium erarbeitet. Neben der horizontalen Wertschöpfungskette hat SEMIKRON sich hier an der Ausgestaltung der vertikalen Wertschöpfungsketten mit enabling Technologies für den Einsatz von SiC in der Leistungselektronik beteiligt.

WP5: Leistungsmodul & Systementwicklung

Task 5.1. Validierung der Robustheit/Zuverlässigkeit

In dieser Task wurden wichtige Absprachen mit den anderen Projektpartnern u.a. BOSCH, Danfoss, TU Chemnitz und ISLE zur Standardisierung und Erweiterung der Zuverlässigkeitstestmethoden getroffen. Auf Basis der AQG324 in der Version 3 wurden zudem Definitionen bezgl. der Implementierung neuer Testmethoden abgeleitet.

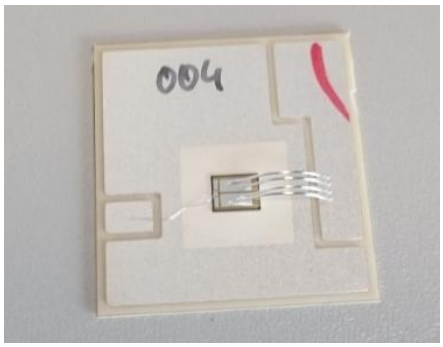


Abbildung II-3: Beispiel eines für die TU Chemnitz aufgebauten Testvehikels für Zuverlässigkeitstests.

Darüber hinaus wurden 120 Testvehikel, wie in Abbildung II-3 dargestellt, für Zuverlässigkeitsuntersuchungen bei dem Partner TU Chemnitz mit Silber gesinterter Rückseite und Vorderseiten Bondkontakt aufgebaut. Diese basieren auf von ST-IT bereit gestellten SiC MOSFET der 2. Generation mit 650 und 1200V Sperrspannung, welche als Referenz im Deliverable D5.2 getestet wurden.

Der dynamische Gatestresstest (DGS) ist speziell für die schnell schaltenden SiC Bauelemente definiert worden. Abbildung 4 zeigt eine Übersicht der bislang vorliegenden Spezifikation der Testparameter. Für die Erarbeitung des DGS Testkonzepts wurde in Kooperation mit dem Partner ISLE ein „proof of Concept“ Aufbau erarbeitet.

Table 9.10a: Test parameters QL-06a Dynamic gate stress (DGS)

Parameter	Value
Switching cycles	≥ 10^{11} cycles
Test temperature	25°C
Drain-source voltage	V_{DS} = 0 V [a]
dV_{GS}/dt (at DUT)	1 V/ns (no overshoot)
Switching frequency	f ≥ 50 kHz (with duty cycle > 20%)
Gate voltage	$V_{GS,off}$ = $V_{GS,min,recom}$ and $V_{GS,on}$ = $V_{GS,max}$

[a] V_{DS} = 0 V only sufficient, if the influence of V_{DS} on $V_{GS,th}$-drift has been excluded by chip-level test.
Note: The proposed test parameters are derived from typical application conditions or are based on best practice.

Abbildung 4: Spezifikation der DGS Testparameter in der AQG324 und der erste Versuchsaufbau

Ein wesentlicher Fokus lag zu dem auf der Untersuchung der prinzipiellen Stabilität des Gateoxids in SiC MOSFET. Um niedrige Durchlassverluste bei SiC-MOSFETs im Kanalbereich zu erreichen, muss die Oxidschicht zwischen dem Gate-Anschluss und dem Kanalgebiet im Vergleich zu IGBTs sehr dünn ausgelegt werden. Dadurch steigen die auftretenden Feldstärken im Oxid bei angelegter Spannung und beanspruchen dieses dadurch stark. Aus diesem Grund ist es wichtig, dass das Gateoxid eine hohe Güte, mit möglichst wenigen Fehler aufweist.

Da sich Fehler bei der Herstellung des Gateoxids nicht vermeiden lassen, wird von Seiten der SiC-MOS-Hersteller dazu übergegangen ein sog. screening des Gateoxids durchzuführen, um möglichst viele Teile mit schwachem oder fehlerhaftem Gateoxid auszusortieren. Bei diesem Screening wird eine, im Vergleich zur nominellen Gate-Spannung höhere Spannung an das Gateoxid gelegt. Hierbei

besteht die Schwierigkeit darin, schwache Teile auszusortieren, aber andererseits auch das Gateoxid nicht vorzuschädigen.

Um die Qualität und die Dicke des Gateoxids zu bestimmen hat sich der sog. gestufte HTGB-Test etabliert, siehe[1]. Dabei wird die angelegte Gatespannung V_{GS} stufenweise, ausgehend von der empfohlenen Gatespannung $V_{GS,rec}$, erhöht und liegt danach jeweils über einen bestimmten Zeitraum an. Anhand des Ausfallzeitpunktes und der Ausfallwahrscheinlichkeit lässt sich die Güte und Widerstandsfähigkeit des Gateoxides bestimmen.

An die verwendeten SiC-MOSFETs werden sehr hohe Leistungs- und Qualitätsanforderungen gestellt. Damit diese sichergestellt werden können, wurde eine Untersuchung der Qualität des Gateoxids bei der Firma Chemnitz Power Labs, kurz CPL, in Auftrag gegeben.

Zusammenfassend lässt sich feststellen, dass bei den untersuchten Prüflingen der verschiedenen Hersteller kein extrinsischer Ausfall auftrat. Daraus lässt sich schließen, dass die Hersteller der betrachteten Prüflinge ein gutes Screening zur Eliminierung von extrinsischen Fehlern implementiert haben.

Die kontinuierliche Untersuchung der Thresholdspannung $V_{GS(Th)}$ bei Raumtemperatur hat gezeigt, dass ab einem bestimmten Gatespannungslevel die Thresholdspannung stark ansteigt, kurz bevor es zum dielektrischen Breakdown des Gateoxids kommt. Durch die Höhe der Gatespannung, ab der es zu einer starken Drift der Thresholdspannung kommt, bestimmt die Grenze der maximal anwendbaren Screening-Spannung für das Gate-Oxid-Screening.

Das Verfahren des stufenweise erhöhten Gatespannung bei hoher Temperatur bis zum Ausfall ist gut geeignet die Qualität des Gateoxids und die Grenzen der maximal möglichen Gatespannung zu bestimmen. Es sollte bei allen neuen und unbekannten SiC-MOSFETs Anwendung finden.

Task 5.4 Leistungsmodul mit hoher Leistungsdichte

5.4.1. Abstimmung der Aufbau- und Verbindungstechnologie mit der SiC-Chip-Entwicklung

Die verwendete DPD Technologie als grundlegende AVT für den Modulaufbau erfordert ein speziell dafür ausgelegtes Chipdesign. Während bei der konventionellen Technologie mit Chipverbindung durch Drahtbonden eine Gate-Position in der Ecke des Die bevorzugt wird, erfordert die SEMIKRON DPD Technologie eine Gate-Position in der Mitte des Die. Dies gilt für alle Transistortypen, also sowohl für IGBTs als auch für MOSFETs. Der Vorteil des zentralen Gates ist ein verminderter Einfluss des Delaminierungseffekts, der durch thermomechanischen Stress verursacht wird. Die elektrische und mechanische Verbindung zwischen der Flex-Schicht und dem Gate-Bereich erfolgt durch Ag-Sintern, ebenso wie beim Source-Bereich. Daher müssen beide Bereiche eine geeignete Edelmetallschicht in der Metallisierung zur Kontaktierung aufweisen.

Die erforderlichen Abmessungen für das Gate-Pad und den umgebenden Isolationsbereich wurden in Experimenten und Toleranzanalysen für die spätere Serienproduktion ermittelt. Die Dies haben eine Ag-Top-Metallisierung, die eine stabile Verbindung durch SEMIKRONs Sinterprozess für die Vorderseite ermöglicht.

5.4.2. Technologien und Konzepte zur Erhöhung der Stromdichte

5.4.2.1. Optimierung des thermischen Widerstands

SiC MOSFET der letzten Generation ermöglichen extrem hohe Leistungsdichten in Modul und System. Die effiziente Entwärmung der Bauelemente ist daher von größter Bedeutung. Neben dem Bau-

[1] Menia Baier-Möbius and Josef Lutz, Breakdown of gate oxide of SiC-MOSFETs and Si-IGBTs under high temperature and high gate voltage, PCIM 2017

element selbst, spielen dabei das keramische Substratmaterial, die Wärmeleitpaste zwischen Substrat und Kühler sowie der Kühler selbst eine bedeutende Rolle. Dabei lassen sich die Komponenten nicht isoliert betrachten und die Wechselwirkung zwischen den thermischen Schnittstellen sowie die Variationen verschiedener eingesetzter Materialien und gewählter Fertigungsverfahren waren ebenfalls zu untersuchen.

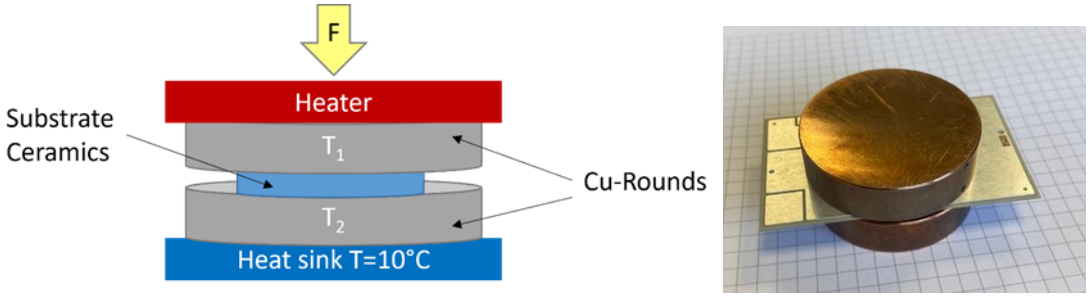


Abbildung II-5: Aufbau zur thermischen Charakterisierung links) als Schema und rechts) in der Ansicht des Prüflings zwischen den verwendeten Cu Scheiben.

Im Bereich des Substrats wurde eine Recherche zu optimierten Keramikmaterialien durchgeführt. Neben Verbesserungen in Bezug auf mechanische Eigenschaften und Kosten wurden auch thermisch optimierte Materialien sowie eine veränderte Kupferbeschichtung betrachtet. Für Hochleistungsanwendungen, die eine hervorragende Kühlung erfordern, werden häufig AMB-Substrate auf Siliziumnitridbasis verwendet. Obwohl die thermische Leistung und die mechanische Stabilität von Substraten auf Siliziumnitridbasis hervorragend sind, stellen ihre relativ hohen Kosten für die meisten Anwendungen einen großen Nachteil dar, und kostengünstige Alternativen sind von besonderem Forschungsinteresse. Nach ersten Simulationen wurden Testvehikel mit verschiedenen Keramiken aufgebaut und vermessen.

Um den neuen Anforderungen gerecht zu werden, wurden mehrere verfügbare Lösungen untersucht, wobei der Schwerpunkt auf einer verbesserten Wärmeleitfähigkeit lag:

- Ein Siliziumnitrid-Substrat mit einer Keramikschicht mit einer Wärmeleitfähigkeit von 120 W/mK anstelle von 90 W/mK

- AMB-Substrate mit einer dickeren Kupferschicht (0,5 mm Kupfer anstelle von 0,3 mm)

und niedrigeren Kosten:

- AMB-Substrate, die in einem vakuumfreien, silberfreien Bondprozess hergestellt werden

Untersuchungsfelder waren Zuverlässigkeit und Verarbeitbarkeit sowie auf Substratebene die Wärmeleitfähigkeit und die Die-Attach-Haftqualität. Abbildung II-5 zeigt den Aufbau zur Bestimmung der Wärmeleitfähigkeit.

Das Leistungsmodul enthält ein Drucksystem, mit dem die Leistungshalbleiter gegen den Kühler gedrückt werden. Dies geschieht, weil die Wärmeübertragung nicht durch eine starre Verbindung wie Löten oder Sintern erfolgen soll. Dies hat den Vorteil, dass mechanische Belastungen durch Temperaturhübe nicht zur Alterung einer starren Verbindungsschicht führen können. Das Drucksystem besteht aus Silikonnoppen, die in einem Kunststoffrahmen sitzen, einer Stahlplatte, einer Haltefeder und einer Schraubverbindung.

Die Silikonnoppen sitzen über den einzelnen Halbleiterchips. Sie haben die Aufgabe, den Druck auf den Chip gleichmäßig zu verteilen. Außerdem ermöglichen sie den Ausgleich von Höhentoleranzen zwischen verschiedenen Chips. Der Kunststoffrahmen hält die Silikonnoppen. Er sorgt für eine korrekte Platzierung in der Baugruppe. Er verhindert auch, dass die Silikonnoppen in die Breite gedrückt werden. Die Stahlplatte liegt über dem Kunststoffrahmen und verteilt die Kraft auf die Fläche.

Die über der Stahlplatte befindliche Bügelfeder erfüllt zwei Funktionen: Sie baut die notwendige Kraft auf, um eine gute thermische Verbindung zwischen der Leistungselektronik und dem Kühler zu erreichen. Und sie hat auch regulierende Eigenschaften, mit denen die thermische Ausdehnung des Systems und insbesondere die Ausdehnung der Silikonnoppen kompensiert wird.

Für den Test neuer Wärmeleitpasten wurden ebenfalls Testvehikel aufgebaut. Zusätzlich wurde hier die Eignung und Zuverlässigkeit im LLW verifiziert. In Bezug auf mögliche Verbesserungen der Hochleistungskühler wurden zwei zu untersuchende Varianten definiert. Für eine schnellere Designschleife wurde ein Testkühlkörper mit wechselbaren Kühlereinsätzen definiert.

5.4.2.2. Modellierungsentwurfsansatz und Test

Zur Unterstützung der Entwicklungsarbeiten am Moduldemonstrator wurde eine Reihe von Simulationen zu unterschiedlichen Aspekten im Optimierungsprozess durchgeführt. Im Bereich der thermischen Optimierung lag hier der Fokus auf folgenden Aspekten:

- Verringerung der Chipabstände führt durch verstärkte thermische Kopplung zu einem ca. um 15% gesteigerten Rth
- Zusammenhang zwischen Hot Spot Temperaturen und der Dicke des Kupfers oberhalb des Flexlayers sowie der Einfluss des PI im Flexlayer auf die Wärmeleitung
- Elektromagnetische Simulationen zur Abschätzung von Asymmetrien in der Parallelschaltung der SiC MOSFET sowie der dynamischen Stromaufteilung der Bodydioden und von Schaltverlusten bei hohen Schaltfrequenzen. Diese hatten unmittelbaren Einfluss auf die geometrische Gestaltung der Lastterminals. Die Streuinduktivität des Leistungsinverters ist ein maßgebender Faktor zur Steigerung der Systemeffizienz und damit letztlich zur Vergrößerung der Reichweite eines BEVs.
- Verschiedene fluiddynamische Simulationen zur Bewertung und Optimierung der Modulentwärmung

Das Verständnis von Ausfallmechanismen in leistungselektronischen Modulen unter aktiver Last ist notwendig für die Vorhersage der Lebensdauer, aber auch für die Weiterentwicklung der Technologie. Für die doppelseitig gesinterte Aufbau- und Verbindungstechnologie mit einer stromführenden flexiblen Kupferfolie (Flex-Layer) ist die Ursache für die Schädigung der Schichtverbindung noch nicht bis ins letzte Detail geklärt.

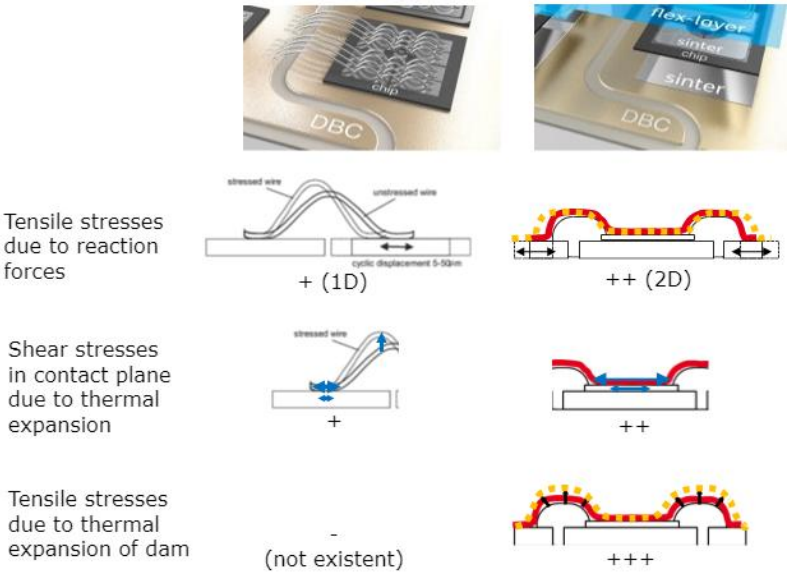


Abbildung II-6: Aktuelle Hypothesen möglicher Ausfallmechanismen in Aufbauten mit oberseitiger Bonddraht- (links) und Layerverbindung (rechts)

Ein kombinierter Untersuchungsansatz bestehend aus der experimentellen DIC-Methode und FEM-Simulationen zeigte, dass die Diskrepanz der thermischen Ausdehnung von Flex-Layer und dem darunter liegenden aktiven Bauelement unter erhöhtem Laststrom weiter auseinander geht. Auch die thermische Ausdehnung des Silikondamms, der die Chips umgibt, ist dadurch beeinflusst. Der Grund dafür ist wohl die stärkere Erwärmung aufgrund der Verlustleistung, die direkt proportional zum eingeprägten Laststrom ist (ohm'scher Widerstand des Flex-Layers). Die vergrößerte Diskrepanz der Ausdehnung führt zu höheren Spannungen an der Grenzfläche zwischen Flex-Layer und aktivem Bauelement, was eine Delamination an dieser Stelle beschleunigt. Dadurch wird die Anbindungsfläche allmählich reduziert, wodurch wiederum der Kontaktwiderstand, die Stromdichte sowie die Temperatur erhöht wird, was unmittelbar zum Lebensende des Bauteils führt. Aus diesem Grund sollte bei der Einstellung von Lastwechseltests an Modulen der Flex-Layer-Technologie der Laststrom viel mehr als Einflussparameter und nicht als freier Parameter betrachtet werden.

Das Schaltungslayout des Moduldemonstrators wurde in Bezug auf das Schaltverhalten durch Anpassung der parasitären Induktivitäten optimiert. Parasitäre Induktivitäten wurden mit ANSYS Q3D Extractor simuliert. Eine AC-Analyse wird verwendet, um den Skin-Effekt und den Proximity-Effekt zu berücksichtigen. Die Induktivitäten der Kommutierungsschleifen vom +DC-Anschluss über die oberen und unteren Schalter zum -DC-Anschluss werden als Kommutierungsinduktivitäten LC bezeichnet. Die Selbstinduktivitäten der Gate-Schleifen vom Hilfs-Gate-Pin über die MOSFETs zum Hilfs-Source-Pin werden als LG bezeichnet. Die induktive Kopplung zwischen den Kommutierungsschleifen und den Gate-Source-Schleifen wird durch die Induktivitäten LCG quantifiziert, die als "gemeinsame Source-Induktivitäten" interpretiert werden können, obwohl nicht nur die Induktivitäten der gemeinsamen Strompfade zwischen beiden Schleifen berücksichtigt werden.

Es wurden in der Simulation kleine und homogene LC über die verschiedenen Chips erreicht. Die Kopplungsinduktivitäten LCG zwischen Gate-Source-Schleife und Kommutierungsschleife sind gering. Kleine absolute Unterschiede zwischen den einzelnen LCG führen zu einer homogenen dynamischen Stromaufteilung zwischen parallelen MOSFETs.

Auf der Grundlage der simulierten Induktivitäten und Kleinsignalannäherungen der MOSFETs wurde das Risiko selbsterregter Schwingungen zwischen parallelen MOSFETs bewertet. Diese Art von Schwingungen kann zur Zerstörung der Schalter bei Schalttransienten oder im Kurzschlussbetrieb führen. Die Stabilitätsanalyse basiert auf der Berechnung der komplexen Eigenfrequenzen des line-

arisierten Netzwerks. Sie dient der Optimierung des Layouts zur Verringerung des Schwingungsrisikos und zur Ermittlung der erforderlichen Mindestwerte für die internen Gate-Widerstände der MOSFETs.

5.4.2.3. Neue prozesstechnische Ansätze zur kosteneffizienten Fertigung

Neben dem Design des Leistungsmoduls sind auch die Material- und Prozesstechnologien für die Optimierung des Leistungsmodul-Demonstrators in Bezug auf Leistung, Zuverlässigkeit und Kosten von Bedeutung. Wie in Abbildung II-7 dargestellt, konzentrierte sich das übergeordnete Entwicklungsziel in Bezug auf die Prozesstechnologien auf die Erhöhung der Ausbeute und die Reduzierung der Zykluszeiten in der Fertigung, um die Gesamteffizienz der Anlagen (OEE) in der Pilotfertigungsumgebung zu verbessern.

Die vergleichsweise hohen Leistungsdichten in einem SiC-Modul stellen neuartige Anforderungen an die elektrische, thermische und mechanische Kontaktierung der SiC-MOSFETs sowie die Laststromkontakte des Leistungsmoduls. Im Rahmen des Projektes wurden hierzu die chipunterseitige Kontaktierung sowohl technologisch als auch in Hinblick auf die Prozesskosten optimiert (Kupfer-Sinter-Technologie). Weiterhin wurde hierzu die chipoberseitige Kontaktierung mittels Layerdirektdruck auf eine möglichst geringe Induktivität und somit möglichst geringe Verlustleistungen und auf eine möglichst großflächige Anbindungsfläche für die Strom- und Wärmeübertragung angepasst. Als neue Prozesstechnologie zur Kontaktierung des Substrats mit den Haupt- und Hilfsanschlüssen als externe Schnittstellen wurde das Fügen durch Laserschweißen der Lastanschlüsse erforscht und somit ein hochvolumentauglicher Produktionsprozess mit geringen Mengen an Kontaminationen (wie z.B. das Flussmittel beim Löten) und einer hohen mechanischen Festigkeit (Ermüdung) entwickelt.

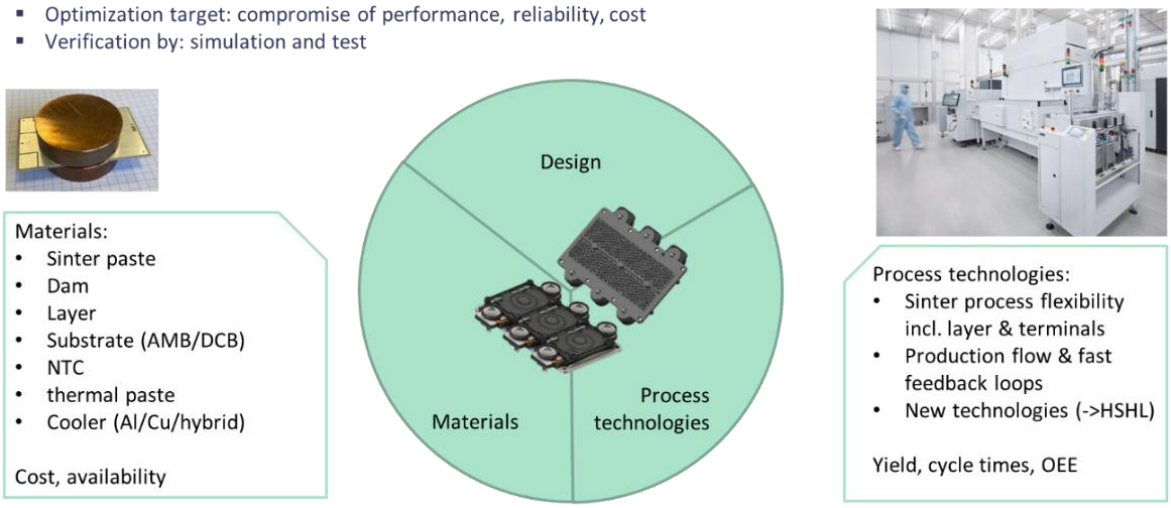


Abbildung II-7: Optimierungsbereich für Leistungsmodule und Entwicklungstoolbox

Für die Etablierung des Laserschweißprozesses für die Terminals werden im Rahmen des Projekts zunächst geeignete Strahlquellen ausgewählt und im Anschluss die Design- und Prozessparametern genauer untersucht. Abbildung 8 und Abbildung 9 zeigen die Fügestelle der Terminals.

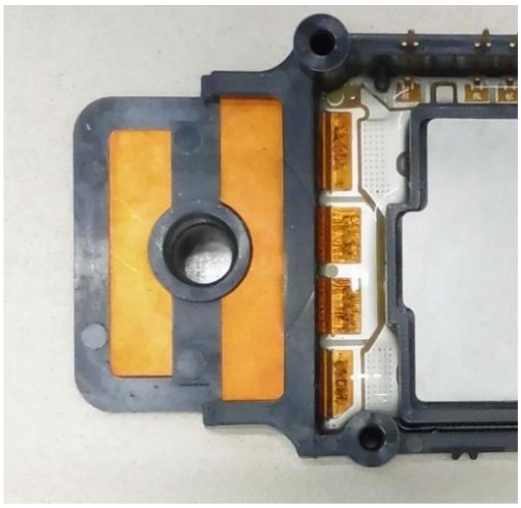


Abbildung 8: Anbindung der Terminals mittels Laserschweißen

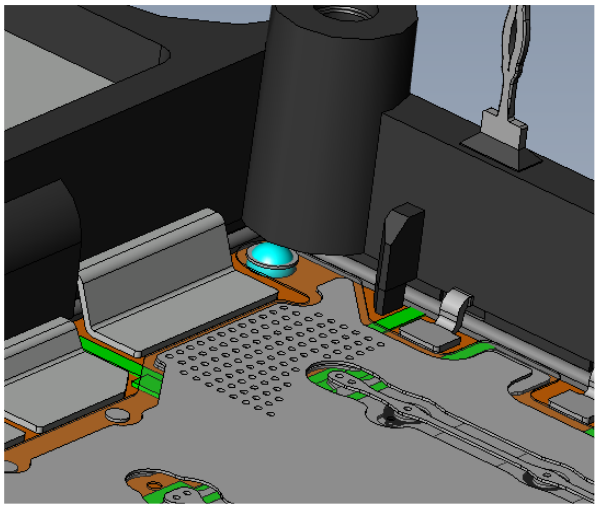


Abbildung 9: 3D-Zeichnungsansicht der Terminals

Es wurden zudem verschiedene keramische Substrate für den Einsatz im SiC-basierten Leistungsmodul-Demonstrator getestet und bewertet, um den Wärmewiderstand zwischen Chip und Kühlkörper zu verbessern. Hochleistungsanwendungen, die eine hervorragende Kühlung erfordern, sind häufig auf AMB-Substrate auf Siliziumnitridbasis angewiesen. Obwohl die thermische Leistung und die mechanische Stabilität von Substraten auf Siliziumnitridbasis hervorragend sind, stellen ihre relativ hohen Kosten für die meisten Anwendungen einen großen Nachteil dar, so dass preisgünstige Alternativen von besonderem Interesse sind. Es wurden mehrere verfügbare Lösungen untersucht:

- Ein Siliziumnitrid-Substrat mit einer Keramikschicht mit einer Wärmeleitfähigkeit von 120 W/mK anstelle von 90 W/mK, im Folgenden als hochleitfähiges AMB (HC-AMB) bezeichnet. Der verbesserte Wert wird durch die Verwendung einer blanken Keramik mit veränderter Kornstruktur des Si3N4-Materials erreicht. Bei den Substraten handelt es sich um Erstmuster in Vorserienqualität, daher unterscheidet sich auch die Cu-Lötung von der Referenz. Die Ag-haltige Lötung ist dicker.
- AMB-Substrate als Referenz (0,3 mm Kupfer, Keramikangabe 90 W/mK), im Folgenden als AMB ref bezeichnet
- AMB-Substrate, die in einem vakuumfreien, silberfreien Bondprozess hergestellt werden, im Folgenden als silberfreies AMB oder SF-AMB bezeichnet (0,3 mm Kupfer, Keramik angegeben mit 60 W/mK)

Untersuchungsfelder waren Zuverlässigkeit und Verarbeitbarkeit sowie auf Substratebene die Wärmeleitfähigkeit und die Qualität der Chipanbindung. Das Laserschweißen und Ag Sintern wurde für die neuen Substrate im Vergleich zur AMB ref. getestet. Beide Verfahren erwiesen sich für alle drei Versionen als gut geeignet.

5.4.4. Modularität und Skalierbarkeit des neuen Moduldesigns

Es wurden die Anforderungen zu Modularität und Skalierbarkeit der unterschiedlichen Leistungsklassen in geänderte und neue Moduldesigns überführt. Deren Verifikation wurde in Bezug auf die thermischen Eigenschaften untersucht.

Bei dem untersuchten Modul handelt es sich um ein 3-Phasen-Hochleistungs-Wechselrichtermodul mit SiC-MOSFET-Schaltern in einem geschlossenen Aluminium-Flüssigkeitskühler. Die Kühlflüssigkeit ist ein 50%:50% Wasser-Glykol-Gemisch.

Jede Phase des Moduls ist auf einem einzelnen keramischen DBC-Substrat (direct bonded copper substrate) montiert. Das Substrat ist mit einer Schraube und einem Druckteil an der Kühleroberfläche befestigt. Der thermische Kontakt zwischen DBC und Kühler wird durch eine sehr dünne Schicht aus TIM (Thermal Interface Material) hergestellt. Das Modul verfügt über einen integrierten NTC Temperatursensor, der sich zwischen dem TOP- und dem BOT-Schalter jeder Phase befindet.

Alle 6 Schalter des 3-Phasen-Leistungsmoduls wurden gemessen, die Ergebnisse sind reproduzierbar und weisen eine sehr geringe Abweichung auf. Der Wert von Rth(j-a) <= 0,145K/W zeigt die außergewöhnlich gute Kühlung des entwickelten Gehäuses, die Verlustleistungsdichten im Halbleiterchip von bis zu 7W/mm² ermöglicht, was um den Faktor 3...4 über konventionellen Leistungsmodulen für industrielle Anwendungen liegt.

Die thermische Kopplung zwischen TOP- und BOT-Schalter eines einzelnen Phasenzweigs ist bei einer normalen Durchflussrate von 10 l/min kaum messbar (~3 %). Bei nur 2 l/min trägt sie etwa 13 % zum statischen Rth(j-a) bei, was immer noch ein sehr niedriger Wert ist. Damit ist auch die Leistungsskalierung im Modul durch unterschiedliche Chipanzahlen pro Schalter als unproblematisch zu bewerten.

5.4.5. Umrichtertest unter Integration des neuen Moduldesigns

Die Elektrifizierung schwerer Nutzfahrzeuge erfordert sehr kompakte und hocheffiziente Umrichter, wobei E-Maschinen aktuell in der Leistungsklasse 600 A bei 850 V in dieser Anwendung eingesetzt werden. Zur Verifikation der erreichten Innovationen in den Moduldemonstratoren ist ein entsprechender Umrichtertest und die Entwicklung der zugehörigen Komponenten vorgesehen: Leistungsmodul, die Kühlung, Treiber, Stromsensorik, DC-Filter sowie die Umsetzung neuer Richtlinien und Anforderungen (ermittelt aus Studien für zukünftige Nutzfahrzeuge).

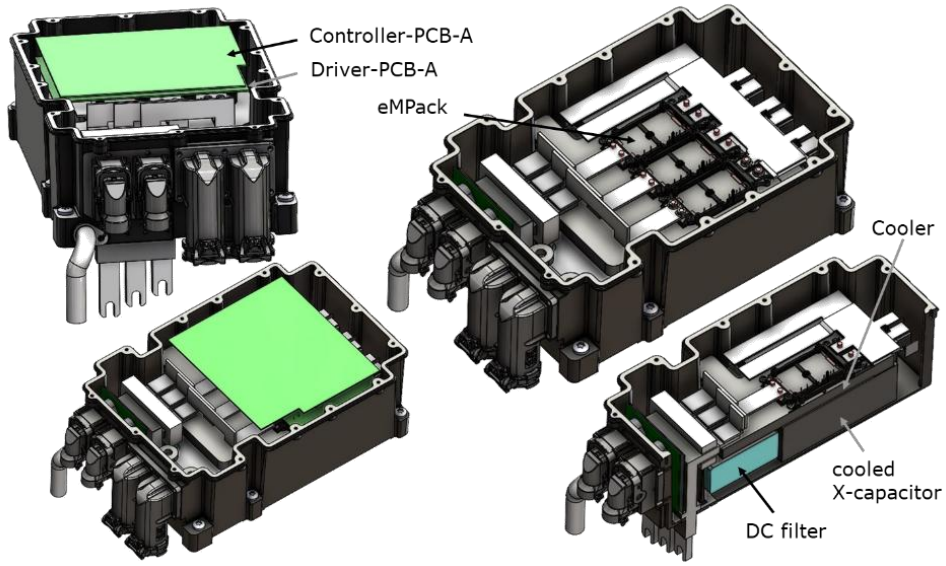


Abbildung 10: verschiedene Ansichten eines SiC basierten Umrichrichterkonzepts mit eMPack Modul für den Einsatz in schweren Nutzfahrzeugen (nicht finaler Designstand)

Die besondere Herausforderung bei der Entwicklung des Umrichters ist die anvisierte Steigerung der Leistungsdichte um den Faktor 4 durch die Verwendung der SiC MOSFET der letzten Generation. Ein Fokus der Arbeiten lag daher auf der Simulation und Abschätzung der optimalen Entwärmung von aktiven und passiven Komponenten (u.a. Zwischenkreis Kondensatoren). Zur Einhaltung der Normen bezgl. elektromagnetischer Verträglichkeit wurden die Simulationen auf höhere Schaltfre-

quenzen ausgedehnt, die mit SiC MOSFET möglich werden. Ein weiterer Schwerpunkt war die Untersuchung der thermo-mechanischen Stabilität der Stromschienen, die für die Schwerlastanwendung deutlich mehr Strom tragen müssen als üblich.

Für eine sichere Steuerung des Umrichters ist die Information über die Temperatur des Moduls entscheidend. In dem Leistungsmodul-Demonstrator wird daher auch ein Temperatursensor zur Regelung der spezifischen Modulleistung und als Sicherheitsabschaltoption benötigt. Neben den typischen elektrischen Grundanforderungen (z.B. PTC-Typ oder NTC-Typ, Temperaturkurve, allgemeine Toleranzen bei Raumtemperatur/Betriebstemperatur) gibt es auch montagebezogene Anforderungen an die verwendete Sintertechnologie. Eine Hauptanforderung, die derzeit auf dem Markt für Standard-Temperatursensoren nicht in vollem Umfang erfüllt wird, ist ein sinterfähiger Kontaktanschluss, der für den Einsatz in doppelseitigen Sintertechniken (Vorder- und Rückseiten-Sinteranschluss) ausreicht. Daher wurde ein spezifischer Temperatursensor entwickelt, der die elektrische Spezifikation, die montagetechnischen Anforderungen und darüber hinaus die damit verbundenen Zuverlässigkeitsaspekte erfüllt.

Um die Zuverlässigkeit des Temperatursensors in Kombination mit der verwendeten Montagetechnik zu überprüfen, wurden grundlegende Zuverlässigkeitstests durchgeführt. Auf der Grundlage der Testergebnisse in Bezug auf die Montageprozesse und die Zuverlässigkeit wurde die generelle Machbarkeit für die Verwendung des Temperatursensors im Rahmen des neuen Leistungsmodul-Designansatzes nachgewiesen.

WP6: Demonstration und Validierung

Im WP6 war die Beteiligung am Demonstrator „Bi-directionales 3-phasiges OnBoard Ladegerät“ (Task6.2) geplant. Zur Diskussion der Anforderungen von Seiten der Anwender und der Möglichkeiten zur Bereitstellung von diskreten SiC Halbleitern und Leistungsmodulen fanden entsprechende Abstimmungsrunden unter Beteiligung der relevanten Partner statt. Für den Modulformfaktor fiel die Entscheidung zu Gunsten eines SEMITOP E (SEMIKRON) bzw. Acepack (STM-IT) Moduls. Dieser Modulformfaktor findet im Markt für Ladeinfrastruktur eine weite Verbreitung und bietet einen für SiC geeigneten niederinduktiven und flexiblen Aufbau. Zudem werden in diesem Formfaktor von mehreren Herstellern Produkte angeboten, wodurch eine entsprechende Sicherheit in der Lieferkette gewährleistet werden kann. Aufgrund der guten Vorerfahrungen des Anwenders Valeo Siemens mit Leistungsmodulen von STM-IT und der erst noch zu etablierenden SEMIKRON Module mit SiC Bauelementen von STM-IT, wurde zunächst für den weiteren Fortgang im Projekt beschlossen, keine SEMIKRON Module für diesen Demonstrator einzusetzen.

WP7: Verwertung und Kommunikation

Die Verbreitung der Projektergebnisse wurde im Arbeitspaket in verschiedenen Formaten vorangetrieben. Neben der Beteiligung an der virtuellen EFECS 2021 und der EFECS 2022 in Amsterdam wurde ein Vortrag bei der Fachtagung „Forschung für Energieeffiziente Leistungselektronik“ des BMBF am 19. Januar 2022 gehalten. Darüber hinaus wurde eine Verknüpfung der Aktivitäten im Vorhaben und der Standardisierung im Rahmen der Arbeitsgruppe zur AQG324 hergestellt. Auf der virtuellen PCIM 2021 wurde in Vorbereitung auf eine spätere Produktverwertung das in TRANSFORM verfolgte Modulkonzept einer breiten, internationalen Fachöffentlichkeit präsentiert. Auf der PCIM 2023 wurde auf dem Stand der Firma BOSCH über ein gemeinsames Poster das Vorhaben einer breiten, internationalen Fachöffentlichkeit präsentiert. In der PCIM 2024 wurde dann auch der Moduldemonstrator unter dem Produktnamen eMPack MIDI ausgestellt.

CET	Session 1 (TEAMS invite)		Session 2 (TEAMS invite)
9:00	Short introduction and welcome	13:00	Short introduction and welcome
	T5.1 Robustness/reliability		**Task 5.3 copper AIT**
	TUC1 Robustness of SiC MOSFETs (Mohamed Alaluss)		BOSCH Cu AIT (Ulrich Kessler)
	ISLE Robustness and reliability tests at ISLE (Tobias Reimann)		Nanojoin Cu sinter paste (Adrian Stelzer)
	TUC2 Current activities towards a more universal lifetime model for power modules (Alexander Otto / Rainer Dudek)		Danfoss Cu sintering technology (Jacek Rudzki)
	TUC1 SiC power cycling topics (Michael Lutz)		FH Kiel Leadframe Module (Stefan Söhl)
10:20	Short Break	14:20	Short Break
	Task 5.2 system integration and gate driver		**Task 5.4 high power-density packaging**
	BOSCH inverter (Daniel Schlotthauer)		SEMI direct press die introduction (Jens Müller)
	BOSCH Gate driver (Joachim Joos)		SEMI Optimization of dam material (Michael Unützer)
	BUT single-stage three-phase AC/DC PFC (Pavel Vorel)		HSHL novel die attach technologies (Michael Curkin)
	TPLUS CFD-based Design and Optimization (Sebastian Spring)		SEMI laser welding inside the module (Armin Dellert)
	WP3 SOITEC SMART-Cut topics (Eric Guiot)		**WP4 BOSCH SiC Device insights (Holger Bartolf)**
12:00	End of session	16:00	End of session

Abbildung II-11: Agenda des von SEMIKRON organisierten WP5 workshops am 8. März 2022

Zu Anfang des Projekts bis in das 1. Quartal 2022 war der inhaltliche Austausch der Projektpartner weiter auf virtuelle Treffen beschränkt. Um dennoch ein Forum für einen vertieften inhaltlichen Austausch bereit zu stellen, hat SEMIKRON am 8. März einen Workshop rund um die Themen des WP5 organisiert. Die Agenda des Workshop, der eine gute Resonanz erhielt, ist in Abbildung II-11 dargestellt.

2. des voraussichtlichen Nutzens, insbesondere der Verwertbarkeit des Ergebnisses im Sinne des fortgeschriebenen Verwertungsplans

Die erreichten Ergebnisse des Vorhabens auf den drei Wertschöpfungsebenen Chip, Modul und Umrichtersystem in Bezug auf SiC Leistungshalbleiter unterstützten den Aufbau von europäischen Innovations- und Wertschöpfungsketten mit dem Ziel der Stärkung der technologischen Souveränität. Neben wesentlichen Erkenntnissen zur Zuverlässigkeit der SiC Leistungshalbleiter und neuen Aufbau- und Verbindungstechnologien, ist der Leistungsmoduldemonstrator mit sehr hoher Leistungsdichte für Traktionsumrichter ein signifikantes Ergebnis des Vorhabens. Dabei wurden die erzielten Verbesserungen des Leistungsmoduls im Bereich der elektrischen und thermischen Eigenschaften insbesondere durch Innovationen auf Ebene der verwendeten Materialien, der Aufbau- und Verbindungstechnologie, Messtechnik und Simulation erreicht.

Für die Anwendung Elektromobilität ist der Marktanlauf der entwickelten skalierbaren und für die Integration von hochperformanten SiC Leistungshalbleitern geeigneten Modulplattform Mitte 2025 geplant. Zusammen mit den von Partnern des Vorhabens entwickelten hochperformanten und preiswerten SiC Chips erwarten wir eine hohe Wettbewerbsfähigkeit der entwickelten Lösungen, die am Standort Deutschland gefertigt werden sollen.

Die erreichten Ergebnisse und Innovationen werden in weiteren Veröffentlichungen (z.B. in ECPE Workshops oder der PCIM in Nürnberg und dem Halbleiterkolloquium in Freiburg sowie in Fachzeitschriften wie Bodos Power oder Application Notes) weiter verbreitet. Durch die Zusammenarbeit mit den Partnern im IPCEI Mikroelektronik und Kommunikationstechnologien (ME/KT) wird ebenfalls wissenschaftl./techn. aber auch eine wirtschaftliche Anschlussfähigkeit der Ergebnisse ermöglicht.

3. des während der Durchführung des Vorhabens dem ZE bekannt gewordenen Fortschritts auf dem Gebiet des Vorhabens bei anderen Stellen

Es liegen keine weiteren Erkenntnisse vor.

4. der erfolgten oder geplanten Veröffentlichungen des Ergebnisses

Ergebnisse der Forschungen im Rahmen des Projektes wurden in folgenden Artikeln, Fachzeitschriften und Konferenzbeiträgen unter Beteiligung von Semikron Danfoss veröffentlicht:

- S. Buetow et al., „Investigation of Stability and Oscillations at Power Modules with Low Stray Inductance“, Proc. 34th ISPSD 2022, Vancouver, Kanada
- M. Curkin et al., “Effect of Chip Metallization and Process Parameters on the Die Attach Properties of Direct Bonded Power Devices”, Proc. 73rd ECTC 2023, Orlando, USA
- D. Sumkötter et al., “Investigation of Two-Stage Ag-Sintering Processes for the Die Attach of Power Devices”, Proc. EPTC 2023, Singapur
- M. Köhler et al., “Reliability and Failure Mechanisms of Direct Bonded Power Semiconductor Devices in Power Cycling Test”, Proc. 36th ISPSD 2024, Bremen, Deutschland