Schlussbericht – KI4BoardNet - NXP - 16ME0770

BMBF/Mannheim-Verbundprojekt KI4BoardNet

Integrale agile E/E-Entwicklung für fusionierte und standardisierte Energie- und Datenbordnetze

Zuwendungsempfänger:	**NXP Semiconductors Germany GmbH (08-NXP)**
Vorhabenbezeichnung:	KI4BoardNet
Teilvorhaben:	Integrale agile E/E-Entwicklung für fusionierte und standardisierte Energie- und Datenbordnetze
Förderkennzeichen:	16ME0770
Projektlaufzeit:	01.12.2022 bis 30.11.2025
Berichtszeitraum:	01.12.2022 bis 30.11.2025
Fälligkeit:	30.05.2026
Erstelldatum:	14.05.2026
Projektleiter (Teilvorhaben):	Dr. Andrea Sanfilippo NXP Semiconductors Germany GmbH Schatzbogen 7 81829 München
Autor:	Anosch Aziz-Koch (08-NXP)
Gesamt-Projektkoordination	Hagen Jaeger (T4-35) CARIAD SE Am Dieb 2 71297 Mönsheim M. +49 1525 77 22 169 Hagen.Jaeger@cariad.technology
F+E-Koordination/ Projektmanagement	KI4BoardNet Office Dr.-Ing. D. Treytnar (05 11 – 93 68 74 65) Dr.-Ing. W. John (0 52 51 - 54 39 300) ki4boardnet-office@mail.edacentrum.de

Partnerübersicht

Kürzel	Verbundpartner mit Adresse	Art	Ansprechpartner / Projektleiter
01 CARIAD	**CARIAD SE** Berliner Ring 2, 38440 Wolfsburg	GU	Hagen Jaeger Tel. +49 152 577 22 169 hagen.jaeger@cariad.technology
02 KRO	**Kromberg & Schubert Automotive GmbH & Co. KG** Raitestraße 8, 71272 Renningen	Tier1	Michael Buchta Tel. +49 7159 1602-395 Michael.Buchta@ksre.kroschu.com
03 STW	**Sensor-Technik Wiedemann GmbH**; Am Bärenwald 6, 87600 Kaufbeuren	Tier1	Stefan A. Lang Tel. +49 8341 9505-8110 stefan.lang@wiedemann-group.com
04 IFAG	**Infineon Technologies AG** Am Campeon 1-15, 85579 Neubiberg	Tier2	Gabriel Rutsch Tel. +49 89 234 22252 Gabriel.Rutsch@infineon.com
05 REN	**Renesas Electronics Europe GmbH** Arcadiastr. 10, 40472 Düsseldorf	Tier2	Robert Podgorsek Tel. +49 211 6503 1480 robert.podgorsek@renesas.com
06 TE	**TE Connectivity Germany GmbH** Amperestraße 12-14, 64625 Bensheim	Tier2	Bert Bergner Tel. +49 6251 133 1790 bbergner@te.com
07 EDAG	**EDAG Engineering GmbH** Reesbergstraße 1, 36039 Fulda	GU	Jan Leilich Tel. +49 661 6000 80093 jan.leilich@edag.com
08 NXP	**NXP Semiconductors Germany GmbH** Troplowitzstraße 20, 22529 Hamburg	GU	Steven von Bargen Tel. +49 151 40781027 steven.von.bargen@nxp.com
09 KEM	**KEMMLER Electronic GmbH** Benzstraße 11, 71691 Freiberg am Neckar	KMU	Stefan Reiber Tel. +49 7141 9472 331 stefan.reiber@kemmler-electronic.com
10 MHE	**M-H engineering GmbH & Co. KG** Gaußstraße 2/1, 71691 Freiberg am Neckar	KMU	Felix Müller-Hummel Tel. +49 7141 50535 88 mueller-hummel@m-h-engineering.de
11 SPA	**SPARKS Solutions GmbH** Friedrichshofener Str. 20, 85049 Ingolstadt	KMU	Vitali Paschajan Tel. +49 175 7264623 v.paschajan@sparks-gmbh.de
12 HOOD	**HOOD GmbH** Keltenring 7, 82041 Oberhaching	KMU	Jan Ebert Tel. +49 179 5047 531 jan.ebert@hood-group.com
13 COS	**COSEDA Technologies GmbH** Königsbrücker Str. 124, 01099 Dresden	KMU	Karsten Einwich Tel. 351 321490 11 karsten.einwich@coseda-tech.com
14 MAP	**MAPEGY GmbH** Bismarckstraße 10-12, 10625 Berlin	KMU	Peter Walde Tel. +49 176 627 9595 0 walde@mapegy.com
15 IDMT	**Fraunhofer- Institut für Digitale Medientechnologie** Marie-Curie-Straße 2, 26129 Oldenburg	F+E	Jan Wellmann Tel. +49 441 36116 841 jan.wellmann@idmt.fraunhofer.de
16 FZI	**FZI Forschungszentrum Informatik** Haid-und-Neu-Str. 10–14, 76131 Karlsruhe	F+E	Alexander Viehl Tel. +49 721 9654 414 viehl@fzi.de
17 TUDO	**Technische Universität Dortmund; Arbeitsgebiet Bordsysteme**; Otto-Hahn-Straße 4, 44227 Dortmund	F+E	Prof. Dr.-Ing. Stephan Frei Tel. +49 231-755-5980 stephan.frei@tu-dortmund.de
18 RWTH	**RWTH Aachen, Lehrstuhl für Integrierte Analogschaltungen** Kopernikusstr. 16, 52074 Aachen	F+E	Prof. Dr. Stefan Heinen Tel. +49 (0) 241 80 27745 heinen@ias.rwth-aachen.de

19 TUDR	**Technische Universität Dresden; Institut für Feinwerktechnik und Elektronik-Design** 01062 Dresden	F+E	Prof. Jens Lienig Tel. +49 351 463 34742 jens.lienig@tu-dresden.de
20 TUKL	**Technische Universität Kaiserslautern; Design of Cyber-Physical Systems** 67663 Kaiserslautern	F+E	Prof. Christoph Grimm Tel. +49 631 205 3283 grimm@cs.uni-kl.de
21 HSH	**Hochschule Heilbronn; Intelligente Cyber-Physische Systeme (ICPS)** Daimlerstr. 22, 74653 Künzelsau	F+E	Prof. Dr. Alexander Jesser Tel. +49 7940 1306-199 alexander.jesser@hs-heilbronn.de
22 LUH	**Leibniz Universität Hannover; IMS** Appelstr. 4, 30167 Hannover	F+E	Prof. Bernhard Wicht Tel. +49-511 762 19690 bernhard.wicht@ims.uni-hannover.de

Unterauftragnehmer		
UA-01 ZUKEN	EDA	**Zuken GmbH**, Am Hoppenhof 30, 33104 Paderborn, Ralf Brüning, Tel.: +49 170 4228512, ralf.bruening@de.zuken.com

Assoziierte Projektpartner		
AP-01 INTEL	GU	Intel Deutschland GmbH, Am Campeon 10-12, 85579 Neubiberg, christoph.heer@intel.com
AP-02 IILS	Verbund	Innovationsinitiative Leitungssatz, ARENA2036 e.V., Pfaffenwaldring 19; 70569 Stuttgart, georg.schnauffer@arena2036.de
AP-03 CAH	GU	Cloud&Heat Technologies GmbH, Königsbrücker Straße 96, 01099 Dresden, maria.vaquero@cloudandheat.com
AP-04 WUERTH	GU	Würth Elektronik eiSos GmbH & Co. KG, Max-Eyth-Str. 1, 74638 Waldenburg, Martin Haug, martin.haug@we-online.de
AP-05 OSBA	Verband	Open Source Business Alliance; Bundesverb. für digitale Souveränität e.V., Pariser Platz 6a, 10117 Berlin becker@osb-alliance.com, calvo@osb-alliance.com
AP-06 EMCtest	KMU	EMC Test NRW GmbH, Emil-Figge-Straße 76, 44227 Dortmund jeschke@emc-test.de; olbrich@emc-test.de
AP-07 EDAC	KMU	edacentrum e.V., Schneiderberg 32, 30167 Hannover Dieter Treytnar, ki4boardnet-office@mail.edacentrum.de

1 MOTIVATION UND ZIELSETZUNG

1.1 Aufgabenstellung

Ansatz von KI4BordNet breit und umfassend aufgestellt, um verschiedenartige funktionale und nicht-funktionale Anforderungen und Optimierungsziele für beliebige Anwendungen und Bordnetzklassen umzusetzen.

NXP hat zusammen mit Partnern des Konsortiums Probleme aktueller PLL-Lösungen anzugehen geplannt. Hierbei waren im Verlauf des Projektes beispielsweise Lösungen für schnelles Einlaufen und große lineare Tuning Ranges gesucht mit dem Ziel der Entwicklung eines sehr robusten Systems mit optimierter Performance und minimierter Leistungsaufnahme. Hierbei sind speziell geplante Innovationen im Bereich Performance in Linearität, Phase-Noise und Einregelgeschwindigkeit herauszuheben.

Während des Projekts waren Konzepte und Systemarchitekturen entwickelt, die als Modell mit ausführbaren Spezifikationen dienen und mit internen und externen Kunden ausgetauscht sein können. Die Entwicklungszeiten im Bereich des „Fuzzy Frontends“ sind verkürzt und Standardisierungsprozesse und parallellaufende Prozesse gefördert sind. Die gesamte Architektur ist in einer integrierten Entwicklungsumgebung simulierbar (Analog, HF, Millimeterwellen und digitale Hardware mit Software).

NXP hatte im Projekt KI4BoardNet zwei technische Schwerpunkte:

1. Der modellbasierte Entwurfsansatz, um komplexe ADAS-Systeme im Hinblick auf zukunftsweisende Bordnetzkonzepte strukturierter und effektiver zu spezifizieren, zu entwickeln, zu validieren und zu testen. Entwicklung eines offenen und skalierbaren System- und Modellierungssimulations-Ökosystems einschließlich Virtual-Reality-/3D-Funktionen.
2. Darüber hinaus Entwicklung einer Fractional-N PLL mit Schwerpunkt Entwicklung des Systems und geeigneter Systemkomponenten, wie Phasendetektor und VCO/DCO inkl. Messungen und Auswahl/Untersuchung verschiedener Komponentenalternativen (Einsatzgebiet Fahrzeug-Kommunikation) zur Realisierung zukünftiger autonom fahrender Fahrzeuge und der dafür nötigen ADAS-Systeme welche im Vergleich zu aktuellen Systemen deutlich gesteigerte Leistungsdaten bei Frequenzstabilität, (Phasen-)Rauschen und Linearität erfordern. Verfolgt werden die Ziele unter erhöhten Anforderungen an Zuverlässigkeit und Robustheit (z.B. Temperaturschwankungen von 200°C), um eine ausreichende Ausfallsicherheit und Selbstdiagnose garantieren zu können.

1.1.1 Ausgangslage

Die Digitalisierung dieser Bordnetze und deren Entwicklung wird zukünftig ein dominanter Treiber von Veränderungen im Automobilbereich sein. Das bedeutet auch, dass die Entwicklung von Elektronik-Komponenten und Bordnetz-Architekturen zukünftig mit agilen Entwurfsprozessen und dem Ziel maximaler Automatisierung hinterlegt sind. Dabei leisten Digitalisierung und Softwarekompetenz für die im Vorhaben adressierten zu-künftigen kritischen Arbeitsthemen Elektronik-Komponenten, Kabelbaum/Bordnetz + KI-Architekturen und eda/KI (KI im Entwicklungsprozess und Agile Entwicklung) einen wichtigen Beitrag. Dem Entwurf von neuartigen Halbleiterkomponenten als Basis für die Entwicklung von leistungsfähigen Bordnetzen in Verbindung mit elektrisch/elektronischen (E/E) Architekturen als Teil des Gesamtsystems Automobil wird ebenfalls Rechnung getragen: Durch Integration neuer Konzepte in Form von intelligenten Zonenkonzepten wird die Rechenleistung auf wenigen, verteilten Steuergeräten (Zonencontrollern) und zentralen Recheneinheiten (Central-Car Server, ADAS Blade System) konzentriert und das Bordnetz wird so selbst zu einer intelligenten Fahrzeug-Komponente. Hieraus ergeben sich neue Anforderungen an die (E/E)-Entwicklung auf mehreren Ebenen: Im Projekt werden neue Schlüsselkomponenten im Bereich von Steckverbin-

dern/Kabeln/Energie- und Datenkonzepten sowie Sensor-/IC-/Aktor-/Controller-Algorithmen bis zu in Zonen verfügbaren Verfahren zur Fehlererkennung und Redundanz entwickelt.
Den benötigen neuen eda-basierten Entwicklungsmethoden und -prozessen (agile Entwicklung) für Elektronik- Komponenten mit KI-Ergänzungen wird mittels KI4BoardNet ebenfalls Rechnung getragen. Offene Standards können auf dem Gebiet der Entwicklung von Simulation- und KI-Modellen und vernetzten KI/AI-Entwurfsverfahren durch digitale Zwillinge zur schnelleren Funktionsverifikation (Industrial DevOps) und höheren Agilität im Produkt Lifecycle entstehen.
Die Trennung von Sensorhardware als Datenquelle und den auf den Controllern umgesetzten Algorithmen definieren neue Herausforderungen an das Hardware/Software Co-Design, was in neuen Konzepten zur integralen E/E-Entwicklung im Projekt berücksichtigt sind. Zur Entwicklung neuer Verfahren zur Anbindung von Datenquellen waren Sensoren und Algorithmen bis hin zu neuartigen Prozessoren für die nächste Generation der Zonencontroller konzeptioniert, entworfen und validiert. Durch die Anbindung des Bordnetzes an CarOS, Kommunikations- und Cloud-Services ist eine Evaluation und Demonstration der Leistungsfähigkeit Ende zu Ende, vom Sensor bis zum Zonencontroller über den Entwurf bis hin zur Wartungs- und Zuverlässigkeitsbewertung im Feld möglich. Durch diese neuen agilen Entwurfsverfahren wird die Entwicklungseffizienz um 15 - 30% verbessert. Die Länge der verbauten Leitungskilometer soll dabei bei zunehmender Funktionalität um 40% gegenüber dem derzeitigen Technologiestand gesenkt werden.
Die Leistungsfähigkeit der im Projekt entwickelten Komponenten und Verfahren waren anhand eines Fahrzeugdemonstrators gezeigt. KI4BoardNet waren einen wichtigen Beitrag zur Stärkung der Automo-bilbranche in Deutschland geleistet und in benötigtem Umfang neue Arbeitsplätze geschaffen. Durch die Arbeiten im Projekt waren offene nutzbare Konzepte und wichtige Schlüsselkomponenten von Bord-netzen entwickelt und durch Unterstützung offener Standards den Marktteilnehmern auch außerhalb des Projektes zur Verfügung gestellt. Aufgrund des breit aufgestellten Konsortiums könnte die entwickelten Lösungen auch direkt aus dem Projekt in die Abteilungen zur Vorentwicklung der Tier1 / Tier2-Partner überführt werden und so die technologische Leistungsfähigkeit der E/E-Lösungen deutlich stärken und die Entwurfs- und Entwicklungszeiten im Markt signifikant verkürzen. Dies ist insbesondere für die klein- und mittelständischen Unternehmen von Bedeutung, da diese häufig als Zulieferer der Zulieferer unter hohem Innovationsdruck arbeiten, um im internationalen Wettbewerb zu bestehen.

1.1.2 Allgemeine Ziele

Das Gesamtziel war in drei Ziele unterteilt:

1. **Kontinuierliche, flexible Verifikation durch KI:** Die Einhaltung von Vorgaben sind mit Regeln überwacht; aufgrund des Implementierungsaufwands bei starren Regeln liegt noch viel Potential brach und viel Zeit sind für manuelle Kontrollen und Fehlersuchen aufgewendet. KI ermöglichte die Einhaltung von Vorgaben flexibler, schneller und zuverlässiger überwachen und eine kontinuierliche und automatisierte Überwachung. Insbesondere lernte durch KI auch neue Regeln. Dies ist die Grundlage für neue, agilere Entwicklungsmethoden und Kooperationen in der Wertschöpfungskette.
   Die Verwendung hybriden KI-Ansatzes diente zum einen der besseren **Erklärbarkeit** und Wartbarkeit und ermöglichte zum anderen die Anwendung auch ohne oder mit nur kleinen Datenmengen.
2. **Reduktion von Varianten:** Auch beim Variantenmanagement hatte KI-Verfahren einen großen Nutzen gebracht. Mit Hilfe eines KI-Recommender-Systems haben ähnliche Stecker und Anbauteile systematisch gesucht, so dass hierüber ein Weg zu mehr Gleichteilen und weniger Varianten aufgezeigt waren.
3. **Diagnose:** Letztlich haben auch im Betrieb eines Fahrzeugs eine leistungsfähige Bordnetzdiagnose oft aufwendige konstruktive Maßnahmen für eine extrem hohe Zuverlässigkeit überflüssig gemacht.

1.1.3 Aufgaben

Der Arbeitsplan in KI4BoardNet konzentriert sich auf die folgenden Arbeitspakete:

- AP1: Spezifikation E/E-Anforderungen/Systemarchitekturen + Bordnetze + Planung KI-Unterstützung
- AP2: System-/Komponenten-Entwicklung mit Bezug auf Bordnetz-Anwendungen
- AP3: Agile Entwurfs- und Simulationsverfahren/Digitaler Zwilling/KI-Modellierung
- AP4: Entwicklung Testumgebungen für Integrations- + System-/Komponententests auf Demonstratorbasis (Elektronik-/SW-/Bordnetz-Komponenten)
- AP5: Validierung auf Fahrzeug-/System- und Komponentenebene mittels Demonstratoren

Basierend auf den allgemeinen Zielen wurden folgende Aufgabenstellungen für das Projekt: KI4BoardNet aufgestellt:

Arbeitspaket 1 in Aufgabe („Task“) 1 „Spezifikation eda- + KI-Anforderungen“.
Ziel des Beitrages 1.1.8
Erstellung eines Lösungsweges für ein robustes und unempfindliches PLL-System gegenüber Störungen.

Arbeitspaket 1 in Aufgabe 3 „Spezifikation Übergang zu verstärkter Simulation und KI-gestütztem Entwurf“.
Ziel des Beitrages 1.3.8
Es geht um die Entwicklung einer modellbasierten Top-down Systementwicklungsmethodik, um vor der integrierten Schaltungsimplementierung schon Modelle auf Systemebene zur Verfügung stellen zu können. Diese Modelle bilden einen digitalen Zwilling des integrierten Radarsensors.

Arbeitspaket 2 in Aufgabe 1 „Entwicklung von Sensoren/KI-Beschleuniger für elektronische Bordnetz-Komponenten“
Ziel des Beitrages 2.1.8
Ziel ist das Aufsetzen eines Layouts für die IP und den Testchip.

Arbeitspaket 3 in Aufgabe 1 „Simulation/Modellierung sowie Ausführung digitale Zwillinge für elektronische Komponenten“
Ziel des Beitrages 3.1.8
Es geht um die Entwicklung einer modellbasierten Top-down Systementwicklungsmethodik, um vor der integrierten Schaltungsimplementierung schon Modelle auf Systemebene zur Verfügung stellen zu können. Diese Modelle bilden einen digitalen Zwilling des integrierten Radarsensors.

Arbeitspaket 3 in Aufgabe 6 „Generische Simulationsmodelle basierend auf maschinellem Lernen“
Ziel des Beitrages 3.6.8
Es sollen übergreifend geltende Modellierungs- und Charakterisierungsansätze (für lineare und nichtlineare Verhalten erstellt werden.

Arbeitspaket 4 in Aufgabe 3 *„Testumgebung KI-Module/KI-Hardware“*
Ziel des Beitrages 4.3.8
Ziel ist die erfolgreiche Implementierung des Testchips sowie Erstellung eines Validationsboard für Messungen am Testchip um Parameterabweichungen zu messen und den gesamten Testchip validieren zu können.

Arbeitspaket 5 in Aufgabe 1 *„Validierung#1 Kommunikation“*
Ziel des Beitrages 5.1.8
Ziel ist die Validierung der angewandten Simulationsmodellen durch Überprüfung der Anforderungen sowie Eigenschaften.

Arbeitspaket 5 in Aufgabe 2 *„Validierung#2 Energiesysteme“*
Ziel des Beitrages 5.2.8
Mittels einer KI-Basierten Konsistenzprüfung werden die Anforderungen sowie Eigenschaften der Kommunikationsketten von Sensordaten überprüft werden mit besonderem Fokus auf die Power Estimation.

Arbeitspaket 5 in Aufgabe 3 *„Validierung#3 Sensorik“*
Ziel des Beitrages 5.3.8

Ziel war die Validierung des zweiten Testchip Tape Outs. Ein weiteres Ziel ist die Untersuchung und Behebung von Störquellen.

Arbeitspaket 5 in Aufgabe 4 „Validierung#4 Digitale Zwillinge“

Ziel des Beitrages 5.4.8

Ziel ist die Entwicklung einer modellbasierten Top-down Systementwicklungsmethodik – hier: Validation des digitalen Zwillings / der Modelle.

1.2 Voraussetzungen, unter denen das Vorhaben durchgeführt wurde

Arbeitspaket 1 in Aufgabe 1 „Spezifikation eda- + KI-Anforderungen“.

Voraussetzung (Input) für den Beitrag 1.1.8: Keine

Voraussetzung (Input) für den Beitrag 1.3.8: Keine

Arbeitspaket 2 in Aufgabe 1 „Entwicklung von Sensoren/KI-Beschleuniger für elektronische Bordnetz-Komponenten“

Voraussetzung (Input) für den Beitrag 2.1.8: Anforderungskatalog für die PLL-Systemarchitektur sowie Literaturrecherche

Arbeitspaket 1 in Aufgabe 3 „Spezifikation Übergang zu verstärkter Simulation und KI-gestütztem Entwurf“.

Voraussetzung (Input) für den Beitrag 3.1.8: Notwendig für diesen Arbeitsschritt ist, dass die Anforderungen für die Top-down Systementwicklungsmethodik sowie Simulationsmodellierungs-Methodiken inklusive den relevanten Parameterabweichungen vordefiniert sind.

Arbeitspaket 3 in Aufgabe 6 „Generische Simulationsmodelle basierend auf maschinellem Lernen“

Voraussetzung (Input) für den Beitrag 3.6.8 Architekturelle Anforderungen an Modellbibliotheken, die Templates der Modellbibliotheken sowie das Konzept des digitalen Zwillings des Radarsensors bilden hier die notwendige Grundlage.

Arbeitspaket 4 in Aufgabe 3 *„Testumgebung KI-Module/KI-Hardware“*

Voraussetzung (Input) für den Beitrag 4.3.8

Notwendig ist hierbei das Schaltbild sowie das dazugehörige Layout des PLLs und den Teilkomponenten (bspw. Oszillator) sowie Erkenntnisbeiträge vom Partner RWTH bzgl. Des PLL-Layouts.

Arbeitspaket 5 in Aufgabe 1 *„Validierung#1 Kommunikation“*

Voraussetzung (Input) für den Beitrag 5.1.8

Notwendig für diesen Arbeitsschritt ist, dass die Testumgebung inkl. notwendiger Parameter aufgesetzt sowie Flowdesign (Modellierungs- und Charakterisierungsstrategien) definiert wurde.

Arbeitspaket 5 in Aufgabe 2 *„Validierung#2 Energiesysteme“*

Ziel des Beitrages 5.2.8

Mittels einer KI-Basierten Konsistenzprüfung werden die Anforderungen sowie Eigenschaften der Kommunikationsketten von Sensordaten überprüft werden mit besonderem Fokus auf die Power Estimation.

Arbeitspaket 5 in Aufgabe 3 *„Validierung#3 Sensorik“*

Voraussetzung (Input) für den Beitrag 5.2.8

Die Testumgebung inkl. notwendiger Parameter aufgesetzt sowie ersten Prototypen des digitalen Zwillings erstellt. Zudem wird hier ebenfalls der erste Testchip des PLL-Systems verwendet, um die Leistungsaufnahme unter Realbedingungen auszutesten.

Arbeitspaket 5 in Aufgabe 4 „Validierung#4 Digitale Zwillinge“

Voraussetzung (Input) für den Beitrag 5.3.8

Notwendig sind hier die Erkenntnisse aus der Konzeption der Validationsumgebung des ersten Testchip sowie dazu gehöriges Validierungsboard für die Testumgebung inkl. Notwendiger Parameter.

1.3 Wissenschaftlicher und technischer Stand zu Projektbeginn

ADAS-Systeme

Obwohl Methoden und Abläufe für die HW/SW-Co-Design/Verifizierung und AMS/RF-Design/Verifizierung existieren, gibt es keine Kombination aller Disziplinen (HW/SW/AMS/RF) in einem einheitlichen und integrierten Modellierungsablauf auf Systemebene, welcher sowohl das Top-down-Design als auch die Systemverifizierung und -validierung unterstützt. Darüber hinaus erfordern Anwendungen des autonomen Fahrens, die auf RF/Radar-Technologien basieren, die Einbeziehung der Umgebung (Straße und Verkehr, Gebäude und Hindernisse, andere Verkehrsteilnehmer usw.) in einem Modell auf Systemebene, um Anwendungsfälle wie virtuelle Testfahrten und die Validierung von Prototypen zu ermöglichen. Damit wird der Systemsimulationsumgebung eine weitere Funktionalitäts- und Komplexitätsebene hinzugefügt, welche heute bislang nicht existiert.

Fractional-N PLL

Bekannte PLL-Systeme weisen Fractional-N-Störkomponenten im Spektrum auf, die höher liegen, als dies für ADAS-Systeme gewünscht ist. Bezüglich des Phasenrauschens geht eine Verbesserung meist auch mit einer Erhöhung der Verlustleistung einher. Beim Phasenrauschen gibt es offensichtlich physikalische Grenzen, die sich aktuell nicht oder nur mit hohem Aufwand unterschreiten lassen. Ein weiteres Problem ist die Temperaturdrift des Oszillators, die bei aktuellen Technologien oft hoch ist und einen erheblichen Einfluss auf den Einsatz des Oszillators hat. So wird durch die Temperatur-Drift meistens eine Kalibrierung erforderlich, welche einen Einfluss auf die Robustheit des Gesamtsystems hat.

1.3.1 Frühere Projekte

NextPerception - Next generation smart perception sensors and distributed intelligence for proactive human monitoring in health, wellbeing, and automotive systems (2020-2023)

Das Ziel des NextPerception-Projekts ist die Entwicklung neuer Technologien zur intelligenten Wahrnehmung für vernetzte Sensorik, in Kombination mit Methoden zur Unterstützung des Designs und des Managements von Lösungen für verteilte Intelligenz. Diese Technologien werden integriert und demonstriert in relevanten und hochgradig anspruchsvollen Anwendungen im Gesundheitswesen und in der Automobilindustrie. NXP untersucht innerhalb von NextPerception Intelligente Wahrnehmungssensoren der nächsten Generation für das Automobil hinsichtlich Möglichkeiten der Leistungssteigerung für Imaging-Radar-Sensoren (RF-Design) und deren Formfaktorreduzierung mit Schwerpunk Antenna in Package (AiP) für eine erhöhte Flexibilität beim Einbau durch OEMs. Ziel ist die Masseneinführung von Radarsensoren mit kleinem Formfaktor auf dem Markt.

RobKom - Robuste Kommunikation in autonomen Elektrofahrzeugen (2018-2021)

Das wesentliche Projektziel des F+E Vorhabens RobKom besteht darin, neuartige Konzepte für den kooperativen Betrieb von EMV-kritischen WBG-Halbleitern und Kommunikations- sowie Sensorsystemen für autonome Elektrofahrzeugen zu erforschen und deren Anwendbarkeit nachzuweisen. NXP beschäftigt sich in seinem Teilvorhaben mit der Untersuchung neuartiger EMV-Störeinflüsse durch elektromagnetische Interferenzen (EMI) in autonomen Elektrofahrzeugen für Kommunikations-Mikrochips. Dabei sollen entsprechende Gegenmaßnahmen zur Reduzierung der Störeinflüsse sowie zur Steigerung der Robustheit von grundlegenden Bauelementen für funkbasierte Kommunikations-ICs entwickelt werden. Das Projekt legt den Grundstein für die Entwicklungen im Bereich ADPLL in KI4BoardNet.

3CCAR - Integrated Components for Complexity Control in affordable electrified cars (2015-2018)

3CCar beschäftigte sich mit der kontinuierlich wachsenden Komplexität in automobilen Systemen, speziell in Elektrofahrzeugen. Hierbei wurde die Komplexität durch innovative Halbleiterlösungen reduziert, die für eine verbesserte Energieeffizienz sorgen, und die Systemintegration verbessert, was zu einer deutlichen Kostenreduzierung führt und zusammen die Einführung von Elektrofahrzeugen in großer Masse begünstigt. NXP entwickelte die Hauptkomponenten für eine hochgeschwindigkeits-/bandbreite Ethernet Datenleitung für das in-vehicle-networking.

SADA - Smart Adaptive Data Aggregation (2015-2018)

In wurden die Grundlagen für eine neue flexiblere Datenfusion entwickelt. SADA erlaubt eine dynamische und voll-automatische Anpassung der Sensorkonfiguration und des dazugehörigen Fusionsprozesses, anhängig von der Verfügbarkeit der Sensoren. Dies erlaubt einen flexiblen Einsatz verfügbarer Sensoren und erweitert Möglichkeiten der Sensordatenfusion.

POLLUX - Process Oriented Electrical Control Units for Electrical Vehicles Developed on a multisystem real-time embedded platform (2010-2013)

POLLUX Ziel ist die Reduktion der Entwicklungszeit und die Kosten der komplexen, hoch zuverlässigen mechatronischen Systeme, die zur Massenproduktion von Elektrofahrzeugen benötigt werden, durch die Entwicklung einer Referenzarchitektur von verteilten eingebetteten Systemen, inklusive echtzeit Middleware, multi-core Hardware und in-vehicle Kommunikation.

1.4 Zusammenarbeit mit anderen Stellen

NXP hat zur Erreichung der Projektziele eng mit den Projektpartnern kooperiert. Eine Zusammenarbeit mit Partnern außerhalb des Projektkonsortiums hat nicht stattgefunden. Eine Unterbeauftragung anderer Unternehmen im Rahmen der eigenen Tätigkeiten wurde ebenso nicht vorgenommen.

2 PLANUNG UND ABLAUF DES VORHABENS

2.1 Projektstruktur

Die Laufzeit des Vorhabens KI4BoardNet ist in dem folgenden Bildung dargestellt.

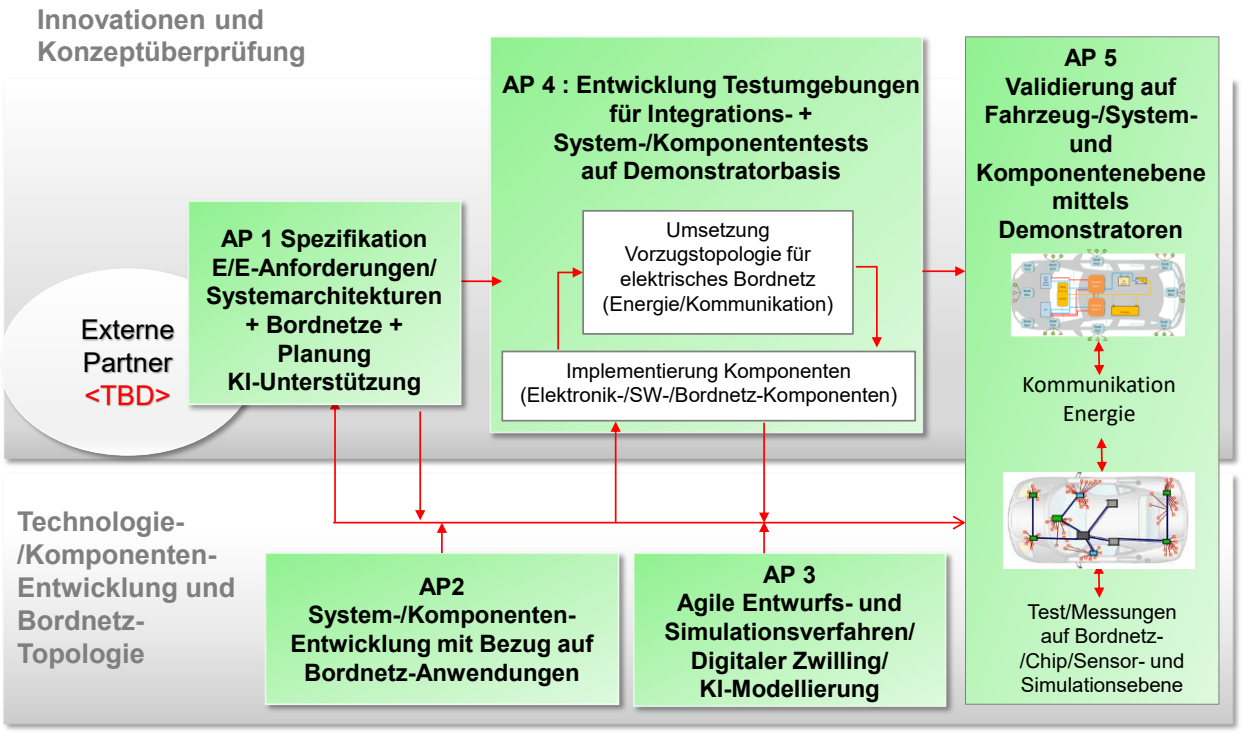

Abbildung: AP Struktur des Gesamtprojekts

2.2 Zeitplan und Ablauf

2.2.1 Zeitplan

			Jahr 1				Jahr 2				Jahr 3			
AP1	**Spezifikation E/E-Anforderungen/Systemarchitekturen + Bordnetze + Planung KI-Unterstützung**	***m01-m21***												
Tasks	*Title*	*Task duration*	*01-03*	*04-06*	*07-09*	*10-12*	*13-15*	*16-18*	*19-21*	*22-24*	*26-27*	*28-30*	*31-33*	*34-36*
Task 1.1	Spezifikation eda- + KI-Anforderungen	*m01-m21*		M1-M2		M3-M4								
Task 1.3	Spezifikation Übergang zu verstärkter Simulation und KI-gestütztem Entwurf	*m01-m07*												
AP2	**System-/Komponenten-Entwicklung mit Bezug auf Bordnetz-Anwendungen**	***m04-m33***												
Tasks	*Title*	*Task duration*	*01-03*	*04-06*	*07-09*	*10-12*	*13-15*	*16-18*	*19-21*	*22-24*	*25-27*	*28-30*	*31-33*	*34-36*
Task 2.1	Entwicklung von Sensoren/KI-Beschleuniger für elektronische Bordnetz-Komponenten	*m07-m19*						M5-M7						
AP3	**Agile Entwurfs- und Simulationsverfahren/Digitaler Zwilling/KI-Modellierung**	***m04-m33***												
Tasks	*Title*	*Task duration*	*01-03*	*04-06*	*07-09*	*10-12*	*13-15*	*16-18*	*19-21*	*22-24*	*25-27*	*28-30*	*31-33*	*34-36*
Task 3.1	Simulation/Modellierung sowie Ausführung digitale Zwillinge für elektronische Komponenten	*m08-m25*						M8						
Task 3.6	Generische Simulationsmodelle basierend auf maschinellem Lernen	*m07-m24*								M11				
AP4	**Entwicklung Testumgebungen für Integrations- + System-/Komponententests auf Demonstratorbasis**	***m04-m30***												
Tasks	*Title*	*Task duration*	*01-03*	*04-06*	*07-09*	*10-12*	*13-15*	*16-18*	*19-21*	*22-24*	*25-27*	*28-30*	*31-33*	*34-36*
Task 4.3	Testumgebung KI-Module/KI-Hardware	*m19-m27*								M9-M10				
AP5	**Validierung auf Fahrzeug-/System- und Komponentenebene mittels Demonstratoren**	***m22-m36***										M13		M15
Tasks	*Title*	*Task duration*	*01-03*	*04-06*	*07-09*	*10-12*	*13-15*	*16-18*	*19-21*	*22-24*	*25-27*	*28-30*	*31-33*	*34-36*
Task 5.1	Validierung#1 Kommunikation	*m22-m36*												
Task 5.2	Validierung#2 Energiesysteme	*m22-m36*												
Task 5.3	Validierung#3 Sensorik	*m26-m36*										M12		M14
Task 5.4	Validierung#4 Digitale Zwillinge	*m25-m36*												

2.2.2 Ablauf

Das Projekt startete am 01.12.2022 und endete am 30.11.2025. Die folgenden Meilensteine wurden erreicht:

Quartal	Name	Meilenstein	Art	Meilenstein
Q02	M-Q02a-08-NXP	M01	Bericht	Literaturrecherche zu bestehenden PLL-Systemen und zusammenhängenden Schlüsselparameter
Q02	M-Q02b-08-NXP	M02	Bericht	Konzept & Spezifikation eines digitalen Zwillings definiert

Q04	M-Q04a-08-NXP	M03	Bericht	PLL-Systemarchitektur definiert & beschrieben
Q04	M-Q04b-08-NXP	M04	Bericht	Flowdesign (Modellierungs- und Charakterisierungsstrategien) erarbeitet
Q06	M-Q06a-08-NXP	M05	Bericht	Schematic (inkl. Anforderungen gemäß Matching, Parasiten und Platzierung) des PLL-Systems aufgesetzt
Q06	M-Q06b-08-NXP	M06	Bericht	Layout (IPs & Testchip) definiert
Q06	M-Q06c-08-NXP	M07	Demonstrator	Testchip Tape Out 1 erfolgt
Q06	M-Q06d-08-NXP	M08	Bericht	Prototypendefinition (Umsetzung des Konzepts für Systemintegration) formuliert
Q08	M-Q08a-08-NXP	M09	Bericht; Demonstrator	Validation des ersten Testchips (Einhaltung der Phasennoise-Spezifikation)
Q08	M-Q08b-08-NXP	M10	Bericht	Layout Update (IPs & Testchip) definiert
Q08	M-Q08c-08-NXP	M11	Demonstrator	Demonstrator-Implementation
Q10	M-Q10a-08-NXP	M12	Demonstrator	Testchip Tape Out 2 erfolgt
Q10	M-Q10b-08-NXP	M13	Bericht	Konzept und Modell für Simulation, KI-basierte Konsistenzprüfung von Anforderungen validiert
Q12	M-Q12a-08-NXP	M14	Bericht; Demonstrator	Finale Validation des zweiten Testchips (Überprüfung der Robustheit des gesamthaften Systems)
Q12	M-Q12b-08-NXP	M15	Demonstrator	Demonstration Testchip erfolgt

3 ERZIELTE ERGEBNISSE - NXP

3.1 AP1 – AP allgemein

Zeitraum: 01.12.2022 bis 31.12.2023

TA 1.1 | *Spezifikation eda- + KI-Anforderungen:*

- ❑ **Ergebnis zu 1.1:** Erstellung des Anforderungskatalogs für PLL Lösungen und Konzeptentwicklung im automotive Kontext sowie Abschluss der Literaturrecherche zu bestehenden PLL Systemen und zusammenhängenden Schlüsselparametern.
- ❑ Das Deliverable wurde erreicht, jedoch mit einem zeitlichen Verzug. Die Verschiebung ist hauptsächlich auf die umfangreiche Literaturrecherche mit 44 Paper und das Fehlen eines klaren Vorgehensvorschlags zurückzuführen. Daraus verschieben sich alle weiteren nachgelagerten Deliverables bezüglich der PLL (im Use Case 2).

TA 1.3 | *Spezifikation Übergang zu verstärkter Simulation und KI-gestütztem Entwurf:*

- ❑ **Ergebnis zu 1.3:** Erfolgreicher Abschluss von Task 1.3 mit Entwicklung einer modellbasierten Top-down Systementwicklungsmethodik. Anforderungen und Spezifikationen des digitalen Zwillings wurden analysiert und definiert.

Zeitraum: 01.01.2024 bis 31.12.2024

TA 1.1 | *Spezifikation eda- + KI-Anforderungen:*

- ❑ Erfolgreicher Abschluss des Tasks 1.1 und Erstellung eines Lösungsweges für ein robustes und unempfindliches PLL-System gegenüber Störungen. Konzepterstellung Systementwurf für die Ebenen Sensorik und IC-Entwicklung, mit Erreichung des Deliverable, jedoch mit einem zeitlichen Verzug. Die Verschiebung ist hauptsächlich auf die umfangreiche Literaturrecherche mit 44 Paper und das Fehlen eines klaren Vorgehensvorschlags zurückzuführen. Daraus verschieben sich alle nachgelagerten Deliverables bezüglich der PLL (im Use Case 2).

TA 1.3 | *Spezifikation Übergang zu verstärkter Simulation und KI-gestütztem Entwurf:*

- ❑ **Bereits abgeschlossen.**

3.2 AP2 – AP allgemein

Zeitraum: 01.12.2022 bis 31.12.2023

TA 2.1 | *Entwicklung von Sensoren/KI-Beschleuniger für elektronische Bordnetz-Komponenten:*

- ❑ Auf Basis der Literaturrecherche wurden aktuelle existierende PLL-Architekturen mit Vor- und Nachteilen analysiert und miteinander verglichen.
- ❑ Aufgrund von bestehenden Problemen dieser Architekturen wurden mehrere neue Vorschläge für eine neue PLL-Architektur analysiert, konzeptioniert und Spezifikationslisten erstellt. Die endgültige Entscheidung zur klaren Vorgehensweise, welche dieser Vorschläge verfolgt werden soll, steht zum Berichtszeitraum noch aus.
- ❑ Modellrechnungen für Phasenrauschbeiträge und das dynamische Verhalten wurden erstellt und die Spezifikationen der Unterblöcke Regelschleife und Oszillator wurden definiert.
- ❑ Bekannte Oszillatoren wurden untersucht und die Konzeptentwicklung für einen Oszillator erstellt.
- ❑ Es gibt regelmäßigen Austausch mit der RWTH mit Feedback zu den Konzepten.

Zeitraum: 01.01.2024 bis 31.12.2024

TA 2.1 | *Entwicklung von Sensoren/KI-Beschleuniger für elektronische Bordnetz-Komponenten:*

- ❑ Endgültige Entscheidung zur klaren Vorgehensweise wurde getroffen und die neue PLL-Systemarchitektur inkl. Oszillator wurde fertiggestellt: Mit diesem Modell konnte gezeigt werden, dass sich die Anforderungen mit der neuen ADPLL-Architektur erfüllen lassen. Dieses Funktionsmodell dient als ausführbare Spezifikation beim Design der neuen PLL.
- ❑ Erstellung des Schaltbilds des neuen PLL-Sytsems (inkl. Anforderungen gem. Matching, Parasiten und Platzierung)
- ❑ Entwicklung von Sensoren/KI-Beschleuniger für elektronische Bordnetz-Komponenten. Ziel ist das Aufsetzen eines Layouts für die IP und den Testchip in Q1 2025.
- ❑ Es gibt regelmäßigen Austausch mit der RWTH mit Feedback zu den Konzepten.

Zeitraum: 01.01.2025 bis 30.11.2025

- ❑ Fertigstellung der neuen PLL-Systemarchitektur
- ❑ Erstellung des Schaltbilds des neuen PLL-Sytsems (inkl. Anforderungen gem. Matching, Parasiten und Platzierung)
- ❑ Entwicklung von Sensoren/KI-Beschleuniger für elektronische Bordnetz-Komponenten. Ziel ist das Aufsetzen eines Layouts für die IP und den Testchip in Q1 2025.

3.3 AP3 – AP allgemein

Zeitraum: 01.12.2022 bis 31.12.2023

TA 3.1 | *Simulation/Modellierung sowie Ausführung digitale Zwillinge für elektronische Komponenten:*

- ❑ Die modellbasierte Top-down Systementwicklungsmethodik befindet sich im fortgeschrittenen Bereich in Arbeit: Modellierungsstrategien und -pläne wurden erstellt, die Modellspezifikationen wurden definiert, erweitert und passende Modellspezifikations-Templates erstellt. Das Flowdesign inkl. Modellierungs- und Charakterisierungsstrategien wurde erfolgreich erarbeitet.

TA 3.6 | *Generische Simulationsmodelle basierend auf maschinellem Lernen:*

- ❑ Mit der Erstellung von neuen Modelltemplates wurde begonnen und die Charakterisierungsstrategien von System C AMS Modellen läuft weiterhin.

Zeitraum: 01.01.2024 bis 31.12.2024

TA 3.1 | *Simulation/Modellierung sowie Ausführung digitale Zwillinge für elektronische Komponenten:*

- ❑ Weiterführung und Abschluss der Simulation/Modellierung sowie Ausführung digitale Zwillinge für elektronische Komponenten
- ❑ Die modellbasierte Top-down Systementwicklungsmethodik wurde erfolgreich entwickelt, um vor der integrierten Schaltungsimplementierung Modelle auf Systemebene zur Verfügung stellen zu können. Diese Modelle bilden einen digitalen Zwilling des integrierten Radarsensors
- ❑ Um Hardware/Software Co-Design effizient zu ermöglichen, wurde eine Modellierungsstrategie entwickelt, die funktionale und Architekturmodelle umfasst, schnelle Simulationen erlaubt und klare Anforderungen sowie Validierungen in Zusammenarbeit mit dem Software-Team spezifiziert
- ❑ Parallel dazu startete die Modellkodierung samt Aufbau von Modellbibliotheken, und es wurde ein Konzept zur Systemintegration erarbeitet und mit einem Pilotprojekt praktisch begonnen.

TA 3.6 | *Generische Simulationsmodelle basierend auf maschinellem Lernen:*

- ❑ Es wurden übergreifend geltende Modellierungs- und Charakterisierungsansätze (für lineare und nichtlineare Verhalten) erstellt
- ❑ Die Ergebnisse umfassen einen Plan für die finale Version eines integrierten Radarsensormodells als Hauptdemonstrator von NXP sowie Simulationsergebnisse einer Zwischenversion mit allen notwendigen Modulen.
- ❑ Es wurde der hierarchische Methodik-Flow verbessert, insbesondere durch die Erweiterung des Affinkern-Modells zur genaueren Abbildung starker Nichtlinearitäten, was anhand von PLL-Blöcken erfolgreich validiert wurde.

Zeitraum: 01.01.2025 bis 30.11.2025

- ❑ Fertigstellung der Simulation/Modellierung sowie Ausführung digitale Zwillinge für elektronische Komponenten. Mittels der Spezifikation und Konzeptionierung wird die Entwicklung von Modellbibliotheken auf Basis der Anforderungen an einem digitalen Zwilling erreicht und die Entwicklung einer modellbasierten Top-down Systementwicklungsmethodik.

3.4 AP4 – AP allgemein

Zeitraum: 01.12.2022 bis 31.12.2023

Noch nicht begonnen.

Zeitraum: 01.01.2024 bis 31.12.2024

TA 4.3 | *Testumgebung KI-Module/KI-Hardware:*

- ❑ Für den Testchip wurden die Layouts der Unterblöcke (ADPLL, XO, Kontrollblock, Spannungsversorgung) implementiert und extrahiert, wobei für die ADPLL ein neuer DCO entwickelt werden musste, da der ursprüngliche Ansatz nicht produktreif war.
- ❑ Die Integration des PLL-Systems im Testchip wurde erfolgreich abgeschlossen und die Vorbereitung des Tapeouts begann, wobei umfangreiche Layout-Prüfungen wie LVS, DRC, Dichteregel-Checks, ERC und Antennenchecks in mehreren Iterationen durchgeführt und erfolgreich abgeschlossen wurden.
- ❑ Abschließend wurde ein Dryrun zur Überprüfung der Datenkonsistenz durchgeführt, bevor das Layout an das Tapeout Office zur finalen Freigabe für die Fertigung übergeben wurde.
- ❑ Das Tapeout des Testchips erfolgte nach umfangreichen Checks erfolgreich.
- ❑ Im nächsten Schritt wird die Validierung vorbereitet. Hierfür ist zunächst eine Testplatine zu entwickeln. Weiterhin werden die Testprogramme von einem früheren Projekt portiert und angepasst.
- ❑ Hier sind mehr PMs zu erwarten bzgl. der Validierungsboards, die im Task 5.3 weitergeführt werden (anstelle des zweiten Testchips Tape Outs).

Zeitraum: 01.01.2025 bis 30.11.2025

TA 4.3 | *Testumgebung KI-Module/KI-Hardware:*

- ❑ Testumgebung KI-Module/KI-Hardware fertiggestellt.

3.5 AP5 – AP allgemein

Zeitraum: 01.12.2022 bis 31.12.2023

TA 5.1 | *Validierung#1 Kommunikation:*

- ❑ **Ergebnis zu 5.1:** Noch nicht begonnen.

TA 5.2 | *Validierung#2 Energiesysteme:*

- ❑ **Ergebnis zu 5.2:** Noch nicht begonnen.

TA 5.3 | *Validierung#3 Sensorik:*

- ❑ **Ergebnis zu 5.3:** Noch nicht begonnen.

TA 5.4 | *Validierung#4 Digitale Zwillinge:*

- ❑ **Ergebnis zu 5.4:** Noch nicht begonnen.

Zeitraum: 01.01.2024 bis 31.12.2024

TA 5.1 | *Validierung#1 Kommunikation:*

- ❑ **Ergebnis zu 5.1:** Beginn der Validierungsaktivitäten zu Simulationsmodellen durch Überprüfung der Anforderungen sowie Eigenschaften
- ❑ Es wurde ein Prototyp eines digitalen Zwillings eines Radarsensors entwickelt
- ❑ Gemeinsam mit dem Partner TUKL wurden Modelle auf verschiedenen Abstraktionsebenen erstellt, die über eine Kommunikationskette Sensordaten über das Bordnetz übertragen.

TA 5.2 | *Validierung#2 Energiesysteme:*

- ❑ **Ergebnis zu 5.2:** Beginn der Validierungsaktivitäten zu Energiesystemen mittels Top-Down Ansatz, um die Leistungsaufnahme der Modelle zu messen bzw. zu überprüfen.

TA 5.3 | *Validierung#3 Sensorik:*

- ❑ **Ergebnis zu 5.3:** Durch den erhöhten Zeitaufwand zur Integration des PLL-Systems im Testchip wurden die Arbeiten aus TA4.3 in diesem Task weitergeführt.
- ❑ Die Validierung wird vorbereitet und es wird zunächst eine Testplatine entwickelt.
- ❑ Die Testprogramme werden portiert und angepasst.
- ❑ Die Muster des Tape Out werden Anfang Q3 2025 erwartet, worauf dann die Untersuchungen und Behebungen von Störquellen begonnen werden.

TA 5.4 | *Validierung#4 Digitale Zwillinge:*

- ❑ **Ergebnis zu 5.4:** Beginn der Arbeiten zur Entwicklung einer modellbasierten Top-down Systementwicklungsmethodik.

Zeitraum: 01.01.2025 bis 30.11.2025

- ❑ AP5.1: Validierung#1 Kommunikation. Validierung der angewandten Simulationsmodellen durch Überprüfung der Anforderungen sowie Eigenschaften
- ❑ AP5.2: Validierung#2 Energiesysteme. die Anforderungen sowie Eigenschaften der Kommunikationsketten von Sensordaten überprüft mit besonderem Fokus auf die Power Estimation.
- ❑ AP5.3: Validierung#3 Sensorik. Validierung des zweiten Testchip Tape Outs und erfolgereiche Untersuchung und Behebung von Störquellen.
- ❑ AP5.4: Validierung#4 Digitale Zwillinge. Validation des digitalen Zwillings.

4 ZUSAMMENFASSUNG UND AUSBLICK

AP1 (02-KRO + 20-TUKL) konzentrierte sich auf Anforderungen an Elektronikkomponenten, EDA- und KI-Module jeweils für sich beschrieben und spezifiziert sowie deren Interaktion im Verbundprojekt festgelegt. Dies umfasst insbesondere auch die Anforderungen und Spezifikation von Schnittstellen über Komponenten einzelner Partner hinaus innerhalb der definierten Usecases.
Dieses Arbeitspaket definiert und liefert:

- ❑ Spezifikation der Entwurfsprozesse und der KI-Unterstützung:
  - Prozesse für KI-basierte Bordnetzentwicklung
  - Toolspezifikationen
  - Schnittstellenspezifikation zwischen einzelnen Tools
- ❑ Spezifikation einzelner Bordnetzmodule (HW, SW) und von dazugehörigen Tests (incl. Architektur Bordnetz & Schnittstellen)
- ❑ Spezifikation der Test/Lerndaten und ihrer Erzeugung

AP2 (08-NXP + 18-RWTH). In diesem Arbeitspaket waren E/E-Systemkomponenten des intelligenten Bordnetzes auf allen technischen Ebenen erforscht und entwickelt.
Dieses Arbeitspaket definiert und liefert:

- ❑ Intelligente Komponenten zur Energieverteilung (DC-DC-Wandler, Smart Fuses)
- ❑ Schnittstellen und Komponenten für breitbandige Datenübertragung bis 10Gbps
- ❑ KI-basierte Controller-Architekturen und Hardwarebeschleuniger
- ❑ KI-basierte Sensorikknoten und selbst-steuernde Bordnetzkomponenten

Testaufbauten zur Verifikation von funktionaler und elektromagnetischer Sicherheit und zur Erzeugung von Test- und Trainingsdaten für die Modellierung in Entwurfswerkzeugen

AP3 (04-IFAG + 16-FZI). Arbeitspaket 3 zielt auf eine höhere Effizienz in der Entwicklung ab. Hierzu waren Agile Methoden unterstützt und die Modellierung auf eine weit höhere Abstraktionsebene gebracht. Die Unterstützung erfolgt durch (1) die Betrachtung von Eigenschaften und deren Abhängigkeiten, (2) durch die Verwendung von sehr abstrakten virtuellen Prototypen/digitalen Zwillingen, (3) KI-Verfahren (symbolisch, Machine Learning, NLP) zur Unterstützung bei Modellierung, Verifikation und Analyse. Darüber hinaus waren der Scope von der Entwicklung auf den Betrieb im Sinne einer DevOps-Schleife mit Laufzeitverifikation (Hardware in the Loop, HiL) erweitert.
Das Arbeitspaket 3 definiert und liefert:

- ❑ Modelle für das virtuelle Prototyping / digitale Twins von Elektronikkomponenten und Bordnetz
- ❑ Methoden zur Modellierung, Simulation und Analyse insbesondere mit KI-Unterstützung
- ❑ Wissensbasen, Regeln und ggf. Daten/Dokumente für die KI-Systeme

Modelle und Modelltemplates insbesondere für die Demonstratoren

AP4 (11-SPA + 15-IDMT). In AP4 werden die Bordnetzkomponenten in einem vierstufigen Ansatz integriert um die im Projekt zu entwickelnden Komponenten, Methoden und Modelle entwicklungsbegleitend zu testen und Test- und Trainingsdaten für Entwurfsmodelle und digitale Zwillingskomponenten zu generieren.
Zunächst waren dazu ein Bordnetz auf Kabelbaumebene als Tube-Frame Laboraufbau und in einem realen Chassis aufgebaut. Hier wird auf die Arbeiten in TB2.1 zurückgegriffen. Parallel dazu waren die Integration in einem fahrfähigen Versuchsträger vorbereitet. Nach der Integration der nötigen Messtechnik wird zunächst ein hybrides Energie- und Datenbordnetz mit exemplarischen Sensoren aufgebaut, welches dann im weiteren Verlauf um zusätzliche Energie- und Rechenkomponenten zu einem abschließenden Demonstrator erweitert waren
Dieses Arbeitspaket definiert und liefert:

- ❑ Tube-Frame- und Chassis-Prüfstand zur Kabelbaum und Komponentenverifikation
- ❑ Energie- und Datennetzversuchsträger

- ❑ Testumgebung für KI-Module (Software und Hardware)
- ❑ Abschließendes KI4BoardNet-Versuchträgerfahrzeug und Demonstrator der Projektergebnisse

Projektbegleitend auf diesen Versuchsaufbauten gewonnen Test- und Trainingsdaten zu Regel- und Fehlerbetrieb.

AP5 (01-CARIAD + 17-TUDO). Anhand der in AP 5 gestaltenden Demonstratoren-Ausprägungen waren die drei Arbeitsfelder Kabelbaum/Bordnetz + KI-Ansatz - Elektronik-Komponenten und eda/KI (KI im Entwicklungs-prozess und Agile Entwicklung) adressiert.
Das Arbeitspaket AP5 orientierte sich an den in AP 1 – AP 3 adressierten Use Cases und war in die Teil-Arbeitsthemen TA 5.1 bis TA 5.6 gegliedert.
Es waren die erzielten F+E-Ergebnisse aus AP 1 – 4 angewendet und so deren Realisierbarkeit mittels Demonstratoren (Proof-of-Concept) nachgewiesen gewesen. Die geplanten Demonstrator-Ausprägungen decken Schlüsselpositionen der Automobilindustrie und damit die jeweiligen Wert-schöpfungsketten ab.
Die jeweils geschaffenen Instanzen zum Arbeitsfeld eda/KI decken wesentliche Bereiche der jeweiligen Wertschöpfungskette ab und können von Nutzern sowohl für die KI-basierte Automatisierung wertschöpfungsketten-übergreifender Entwurfsprozesse als auch für die Automatisierung einzelner im Entwurfsprozess kritischer Schritte eingesetzt waren.
Die Spezifikationen aus AP1/TA1.4 (elektronische Bordnetzmodule/Demo-Bordnetze + Testumge-bungen Elektronik- + SW-Module) waren zur Realisierung der Demonstratoren (TA 5.1 – 5.6) her-angezogen. Die Arbeiten begann mit Q8/M22 und waren zum Ende Q12/M36 abgeschlossen. Zu den Validierungen sind sowohl stationäre Demonstrator-Aufbauten (z.B. Chassis) als auch Testfahrzeug(e) herangezogen.

Änderung der Aussichten zur Erreichung der Ziele des Vorhabens innerhalb des angegebenen Kostenzeitraums gegenüber dem ursprünglichen Antrag:

- Auf der Basis der in 2023 erzielten Ergebnisse war die Erreichung der geplanten F+E Ziele mit gut bewertet. Alle Meilensteine/Deliverables erscheinen daher aus heutiger Sicht erreichbar, außer des M-Q10a-UC2-08-NXP Test Chip Tape Out 2 und M-Q12a-UC2-08-NXP Finale Validation des zweiten Testchips, die aufgrund von Zeit-mangel nicht mehr erreicht werden können. Jedoch gefährden sie nicht das Erreichen der Projektziele, da mit dem ersten Test Chip Tape Out die geplanten F+E Ziele erreicht waren.

Meilensteine

A2.2 UC#2: Intelligente Sensoren, Algorithmen und Hardware zur KI-Beschleunigung

Fällig	Titel	Status	Termin	Begründung
31.10.2023	**M-Q02a-UC2-08-NXP Literaturrecherche zu bestehenden PLL Systemen und zusammenhängenden Schlüsselparameter**.	geliefert	31.10.2023	
31.03.2024	**M-Q04a-UC2-08-NXP PLL Systearchitektur definiert & beschrieben**	geliefert	31.03.2024	
30.09.2024	**M-Q06a-UC2-08-NXP Schematic (inkl. Anforderungen gemäß Matching, Parasiten und Platzierung) des PLL Systems aufgesetzt**	geliefert	30.09.2024	

30.09.2024	**M-Q06b-UC2-08-NXP Layout (IPs & Test chip) definiert**	geliefert	31.03.2025	Aufgrund der vorherigen Verschiebung des Deliverables um 4 Monate verschiebt sich dieser Deliverable um 4 Monate.
31.12.2024	**M-Q06c-UC2-08-NXP Test Chip Tape Out 1 erfolgt**	geliefert	31.03.2025	Aufgrund der vorherigen Verschiebung des Deliverables um 4 Monate verschiebt sich dieser Deliverable ebenfalls um 4 Monate. Hinzu kommt der erhöhte Zeitaufwand zur Integration des PLL-Systems im Testchip.
31.03.2025	**M-Q08a-UC2-08-NXP Validation des ersten Test Chips (Einhaltung der Phasenoise-Spezifikation)**	geliefert	31.07.2025	
31.03.2025	**M-Q08b-UC2-08-NXP Layout Update (IPs & Test chip) definiert**	geliefert	30.09.2025	
31.07.2025	**M-Q10a-UC2-08-NXP Test Chip Tape Out 2 erfolgt**			Fällt weg aufgrund von erhöhtem Zeitaufwand für die Integration des PLL-Systems im Testchip (in Abstimmung mit dem Konsortium und Partnern).
30.11.2025	**M-Q12a-UC2-08-NXP Finale Validation des zweiten Testchips (Überprüfung der Robustheit des gesamthaften Systems)**			Siehe oben
30.11.2025	**M-Q12b-UC2-08-NXP Demonstration Test Chip erfolgt**	geliefert		Erst Testchip.

A4.4 UC#4: Methoden für Simulation, Modellierung & Datengenerierung für Bordnetzkomponenten

Fällig	Titel	Status	Termin NEU	Begründung
31.07.2023	**M-Q02b-UC4-08-NXP Konzept & Spezifikation eines digitalen Zwilling definiert**	geliefert		
30.11.2023	**M-Q04b-UC4-08-NXP Flowdesign (Modellierungs- und Charakterisierungsstrategien) erarbeitet**	geliefert		
31.05.2024	**M-Q06d-UC4-08-NXP Prototypendefinition (Umsetzung des Konzepts für Systemintegration) formuliert**	geliefert		
30.11.2024	**M-Q08c-UC4-08-NXP Prototypenimplementation**	geliefert		

31.05.2025	**M-Q10b-UC4-08-NXP Konzept und Modell für Simulation, KI-basierte Konsistenzprüfung von Anforderungen validiert**	geliefert		

Legende: ✓ Im Plan; ✗ nicht im Plan; ☑ erreicht; ☒ nicht erreicht.

5 NUTZEN UND VERWERTBARKEIT DER ERGEBNISSE

NXP hatte 2021 einen Umsatz von $5.5 Milliarden für Automotive Semiconductors was einem Anteil von ~12% am Gesamtmarkt entsprach. Dabei wird der Radar-Markt auf $6.5 Milliarden geschätzt, was bei einem Umsatz von ~$600 Millionen einen Marktanteil von ~10% entspricht und einem Anteil von 11% am NXP Gesamtumsatz. Dabei wird von einem CAGR von rund 22% ausgegangen (siehe Abbildung). Dabei konnte NXP im betroffenen Marktsegment bereits im letzten Jahr 2% Marktanteil hinzugewinnen.

Die in KI4BoardNet erzielten Ergebnisse werden diese positive Entwicklung unterstützen. Basierend auf diesen Zahlen strebt NXP für die künftigen Generationen der Radarsysteme und ICs in diesem Markt einen Umsatz von ca. $1.5 Milliarden bei einem erhöhten Marktanteil im Jahr 2026 an.

Automotive Segment Forecast ($ mln)	**2021F**	**2022F**	**2023F**	**2024F**	**2025F**	**2026F**
Radar Solutions	600	735	893	1,076	1,286	1,524
Growth %		22.50%	21.50%	20.50%	19.50%	18.50%
Other Automotive Revenues	4,661	5,063	5,475	5,892	6,312	6,731
Growth %		8.6%	8.1%	7.6%	7.1%	6.6%

Abbildung: Radar-Umsatz und Vorhersage bis 2026

6 BEKANNT GEWORDENEN FORTSCHRITTS AUF DEM GEBIET DES VORHABENS BEI ANDEREN STELLEN

Beim NXP sind andere Fortschritts auf dem Gebiet des Vorhabens bei anderen Stellen nicht bekannt

7 BERICHTE UND VERÖFFENTLICHUNGEN

7.1 Pressemitteilungen

Siehe Präsentationen und Veranstaltungen des Verbundes. Von NXP gab es keine eigenen Pressemitteilungen.

7.2 Präsentationen und Veranstaltungen

7.2.1 Projekt-intern – 08-NXP-interner Ergebnisaustausch

Im Vorhaben erfolgte der notwendige fachliche 08-NXP-interne Ergebnisaustausch zu den folgenden F+E-Themen.

INTERN	Bereich	F+E Thema
22.-24.05.2023	NXP PRIME	Interner Workshop
18.-21.03.2024	NXP PRIME	Interner Workshop
Monatlich	NXP	Interner Austausch, Status Updates

7.2.2 Projekt-externer Ergebnisaustausch

Im Vorhaben erfolgte der notwendige fachliche projekt-externer Ergebnisaustausch zu den folgenden F+E Themen.

Datum	Ort	Thema	Teilnehmer
14.-15.12.2022	Hannover	Workshop Gesamtprojekt	KI4BN-Konsortium
25.-26.01.2023	Ingolstadt	Kick-off Workshop	KI4BN-Konsortium
10.-11.05.2023	Aachen	Bilaterales Treffen	NXP, RWTH
27.-28.6.2023	Fulda	Workshop Gesamtprojekt	KI4BN-Konsortium
02.-03.07.2023	Kaiserslautern	Bilaterales Treffen	08-NXP, 20-TUKL
14.-15.11.2023	Oldenburg	Workshop Gesamtprojekt	KI4BN-Konsortium
14.-15.11.2023	München	DVCON: Paper Vorstellung	08-NXP
25.-27.02.2024	Darmstadt	TuZ Workshop	08-NXPNXP
9.-10.04.2024	Dresden	edaWorkshop2024	ALLE
6.-7.11.2024	Paderborn	Mobilitätssymposium	17-TUDO
13.12.2024	Hannover	Kooperationsworkshop MANNHEIM-Projekte	01-CARIAD/15-IDMT/OFFICE
Fortlaufend (monatlich)	Online	Interaktive Workshops (ViCo); fachlicher Ergebnisaustausch.	- diverse -
1.-2. April 2025	Friedrichshafen	Kooperationsworkshop MANNHEIM-Projekte	01-CARIAD/15-IDMT/OFFICE
12./13. Mai 25	Dresden	edaWorkshop2025	ALLE/OFFICE
11./12. Juni 2025	Stuttgart	Gesamtprojektworkshop	ALLE/OFFICE
14.-15. Oktober 2025	München	DVCON: Paper Vorstellung	08-NXP
11-12 November 2025	Mannheim	Gesamtprojektworkshop	ALLE/OFFICE
Monatlich	ViCo	Abstimmung im Gesamtprojekt	ALLE/OFFICE
Monatlich	Remote-Konferenzschaltung	Abstimmung und Berichte KI4BN-Konsortium	KI4BN-Konsortium

Datum	Ort	Thema	Teilnehmer
Zweiwöchentlich	Remote-Konferenzschaltung	Abstimmung UC#2-Arbeiten	CARIAD; IDMT, FZI, SPARKS, RTWH, STW, NXP, Infineon
Zweiwöchentlich	Remote-Konferenzschaltung	Abstimmung UC#4-Arbeiten	KRO, IFAG, TE, EDAG, NXP, KEM, MHE, SPA, COS, FZI, RWTH, TUDR, TUKL, HSH
wöchentlich	ViCo	Abstimmung / Konzeptdiskussion	NXP, COSEDA
wöchentlich	ViCo	Abstimmung / Diskussion / PhD Austausch	NXP, TUKL

7.3 Vorträge und Veröffentlichungen

Datum	Konferenz/Journal	Thema	Autor(en)
14.-15.11.23	DVCON23	Variation-Aware Performance Verification of Analog Mixed-Signal Systems	Jan Rödel
25.-28.05.25	ISCAS25	Piecewise Linear Performance Models for Analog Mixed-Signal Verification	Jan Rödel
07.-10-07.25	SMACD25	Efficient Parameter Reduction for Statistical Behavioral Modeling	Jan Rödel
14.-15.10.25	DVCon 25	Performance Evaluation of a Phase-Locked Loop using Variation-Aware Behavioral Models	Neha Chavan