Fraunhofer
IPMS

FRAUNHOFER-INSTITUT FÜR PHOTONISCHE MIKROSYSTEME IPMS

ABSCHLUSSBERICHT

Projektname	ImaB-Edge – Verteilte Sensorelektronik zur energieeffizienten und vorausschauenden Instandhaltung von Bauwerken (16ME0724)
Projektnummer	11-07639-2480-14101
Projektleiter/-in	Christoph Posenau
Laufzeit	01.11.2022 - 31.10.2025
Revisionsnummer	1.0
Kurzbeschreibung	Energieeffiziente Multicore RISC-V Edge für ZfP Algorithmen
Ersteller/-in	Christoph Posenau
Datum	19.02.2026

Christoph Posenau Ersteller/-in	Dr.-Ing. Alexander Noack Leiter/-in DCC

Änderungsverzeichnis

Rev	Datum	Name	Änderungen
0.1	17.02.2026	Christoph Posenau	Initialer Entwurf
1.0	19.02.2026	Christoph Posenau	Erste veröffentlichte Version

Abkürzungsverzeichnis

1G	1 Gigabit
BIM	Building Information Modeling
EMMI	Embedded Machine Intelligence
FFT	Fast Fourier Transformation
FPGA	Field-Programmable Gate Array
FreeRTOS	Free Real-Time Operating System
FPU	Floating Point Unit
I2C	Inter-Integrated Circuit
ICMP	Internet Control Message Protocol
IEEE	Institute of Electrical and Electronics Engineers
IP	Internet Protocol / Intellectual Property
KI	Künstliche Intelligenz
PL	Programmable Logic
PLIC	Platform Interrupt Controller
PS	Processing System
TCM	Tightly Coupled Memory
QSPI	Quad Serial Peripheral Interface
UFW	Universal Framework

Inhaltsverzeichnis

1 Aufgabe und wissenschaftlich-technischer Ausgangspunkt 5
1.1 Aufgabenstellung 5
1.2 Technische Ausgangspunkte 5
2 Projektablauf 6
3 Durchgeführte Arbeiten, Ergebnisse und Zusammenarbeit 7
3.1 Arbeitspaket 1: Anwendungsanalyse, Randbedingungen 7
3.2 Arbeitspaket 2: Systemkonzipierung inklusive Schnittstellenanalyse 9
3.3 Arbeitspaket 4: Sensor-Edge 10
3.4 Arbeitspaket 9: Edge-Gateway 11
3.5 Arbeitspaket 10: Analyse und Konzeptionierung Datenquellen für Fusion 13
3.6 Arbeitspaket 12 & 13: Gesamtsystem-Assemblierung und -Validierung 14
3.7 Erzielte Ergebnisse und aufgetretene Hindernisse 15
4 Projektbewertung 15
4.1 Wichtigste Positionen des zahlenmäßigen Nachweises 15
4.2 Notwendigkeit und Angemessenheit der geleisteten Projektarbeiten 15
4.3 Nutzen und Verwertbarkeit der erzielten Ergebnisse 15
4.4 Während des Vorhabens bekannt gewordene Fortschritte Dritter 16
4.5 Veröffentlichungen innerhalb des Projektes 16

Abbildungsverzeichnis

Abbildung 1: IPMS-Projektablaufplan gemäß GVB 6
Abbildung 2: IPMS-Meilensteinen gemäß GVB 7
Abbildung 3: Am IZFP verwendete FPGA-Plattform ZCU106 von AMD/Xilinx für Sensor-Edge 8
Abbildung 4: Am IPMS verwendete FPGA-Plattform ZCU102 von AMD/Xilinx für Edge-Gateway 8
Abbildung 5: Geplante Gesamtsystem-Übersicht des ImaB-Edge-Systems 9
Abbildung 6: Architekturkonzept des entwickelten ESMA5 Quad-Core-Coprozessors 10
Abbildung 7: RISC-V Basic Instruction Set des EMSA5 sowie neu hinzugekommene FPU (gelb) 11
Abbildung 8: Architektur und Funktionen des implementierten EMMI KI-Frameworks 12
Abbildung 9: Blockdiagramm des Edge-Gateways inkl. ZCU102, PC- und Datenbank-/Cloud-Anbindung.... 13
Abbildung 10: Schematische Darstellung des assemblierten Gesamtsystem-Demonstrators 14
Abbildung 11: Demonstrator im Reallabor mit Edge-Devices, Sensorik sowie Cloud- und BIM-Integration ... 14

1 Aufgabe und wissenschaftlich-technischer Ausgangspunkt

1.1 Aufgabenstellung

Das Fraunhofer IPMS fungierte im Projekt als Kompetenzträger für die freie und offene Prozessorarchitektur RISC-V sowie deren Nutzung für die energieeffiziente und für den Anwendungsfall der Bauwerksüberwachung optimierte Berechnung von KI- und klassischen Algorithmen. Hierbei stellte es dem Konsortium geeignete Hard- und Software auf FPGA-Plattformen zur Verfügung, welche folgende für die Anwendung relevante Anforderungen erfüllt:

- Modularer und durch Custom Instruction Sets individuell erweiterbarer RISC-V Mehrkern-Prozessor
- Schnittstellen zu Prozessorarchitekturen, welche nicht speziell auf den Einsatzzweck zugeschnitten sind
- Netzwerkschnittstellen für Hochgeschwindigkeits- und Echtzeitanforderungen von Edge-Anwendungen
- Implementierung, Portierung und Hardware-Beschleunigung von KI-Algorithmen auf dem RISC-V
- Implementierung und Hardware-Beschleunigung ausgewählter klassischer Algorithmen auf dem RISC-V

Die Erfüllung dieser Anforderungen ermöglicht es den Projektpartnern Demonstratoren für die Sensor-basierte Überwachung und vorausschauende Instandhaltung im Umfeld kritischer Infrastruktur (z.B. Brücken, Klärwerke, Tunnel, etc.) unter folgenden Gesichtspunkten zu betreiben:

- energieeffiziente Edge-Hardware mit Peak-Leistungsaufnahmen < 50 W für Edge-Gateway und < 100 Wh Energieverbrauch für das Gesamtsystem
- Vermeidung von energieaufwändigen und meist aus dem Nicht-EWG-Ausland stammenden x86-basierten Mehrkern-Prozessorarchitekturen
- Fusion u. Reduktion großer Datenmengen in der Edge durch energieeffiziente, lokale (KI-) Verarbeitung

Die Beachtung dieser 3 Gesichtspunkte soll einen Betrieb der Sensor-Plattform in der Edge ermöglichen, welcher weitgehend energie- und kommunikationsautark erfolgt – bspw. mittels Batterie- und Solartechnik sowie ohne vorhandenes Mobilfunknetz. Denn dies sind auch die Betriebsbedingungen, welche häufig im Umfeld kritischer Infrastruktur anzutreffen sind. Die genannten Anwendungs- und Hardware-Anforderungen werden auf Xilinx-FPGA-Plattformen realisiert, welche sowohl geeignet als auch bei den Projektpartnern verbreitet sind.

1.2 Technische Ausgangspunkte

Am Fraunhofer IPMS existierte bereits ein RISC-V Einkern-Prozessor, welcher als Grundlage für das Projekt fungierte. Sowohl die Mehrkern-Adaption als auch die Umsetzung der Hardware-Beschleuniger basieren auf diesen Vorkenntnissen. Darüber hinaus verfügt das IPMS über sogenannte IP-Cores für verschiedene im Projekt nutzbare Netzwerkschnittstellen – bspw. 1G-TSN-Ethernet. Zusammen mit der Kompetenz hinsichtlich existierender, performanter und energieeffizienter Off-The-Shelf FPGA-Plattformen sind dies die Voraussetzungen für eine erfolgreiche Integration unterschiedlicher Sensorsysteme und nachgelagerter Data-Fusion- und Auswerte-Algorithmen. Der Nachweis der Praxistauglichkeit dieses Ansatzes unter den gegebenen Betriebsbedingungen ist Teil der technologischen Untersuchungen dieses Projektes.

2 Projektablauf

Für das Projekt war eine Laufzeit von 36 Monaten vom 01.11.2022 bis zum 31.10.2025 vorgesehen. Dieser Projektablauf konnte durch das IPMS ohne Verzögerungen oder Einschränkungen bei der Zielstellung erfolgreich umgesetzt werden. Die folgende Übersicht enthält alle Arbeitspakete mit Beteiligung des IPMS, zu erreichende Meilensteine sowie deren zeitliche Zielsetzungen.

Arbeits-pakete (AP)	Titel	PM	1. Jahr				2. Jahr				3. Jahr			
			Q1	Q2	Q3	Q4	Q1	Q2	Q3	Q4	Q1	Q2	Q3	Q4
AP1	**Anwendungsanalyse, Randbedingungen**	3												
AP1.1	Erarbeitung der Umfeldanalyse (Lastenheft)	1												
AP1.2	Spezifizierung des Pflichtenhefts	2												
AP2	**Systemkonzipierung inklusive Schnittstellenanalyse**	4												
AP2.1	Schnittstellen- und Datenformatanalyse	1												
AP2.2	Erstellung Gesamtsystemkonzept	2												
AP2.3	Konfigurationsvarianten	1												
AP4	**Sensor-EDGE**	8												
AP4.1	Auswahl und Evaluierung geeigneter Sensorknoten sowie Kommunikationsprotokolle	2												
AP4.2	Entwicklung und Aufbau der Sensor-EDGE Elektronik	1												
AP4.3	Implementierung der Hardware-Beschleuniger zur sensornahen Datenverarbeitung- und -fusion	3												
AP4.4	Test und Debugging	2												
AP9	**EDGE-Gateway**	29												
AP9.1	Auswahl und Evaluierung von Hardware auf Basis von COTS Komponenten	1,5												
AP9.2	Konzept und Umsetzung Gehäuse, Spannungsversorgung, Kommunikations-Addons; Evaluierung Custom HW-Platform	2												
AP9.3	RISC-V Vektor-Beschleuniger	6												
AP9.4	RISC-V Multi-Core	5												
AP9.5	Multi-Core Portierung KI-Bibliothek (z.B. Tensorflow lite)	6												
AP9.6	SW-Integration zur Datenspeicherung und Datenkonvertierung	3												
AP9.7	SW-Integration zur Cloud-Anbindung	3												
AP9.8	Test + Inbetriebnahme (zzgl AP12)	2												
AP10	**Analyse und Konzeptionierung Datenquellen für Fusion**	0,5												
AP10.3	Bewertung und Definition zur effizienten lastverteilten Implementierung auf verschiedenen Plattformen (Software- oder Hardwaresysteme)	0,5												
AP12	**Gesamtsystem-Assemblierung**	1,5												
AP12.1	Konzeptionierung und Durchführung von Inbetriebnahme- und Testprozeduren definierter Sub-Systeme	0,5												
AP12.2	Debugging der Sub-Systeme	0,5												
AP12.3	Konzeptionierung und Durchführung von Inbetriebnahme- und Testprozeduren der definierten Konfigurationsvarianten (M2.2) des Gesamtsystems	0,3												
AP12.4	Debugging der definierten Konfigurationsvarianten des Gesamtsystems	0,3												
AP13	**Validierung des Gesamtsystems an relevanten Anwendungsszenarien**	0,5												
AP13.4	Validierung an Realstruktur(en)	0,5												
Meetings			Kick-off		Virtuell		Virtuell		M-X		Virtuell		Virtuell	T-Day
Meilensteine				M1.2			M2.2 M9.1		M9.2	M4.1		M9.3 M12.1		

Abbildung 1: IPMS-Projektablaufplan gemäß GVB

Den Arbeitspaketen AP4 und AP9 können, zusätzlich zu den genannten Themen, die Implementierung und Hardware-Beschleunigung ausgewählter klassischer Algorithmen auf dem RISC-V zugeordnet werden.

Rückblickend lässt sich sagen, dass der zeitliche Startpunkt für die Arbeiten an AP10 und AP12 beide im Beginn des 3. Projektjahres liegen müssten. Darüber hinaus hat sich die Planung als valide und zutreffend herausgestellt.

Nr.	Beschreibung	Fällig	Verantw.
M[IPMS]1.2	Pflichtenheft RISC-V Erweiterungen für Sensor-EDGE und EDGE-Gateway liegt vor	M6	IPMS
M[IPMS]2.2	RISC-V Systemkonzept für Sensor-EDGE und EDGE-Gateway erstellt	M12	IPMS
M[IPMS]4.1	Sensor-EDGE RISC-V Knoten mit Vektorbeschleuniger liegt vor	M22	IPMS
M[IPMS]9.1	Kommunikationsschnittstellen für das EDGE-Gateway definiert	M15	IPMS
M[IPMS]9.2	Erster Demonstrator mit Grundfunktionalität zur Kommunikation mit Sensor-EDGE liegt vor	M21	IPMS
M[IPMS]9.3	EDGE-Gateway mit Rechencluster und Cloud-Anbindung liegt vor	M30	IPMS
M[IPMS]12.1	Sensor-EDGE und EDGE-Gateway erfolgreich getestet	M28	IPMS

Abbildung 2: IPMS-Meilensteinen gemäß GVB

In der obenstehenden Abbildung 2 werden alle IPMS-relevanten Meilensteine zusammengefasst. 3 von 7 IPMS-Meilensteinen (M1.2, M2.2 und M9.1) beinhalten Arbeiten zur Vorbereitung und Planung innerhalb des Konsortiums. Diese 3 Meilensteine wurden verspätet, aber mit Projekthalbzeit Mitte 2024 abgeschlossen. Auch die damit verbundenen IPMS-Arbeitspakete AP1 und AP2 wurden somit beendet.

Teilweise erst im Jahr 2025 statt 2024 gestartet, hatten insbesondere die Entwicklungs-Meilensteine M4.1 und M9.2 zwar Verspätungen aufzuweisen, konnten aber dennoch im 3. Projektjahr innerhalb von 2025 abgeschlossen werden. Mit dem Erreichen der, mit dem Gesamtsystem-Demonstrator verbundenen, Meilensteine M9.3 und M12.1 zum Projektende, konnten auch die verbliebenen Arbeitspakete abgeschlossen werden.

3 Durchgeführte Arbeiten, Ergebnisse und Zusammenarbeit

3.1 Arbeitspaket 1: Anwendungsanalyse, Randbedingungen

Innerhalb der Teil-Arbeitspakete AP1.1 und AP1.2 wurde die Spezifikation der Anforderungen an die zu entwickelnden Komponenten innerhalb eines Lasten-/Pflichtenheftes durchgeführt. Hierzu zählen u.a.:

- Erstellung von Anforderungen an die RISC-V Mehrkern-Architektur und deren Hardware-Beschleuniger
- Erarbeitung einer Gesamtsystem-Architektur inkl. Hardware-Schnittstellenbeschreibungen und Schlüsselbauelementen sowie Software-, Protokoll- und Speicherkonzepten
- Auswahl der verwendeten FPGA-Hardware-Plattformen für Sensor-Edge und Edge-Gateway: AMD/Xilinx Zync ZCU106 und ZCU102 (siehe Abbildung 3 und 4)

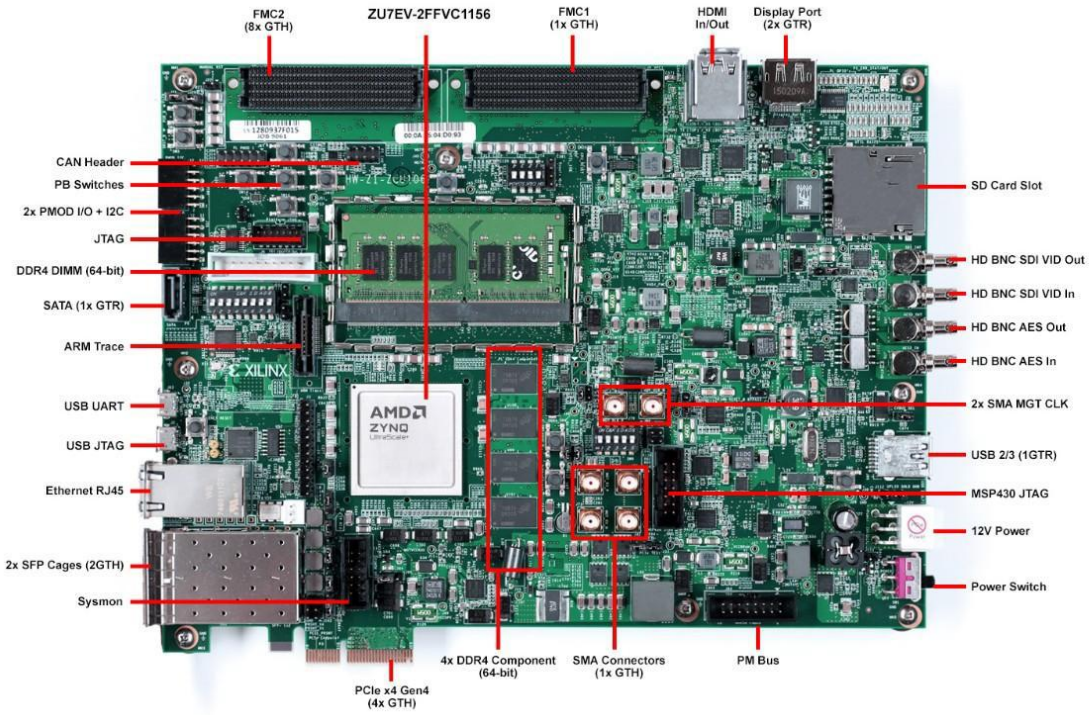


Abbildung 3: Am IZFP verwendete FPGA-Plattform ZCU106 von AMD/Xilinx für Sensor-Edge

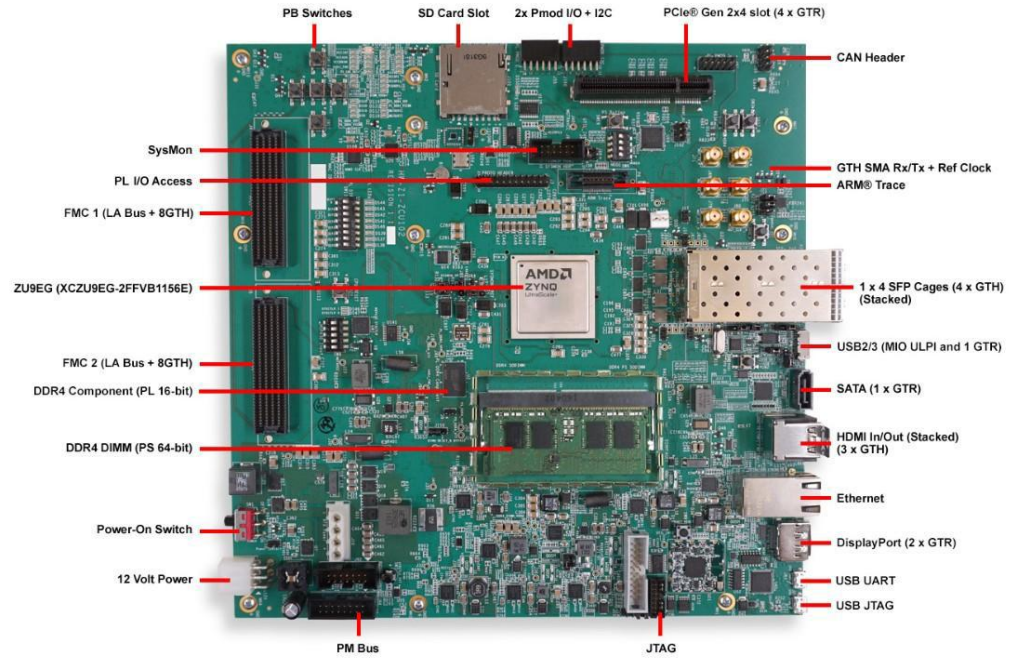


Abbildung 4: Am IPMS verwendete FPGA-Plattform ZCU102 von AMD/Xilinx für Edge-Gateway

Mit Bezug auf die Gesamtsystem-Übersicht entsprechend des Projektantrages (siehe Abbildung 5), konnten die dort genannten Teilkomponenten der Edge-Devices konkretisiert und für den weiteren Projektverlauf definiert werden. Die so zur Verfügung stehende Funktionalitäten der digitalen Datenkommunikation und -verarbeitung decken die Anforderungen der Zielstellung gemäß Gesamtvorhabensbeschreibung (GVB) vollständig ab.

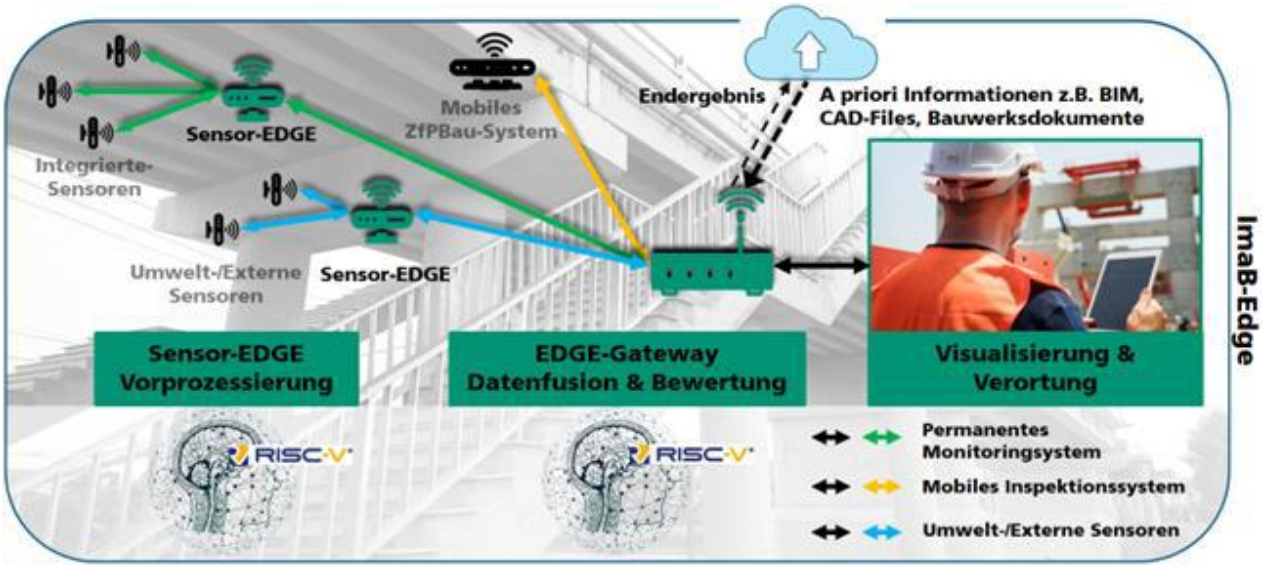


Abbildung 5: Geplante Gesamtsystem-Übersicht des ImaB-Edge-Systems

Aus den dargelegten Arbeiten zur Anforderungsanalyse, Spezifizierung und Auswahl der Hardware-Plattformen resultiert der erfolgreiche Abschluss des IPMS-Meilensteins:

- M1.2: Pflichtenheft RISC-V Erweiterungen für Sensor-EDGE und EDGE-Gateway liegt vor
  → und damit Abschluss AP1.1 und AP1.2

3.2 Arbeitspaket 2: Systemkonzipierung inklusive Schnittstellenanalyse

Im Arbeitspaket 2 wurde auf Grundlage des Pflichtenheftes die Entwicklung eines Systemkonzeptes für die Datenprozessierung auf den Sensor-Edges und dem Edge-Gateway vorangetrieben. Wichtige Teilaspekte sind dabei Konzepte für die Datenreduktion und für Datenfusion. Der Fokus lag dabei auf folgenden Punkten:

- Konzeptionierung der Portierung des EMSA5 RISC-V-Prozessorkerns auf die in der Gesamtsystem-Architektur definierten FPGA-Plattformen ZCU106 des Sensor-Edges sowie ZCU102 des Edge-Gateways.
- Konzeptionierung der Mehrkern-Entwicklung des EMSA5 RISC-V-Prozessors auf Grundlage eigener IPMS-interner Annahmen und Vorgaben inkl. Schnittstelle zum ARM Cortex A53. Der EMSA5 wird dabei in der Programmable Logic (PL) des FPGAs implementiert, während der ARM Cortex A53 als Herstellervorgabe im Processing System (PS) des FPGAs integriert ist. Der EMSA5 wird somit als Coprozessor zum ARM Cortex A53 für Aufgaben der Datenreduktion und Datenfusion fungieren.
- Erarbeitung von Randbedingungen und Vorschlägen für eine erfolgreiche Generierung, Sammlung und Aufbereitung von Trainingsdaten für die spätere KI-Modell-Entwicklung anhand des Demonstrators.
- Recherche und Festlegung der verwendeten Software-Bibliothek für die avisierten klassischen Algorithmen, welche auf den EMSA5 portiert werden sollen. Die gewählte Bibliothek enthält dabei bis zu 30 portierbare Standard-Algorithmen wie Min/Max, Summe/Durchschnitt/Median, etc.
- Ableitung von Konzepten möglicher, für den Anwendungsfall sinnvoller, Hardware-Beschleuniger. Hierbei wurde die Floating Point Unit (FPU) entsprechend der RISC-V-Standarderweiterungen favorisiert.

Das entstandene, erweiterte und validierte Architekturkonzept des EMSA5 Quad-Core-Coprozessors ist in folgender Abbildung als Blockdiagramm dargestellt.

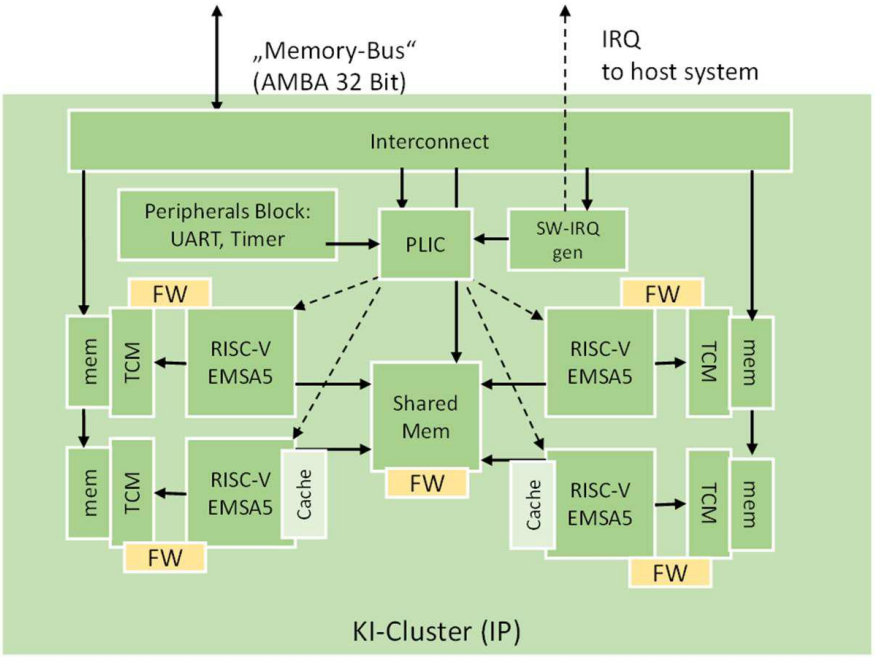


Abbildung 6: Architekturkonzept des entwickelten ESMA5 Quad-Core-Coprozessors

Aus den dargelegten Arbeiten zur Entwicklung des EMSA5 Mehrkern-Coprozessors inkl. FPU-Hardware-Beschleuniger auf den FPGA-Hardware-Plattformen resultiert der erfolgreiche Abschluss des IPMS-Meilensteins:

- M2.2: RISC-V Systemkonzept für Sensor-EDGE und EDGE-Gateway erstellt
  → und damit Abschluss AP2.1, AP2.2 und 2.3

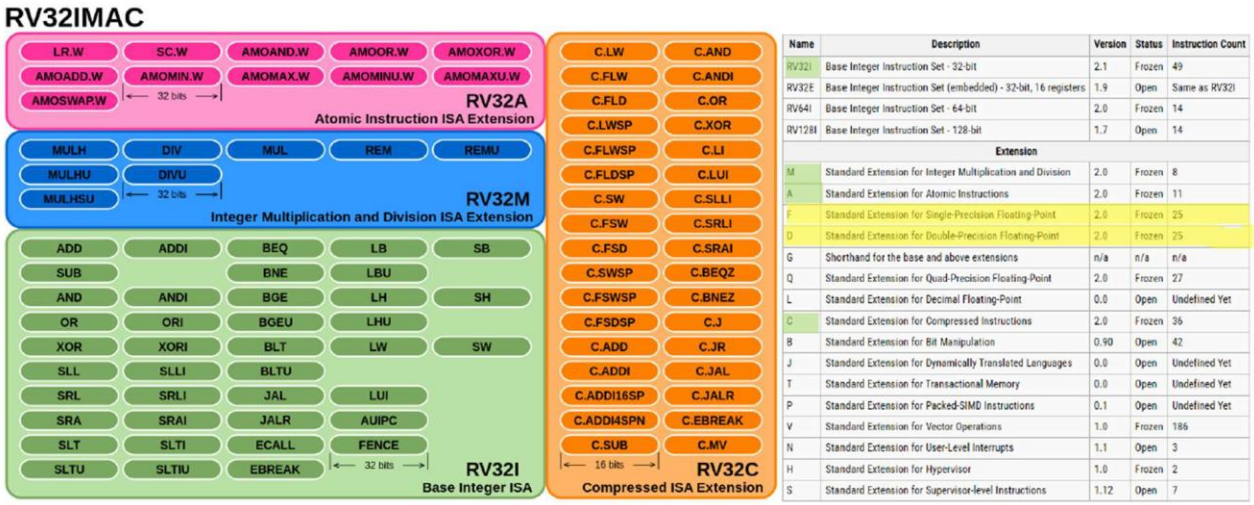
3.3 Arbeitspaket 4: Sensor-Edge

Im Arbeitspaket 4 wurde die Auswahl und Entwicklung der modularen und im Sensor-Edge integrierbaren RISC-V Hardware-Beschleuniger vorangetrieben. Der Fokus lag dabei auf folgenden Punkten:

- Konfiguration, Inbetriebnahme und Test der im AP2 ausgewählten FPGA-Hardware-Plattform ZCU106 für den Anwendungsfall. Dies beinhaltete die
  - PS-Prozessorelektronik des internen ARM Cortex A53 sowie des darauf verwendeten Betriebssystems PetaLinux und die
  - PL-Prozessorelektronik des EMSA5 sowie des darauf verwendeten Betriebssystems FreeRTOS.
- Test und Performance-Optimierung der dabei verwendeten Kommunikationsprotokolle und Hardware-Interconnects inkl. des Interrupt-Handlings für den EMSA5. Der ARM Cortex A53 fungiert dabei als Host, während der EMSA5 als Slave agiert. Die für das Projekt in Betrieb genommenen Kommunikations-protokolle und Hardware-Schnittstellen sind dabei u.a. 1G-Ethernet, QSPI und I2C.
- Anpassung, Test und Bug-Fixing des verwendeten FreeRTOS Betriebssystems sowie der dazugehörigen Software-Treiber der register-basierten Hardware-Schnittstellen zwischen PL und PS. Beides zusammen wird dabei intern als Universal Framework (UFW) bezeichnet. Aus diesen Anpassungen resultierten entsprechende UFW-Versionsaktualisierung sowie Aktualisierungen der Installationsanleitungen, des Software User Guides (SUG) und der Kommandozeilen-Konfigurationen des UFW.

- Auswahl, Entwicklung und Test der zu implementierenden Hardware-Beschleuniger. Gemäß der Liste offizieller Instruction-Sets der RISC-V-Spezifikation, stehen bis zu 30 Erweiterungssätze mit hunderten Instructions zur Auswahl. Diese können optional zum Standard-Instructions-Set RV32IMAC hinzugefügt werden. Für den vorliegenden Anwendungsfall wurde sich dabei für die Umsetzung der Erweiterung F für eine Single-Precision Floating-Point Unit (FPU) entschieden. Die 3 Hauptgründe hierfür sind:
    - **Größerer Zahlenbereich mit hoher Präzision:** FPUs können sehr große und sehr kleine Werte mit hoher Präzision darstellen, was die Genauigkeit bei der Verarbeitung von KI-Daten erhöht
    - **State of the Art:** Die meisten modernen Prozessoren sind für die Verarbeitung von Fließkommazahlen optimiert, was eine schnellere Ausführung von KI-Algorithmen ermöglicht
    - **Effizienz bei Berechnungen:** FPUs sind effizienter im Umgang mit mathematischen Operationen wie Division, Multiplikation und Wurzeln, die in KI-Algorithmen häufig vorkommen

Die zugrundeliegende RV32IMAC-Spezfikation für das Basic Instruction Set, die möglichen implementierbaren RISC-V Hardware-Beschleuniger sowie die gewählte FPU ist in folgender Abbildung dargestellt.



Name	Description	Version	Status	Instruction Count
RV32I	Base Integer Instruction Set - 32-bit	2.1	Frozen	49
RV32E	Base Integer Instruction Set (embedded) - 32-bit, 16 registers	1.9	Open	Same as RV32I
RV64I	Base Integer Instruction Set - 64-bit	2.0	Frozen	14
RV128I	Base Integer Instruction Set - 128-bit	1.7	Open	14
	Extension			
M	Standard Extension for Integer Multiplication and Division	2.0	Frozen	8
A	Standard Extension for Atomic Instructions	2.0	Frozen	11
F	Standard Extension for Single-Precision Floating-Point	2.0	Frozen	25
D	Standard Extension for Double-Precision Floating-Point	2.0	Frozen	25
G	Shorthand for the base and above extensions	n/a	n/a	n/a
Q	Standard Extension for Quad-Precision Floating-Point	2.0	Frozen	27
L	Standard Extension for Decimal Floating-Point	0.0	Open	Undefined Yet
C	Standard Extension for Compressed Instructions	2.0	Frozen	36
B	Standard Extension for Bit Manipulation	0.90	Open	42
J	Standard Extension for Dynamically Translated Languages	0.0	Open	Undefined Yet
T	Standard Extension for Transactional Memory	0.0	Open	Undefined Yet
P	Standard Extension for Packed-SIMD Instructions	0.1	Open	Undefined Yet
V	Standard Extension for Vector Operations	1.0	Frozen	186
N	Standard Extension for User-Level Interrupts	1.1	Open	3
H	Standard Extension for Hypervisor	1.0	Frozen	2
S	Standard Extension for Supervisor-level Instructions	1.12	Open	7

Abbildung 7: RISC-V Basic Instruction Set des EMSA5 sowie neu hinzugekommene FPU (gelb)

Aus den dargelegten Arbeiten zur Entwicklung des Sensor-Edges auf den FPGA-Hardware-Plattformen resultiert der erfolgreiche Abschluss des IPMS-Meilensteins:

- M4.1: Sensor-Edge RISC-V Knoten mit Vektorbeschleuniger liegt vor
  → und damit Abschluss AP4.1, AP4.2, AP4.3 und AP4.4

3.4 Arbeitspaket 9: Edge-Gateway

Im Arbeitspaket 9 wurde die Auswahl und Entwicklung der insbesondere im Edge-Gateway verwendeten Mehrkern-Architektur des RISC-V Coprozessors sowie die darauf angepasste Portierung klassischer und KI-Algorithmen vorangetrieben. Der Fokus lag dabei auf folgenden Punkten:

- Planung, Implementierung und Test einer entsprechend RV32IMAC RISC-V-konformen Mehrkern-Architektur für den EMSA5, bestehend aus 4 homogenen Rechenkernen und Shared-Memory-Konzept. Dabei wurden 4 unabhängige 32 Bit Rechenkerne mit individuellen Hardware-Thread-IDs als Digitaldesign auf der ZCU102 FPGA-Plattform umgesetzt. Darüber hinaus erfolgte die Implementierung eines frei konfigurierbaren Shared Memory zwischen den 4 Rechenkernen mit Größen zwischen 32 und

1024 kB sowie eines individuellen Tightly Coupled Memory (TCM) für jeden einzelnen Rechenkern. Die umgesetzte 4-Kern-Architektur ist in der untenstehenden Abbildung dargestellt.

- Anschließend wurden klassische Algorithmen ausgewählt, welche für die geforderte Datenreduktion und -fusion im Demonstrator geeignet sind und auf den 4-Kern-EMSA5 portiert. Dabei wurden anhand einer mathematischen Standard-Bibliothek 6 von über 30 Teil-Bibliotheken selektiert, welche innerhalb des UFWs auf den EMSA5 portiert wurden. Jede dieser Teil-Bibliotheken kann unabhängig und gleichzeitig parallel auf einem der 4 Prozessorkerne laufen. Die 6 klassischen Algorithmen sind:
    - Minimum / Maximum
    - Summe / Durchschnitt / Median
    - Modalwert
    - Standardabweichung
    - Root Mean Square (RMS)
    - quantisierte und unquantisierte Fast Fourier Transformation (FFT)
- Weiterhin wurden KI-Algorithmen ausgewählt, welche für die geforderte Datenreduktion und -fusion im Gesamtsystem-Demonstrator geeignet sind und auf den 4-Kern-EMSA5 portiert. Dabei wurden anhand einer TensorFlow Standard-Bibliothek 9 verbreitete Teil-Bibliotheken selektiert, welche innerhalb des UFWs auf den EMSA5 portiert wurden. Jede dieser Teil-Bibliotheken kann unabhängig und gleichzeitig parallel auf einem der 4 Prozessorkerne laufen. Die 9 KI-Algorithmen, genannt Layer, sind:
    - Dense
    - Convolution 1D
    - Depthwise Convolution 1D
    - Convolution 2D
    - Depthwise Convolution 2D
    - Pooling
    - Add and Concatenate
    - Batch Normalization
    - Long-Short Term Memory (LSTM)

Ein Beispiel-KI-Modell, welches Ergebnisse der FFT auf relevante Vibrationen untersucht wurde umgesetzt und auf den 4-Kern EMSA5 integriert. Als Trainingsdaten wurden dabei verfügbare Vibrationsdaten aus frei zugänglichen Online-Bibliotheken verwendet.

Für die Portierung der KI-Modelle auf den EMSA5 wurde das KI-Framework EMMI (Embedded Machine Intelligence) entwickelt, welches existierende Embedded-C-Bibliotheken aufruft und diese für die Übersetzung großer TensorFlow-Modelle und -Layer in das RISC-V-Embedded Framework nutzt. Die Architektur und Funktion des eigens entstandene KI-Frameworks ist in folgender Abbildung dargestellt.

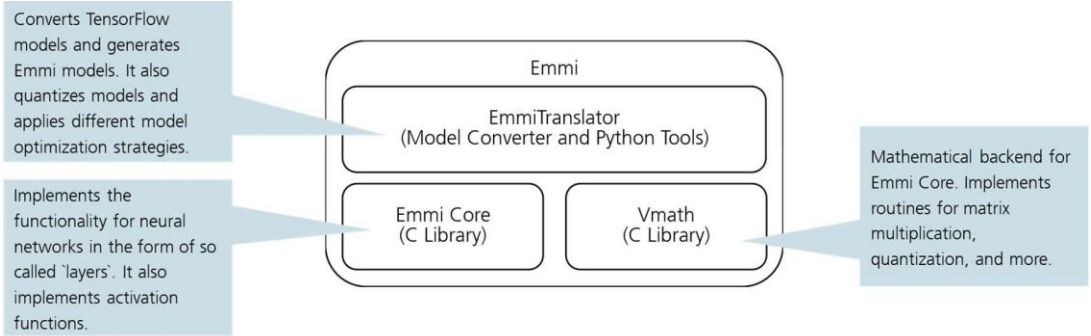


Abbildung 8: Architektur und Funktionen des implementierten EMMI KI-Frameworks

- Die Cloud-Anbindung des Edge-Gateways erfolgt mittels konventionellen Ethernets/IP Switch-Komponenten. Dies ermöglicht auch die Einbindung eines lokalen Linux-PCs als Datenbank ohne mobilen Netzwerkzugriff. Der Anschluss des Edge-Gateways als auch der Sensor-Edges kann sowohl vom PS via PetaLinux-Standardtreiber realisiert werden, als auch über Ethernet-IP-Cores aus der PL und FreeRTOS heraus. Für beide Optionen existieren entsprechende Integrationsstrategien und IP-Cores.

Die zusammen mit dem IZFP entworfene und validierte Architektur des Edge-Gateways inkl. möglicher Szenarien für eine Cloud-Anbindung ist in folgender Abbildung als Blockdiagramm dargestellt.

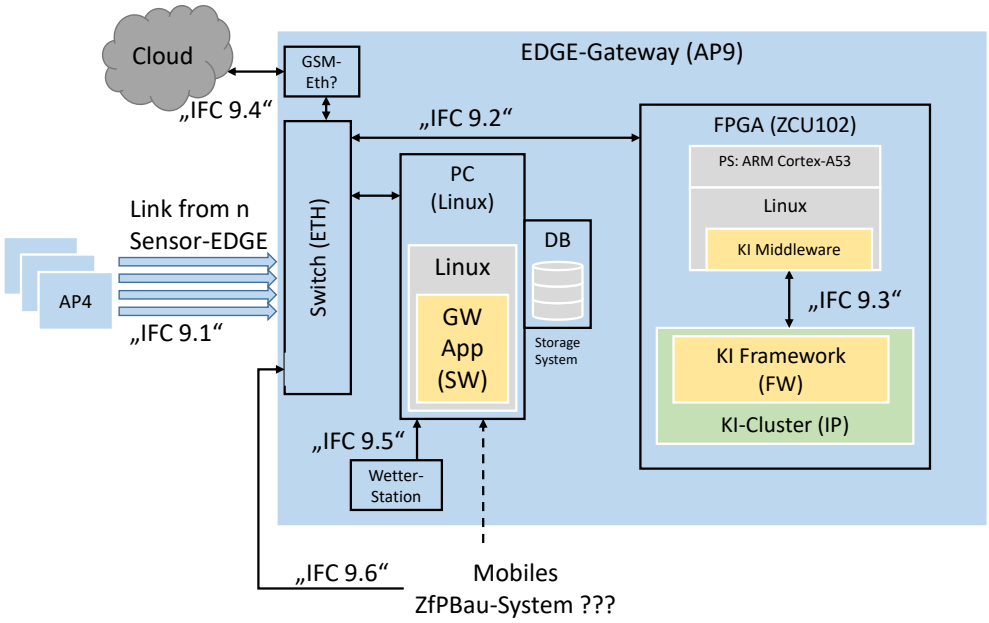


Abbildung 9: Blockdiagramm des Edge-Gateways inkl. ZCU102, PC- und Datenbank-/Cloud-Anbindung

Aus den dargelegten Arbeiten zur Inbetriebnahme des Edge-Gateways inkl. Cloud-Anbindung resultiert der erfolgreiche Abschluss des finalen IPMS-Meilensteins:

- M9.1: Kommunikationsschnittstellen für das Edge-Gateway definiert
  → und damit Abschluss AP9.1 bis AP9.4
- M9.2: Erster Demonstrator mit Grundfunktionalität zur Kommunikation mit Sensor-Edge liegt vor
  → und damit Abschluss AP9.5 bis AP9.6
- M9.3: Edge-Gateway mit Rechencluster und Cloud-Anbindung liegt vor
  → und damit Abschluss AP9.7 bis AP9.8

3.5 Arbeitspaket 10: Analyse und Konzeptionierung Datenquellen für Fusion

Das IPMS hat auf Grundlage des vorhandenen Daten- und Entwicklungsstandes eine Bewertung der lastverteilten Implementierung der entwickelten Hard- und Softwaresysteme vorgenommen. Diese entspricht den in den Architekturentwürfen festgelegt vorgehen. Eine weitergehende Bewertung ist mit fortschreitenden Erkenntnisgewinnen in der Zukunft verbunden, wenn umfangreiches Daten- und Trainingsmaterial für die implementierten KI-Algorithmen und daraus entstehenden Modell vorliegen. Die Konzeptionierung innerhalb von AP10.3 ist mit der Umsetzung der Architekturentwürfe zum jetzigen Zeitpunkt abgeschlossen.

3.6 Arbeitspaket 12 & 13: Gesamtsystem-Assemblierung und -Validierung

Die Assemblierung des Gesamtsystem-Demonstrators bestehend aus Edge-Gateway, Sensor-Edges, der im Konsortium ausgewählten Sensorik sowie der Cloud-Anbindung wurde wie in nachfolgender Abbildung umgesetzt. Dabei lag der Fokus auf der Inbetriebnahme der Bauwerkssensorik sowie des ZfP-Bau-Systems und es konnte durch Bugfixing-Maßnahmen mit dem Partner IZFP eine fehlerfreie Integration erreicht werden.

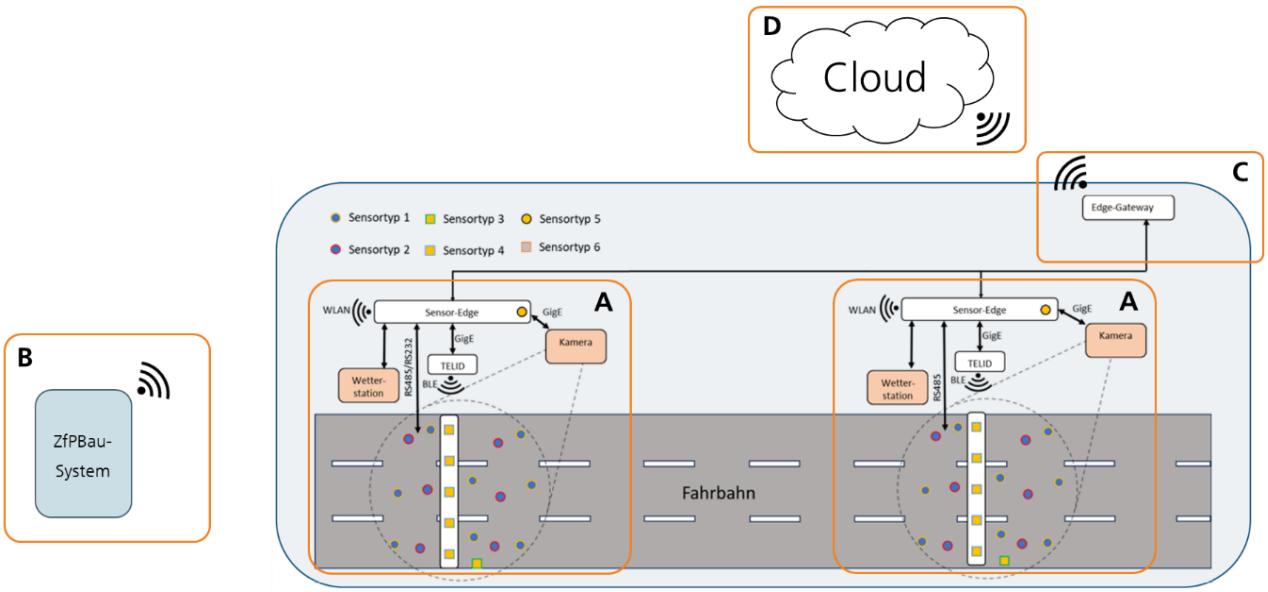


Abbildung 10: Schematische Darstellung des assemblierten Gesamtsystem-Demonstrators

Der resultierende Demonstrator im Reallabor ist in folgender Abbildung dargestellt und wurde gemeinsam mit dem Projektpartnern am IZFP umgesetzt. Neben der reinen Hardware-Integration ist hier auch die Einbindung des Datenflusses in die Cloud- und Anwenderinfrastruktur mittels Darstellung der Nutzeroberflächen und integrierten BIM-Modelle zu sehen. Die angestrebte Datenreduktion und -fusion geschieht in diesem Fall bereits in den Edge-Devices und Bedarf keiner Zuhilfenahme der Cloud-Anwendungen mehr.

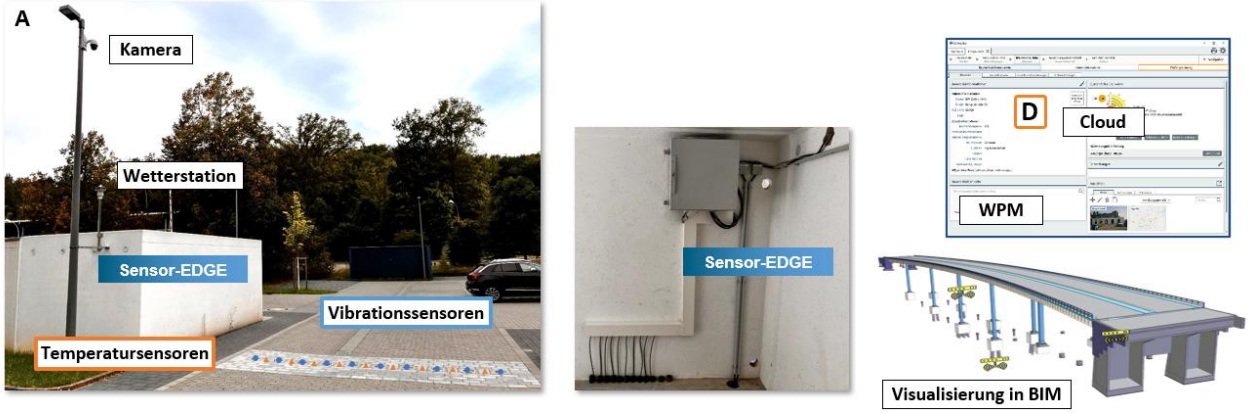


Abbildung 11: Demonstrator im Reallabor mit Edge-Devices, Sensorik sowie Cloud- und BIM-Integration

Aus den dargelegten Arbeiten zur Inbetriebnahme des Sensor-Edge und des Edge-Gateways inkl. Cloud-Anbindung am Gesamtsystem-Demonstrator resultiert der erfolgreiche Abschluss des finalen IPMS-Meilensteins:

- M12.1: Sensor-Edge und Edge-Gateway erfolgreich getestet
  → und damit Abschluss AP12.1 bis AP12.4 bzw. AP13.4

3.7 Erzielte Ergebnisse und aufgetretene Hindernisse

Die zu Projektbeginn adressierten Ziele haben sich im Arbeitsverlauf nicht geändert. Die Ergebnisse lassen sich zu 5 zentralen Punkten zusammenfassen:

- Entwicklung eines 4-Kern EMSA5-Prozessorsystems entsprechend RISC-V-Spezifikation RV32IMAC
- Entwicklung eines Single-Precision FPU-Hardware-Beschleunigers für Sensor-Edge und Edge-Gateway
- Portierung von 6 klassischen Algorithmen auf die Mehrkern-RISC-V Ziel-Hardware der Edge-Devices
- Portierung von 9 KI-Algorithmen (Layern) auf die Mehrkern-RISC-V Ziel-Hardware der Edge-Devices
- Aufbau und Funktionsnachweis aller Sensor-Edges und Edge-Gateway im Gesamtsystem-Demonstrator des Reallabors am IZFP.

Aufgetretene Hindernisse betrafen erwartungsgemäß insbesondere den letzten der 5 Punkte, da die Interoperabilität mit Geräten anderer Hersteller und Projektpartner erfahrungsgemäß zunächst zu Integrationsproblemen führt. Diese konnten durch enge und konstruktive Zusammenarbeit im Konsortium und gelöst werden.

4 Projektbewertung

4.1 Wichtigste Positionen des zahlenmäßigen Nachweises

Siehe Bericht zum zahlenmäßigen Nachweis.

4.2 Notwendigkeit und Angemessenheit der geleisteten Projektarbeiten

Alle im Rahmen des Projekts durchgeführten Arbeiten trugen maßgeblich zur Erreichung der gesetzten Projektziele bei. Ziel war es, den vorhandenen RISC-V-Prozessorkern weiterzuentwickeln sowie diesen auf im Projekt verwendete Hardware zu portieren bzw. mit Prozessoren anderer Hersteller auf den FPGA-Plattformen zu testen. Der Fokus der Weiterentwicklung lag auf der Mehrkern-Implementierung und der FPU-Integration.

Jede der durchgeführten Maßnahmen führte zu konkreten Ergebnissen. Es wurden keine Aktivitäten unternommen, die nicht zur Weiterentwicklung der Hardware- und Softwarekomponenten beitrugen. Diese Fokussierung auf die Projektziele unterstreicht die Effektivität der gewählten Entwicklungsstrategien.

4.3 Nutzen und Verwertbarkeit der erzielten Ergebnisse

Der Verwertungsplan hat sich im Vergleich zum Projektbeginn nicht geändert. Die wissenschaftlich-technischen Erfolgsaussichten sind unverändert gut. Die Überführung der Mehrkern-RISC-V-Technologie reicht in alle industrierelevanten Anwendungen mit Automotive-, Robotik- und Industrieautomatisierungsbezug – also überall wo Veränderungen in Sensorik und Aktorik präzise und ggf. zeitkritisch koordiniert werden müssen. Typische Anwendungsszenarien sind:

- Maschinensteuerungen,
- Sensorfusion und
- sichere Steuerung autonomer Systeme mit Anforderungen an die funktionale Sicherheit.

Nächste innovatorische Schritte sind die Erhöhung integrierbarer Prozessorkerne von 4 auf 8 und darüber hinaus. Darüber hinaus werden die Erfahrungen bei der Integration des FPU-Hardware-Beschleunigers einen positiven Einfluss auf die Integration von Hardware-Beschleunigern für andere Anwendungsfelder wie etwa der Windkraft haben. Weiterhin werden die Vervollständigung der portierten Algorithmen und KI-Layer auf den EMSA5 eine Rolle spielen, um sog. Feature Completeness für die Software-Bibliotheken auf der Ziel-Hardware zu erreichen.

Das Fraunhofer IPMS plant, seine wissenschaftlich-technischen Erkenntnisse in Form von Veröffentlichungen zu disseminieren. Über White Papers können interessierte Leser umfassende Informationen auf der Website des Instituts abrufen. Darüber hinaus ist das Institut regelmäßig auf bedeutenden Messen und Konferenzen vertreten, wie bspw. der Embedded World und dem Automotive Ethernet Kongress. Diese Präsenz ermöglicht es, die Ergebnisse auch der Industrie zur Verfügung zu stellen und somit weitere Anwendungsfelder zu eröffnen.

Zusätzlich nimmt das Fraunhofer IPMS an internationalen Testbeds teil, die für Konformitäts- und Kompatibilitätstests genutzt werden. Diese Organisationen bieten ideale Plattformen zum Testen neuer Projektergebnisse und eröffnen den Zugang zu einem Netzwerk potenzieller nationaler und internationaler Kunden. Die Übertragung der Projektergebnisse auf weitere Anwendungsfälle ermöglicht eine umfassendere Verwertung der entwickelten RISC-V-Technologien. Darüber hinaus können die Ergebnisse im Rahmen zukünftiger Kooperationen auf industrielle Sensorfusion- und Automatisierungslösungen übertragen werden.

4.4 Während des Vorhabens bekannt gewordene Fortschritte Dritter

Von Seiten Dritter sind keine F&E-Ergebnisse bekannt, die relevant für die Durchführung des RISC-V Teilprojektes am IPMS waren. Eine Änderung der Zielstellung war nicht notwendig. Kommerzielle Angebote von Systemen für vorausschauende Instandhaltung an Stahlbeton- und Brückenbauwerken sind hingegen am Markt mehr und mehr verfügbar. Beispiele sind:

- Bridge Structural Health Monitoring System von Smartec (Schweiz)
- Bridge Monitoring Solution von Bentley (USA)
- Bridge.AI von Nano Sensorics (Litauen)
- Beton-Monitoring von Infrasolute (Deutschland)
- Bauwerk-Monitoring von Sisgeo (Italien)

Durch den fortgesetzten Hype des KI-Themas konnte weltweit eine signifikante Anzahl von Veröffentlichungen und Artikeln beobachtet werden, die sich mit dem Thema KI und Bauwerkssensorik bzw. -Instandhaltung befasst.

4.5 Veröffentlichungen innerhalb des Projektes

Während der Projektlaufzeit wurden durch das IPMS keine spezifischen Veröffentlichungen zu den erarbeiteten Themen durchgeführt. Nach dem erfolgreichen Abschluss des Projekts wird jedoch aktiv nach Möglichkeiten gesucht, die erzielten Ergebnisse auf Fachkonferenzen und in wissenschaftlichen Publikationen zu präsentieren.

Die Absicht, die gewonnenen Erkenntnisse einem breiten Publikum zugänglich zu machen, unterstreicht das Engagement des Teams, den Wissensaustausch zu fördern und die Relevanz der entwickelten Technologien in der wissenschaftlichen Gemeinschaft sowie in der Industrie zu betonen. Durch diese Maßnahmen wird angestrebt, die Ergebnisse nicht nur zu disseminieren, sondern auch wertvolles Feedback von Experten und Praktikern zu erhalten, um zukünftige Entwicklungen weiter voranzutreiben.

Patente und anderweitige Schutzrechte wurden nicht geltend gemacht.