

Sachbericht
Teil I
Kurzbericht

Teilvorhaben

Integriertes Sensor-ASIC mit
KI-Funktionen für die verteilte
Signalverarbeitung

Gefördert durch das



Bundesministerium
für Bildung
und Forschung

FKZ: 16ME0035

**Rahmenprogramm der Bundesregierung für Forschung und
Innovation 2016-2020
„Mikroelektronik aus Deutschland – Innovationstreiber der
Digitalisierung“**

Verbundnamen:

Elektronik für verteilte Künstliche Intelligenz zur sensorbasierten
Prozess- und Zustandskontrolle

Akronym: KI-PREDICT

Teilvorhaben:

Integriertes Sensor-ASIC mit KI-Funktionen für die verteilte
Signalverarbeitung

FKZ: 16ME0035

Fraunhofer-Institut für Integrierte Schaltungen IIS

**Sachbericht Teil I Kurzbericht
Berichtszeitraum 01.03.2020 – 31.12.2023**

(Autor: Dr. Markus Stahl-Offergeld)

Projektlaufzeit: 01.03.2020 – 31.12.2023

Dr. Markus Stahl-Offergeld
Fraunhofer-Institut für Integrierte Schaltungen IIS
Am Wolfsmantel 33
91058 Erlangen
Tel: 09131 776 4674
E-Mail: markus.stahl-offergeld@iis.fraunhofer.de

Inhaltsverzeichnis

Inhaltsverzeichnis	II
1 Aufgabenstellung	1
2 Ablauf des Vorhabens	1
3 Ergebnisse	2

1 Aufgabenstellung

Das Teilprojekt „Integriertes Sensor-ASIC mit KI-Funktionen für die verteilte Signalverarbeitung“ ist zentraler Bestandteil des Gesamtprojektes und stellt die Basis für die verteilte künstliche Intelligenz dar. Das Sensor-ASIC ist der zentrale Verknüpfungspunkt für die Erforschung und Realisierung von aufeinander abgestimmten, modulare Hard- und Softwarelösungen, die auf Methoden der KI hin optimiert sind. Das Teilprojekt baut auf den Softwarelösungen der Universität des Saarlandes und Hardwarelösungen auf FPGA-Ebene von Canway auf und entwickelt diese weiter. Zentraler Forschungsschwerpunkt ist die Entwicklung einer ASIC-Topologie für die Integration von flexiblen KI-Funktionen für die Merkmalsextraktion und die Anwendung dieser Topologie in dem Sensor-ASIC.

2 Ablauf des Vorhabens

In den Arbeitspaketen (AP) 1 und 2 wurden die Spezifikationen für die Sensorsysteme und für den ASIC entwickelt. Diese APs stellten die Basis für alle weiteren Arbeiten dar.

Das Fraunhofer IIS war auch an AP 5 (Sensorentwicklung) beteiligt und stellte auf diese Weise das Zusammenspiel von Sensor und ASIC sicher.

Schwerpunkt der Arbeiten des Fraunhofer IIS lag im AP 6 in der Entwicklung der ASICs. Im Rahmen des Projektes wurden 2 ASIC-Generationen entwickelt. In der ersten Generation wurden vor allem die analogen Funktionen und das grundlegende Datenhandling per Mikrokontroller (MCU) bereitgestellt. Auf diese Weise konnten diese Funktionen frühzeitig in Messkampagne 2 verwendet und getestet werden.

Die zweite ASIC-Generation wurde auf zwei ASICs (KIPRED02 und KIPRED03) aufgeteilt. Das bot den Vorteil, dass KIPRED02 mit nur leichten Modifikationen die im Projekt benötigten Features mit niedrigem Risiko berechnen konnte. In KIPRED03 wurde zusätzlich zu den Hardware-Beschleunigern der MCU konsequent Richtung Low-Power optimiert. Diese risikoanfällige Entwicklung erhöht den späteren Nutzen deutlich.

Das Fraunhofer IIS hat hierfür eine Systemtopologie entwickelt, die die Vorteile der programmierbaren MCU-Flexibilität mit den Vorteilen von festverdrahteten Hardwarebeschleunigern verbindet. Dabei arbeitete das IIS sowohl in AP 6 als auch in AP 7 eng mit den Partnern UdS und CANWAY zusammen.

In der zweiten und der dritten Messkampagne (AP 9 und AP 10) hat das IIS die entwickelten ASICs inklusive Firmware den Partner zur Verfügung gestellt und sie bei den Messungen unterstützt.

3 Ergebnisse

Die Integrierten Sensor ASICs wurden auf der 180nm Technologie XH018 von X-FAB entwickelt. Diese Strukturgröße zeigte sich als gut geeignet für Sensorinterfaces mit Hardwarebeschleuniger, da auf ihr sowohl analoge als auch digitale Schaltungsblöcke mit guter Performance realisiert werden konnten.

Die entwickelten ASICs waren in den Messkampagnen gut geeignet, um die verwendeten Sensoren zu betreiben. Die benötigten Features ließen sich berechnen und an das übergeordnete OPC-UA System zu übertragen. So konnte am Projektende ein vollfunktionsfähiges Gesamtsystem bei HYDAC präsentiert werden.

Besonders erfolgreich war die Integration der Hardwarebeschleuniger. Abhängig der zu berechnenden Features liegt die zeitliche Beschleunigung bei Faktor 3,0 bis 4,2. Hierdurch lässt sich die benötigte Leistung um Faktor 2,9 bis 3,9 reduzieren.

Die Low-Power Entwicklung des Digitalteils in Verbindung mit den Hardwarebeschleunigern zeigt bei KIPRED03 eine Reduzierung der Leistungsaufnahme um Faktor 13 bei gerade einmal 20% Geschwindigkeitsverlust.

Sowohl der Entwickelte RISC-V Controller als auch die neu entwickelten Hardware-Beschleuniger werden aktuell in neuen ASIC-Projekten verwendet. In der Gruppe Magnetische Sensorsysteme wird der RISC-V Controller bei einem ASIC zur magnetischen 6D-Positionsmessung verwendet. Sowohl die Low-Power Entwicklungen als auch die Hardwarebeschleuniger erhalten Einzug in die nächste ASIC-Generation.

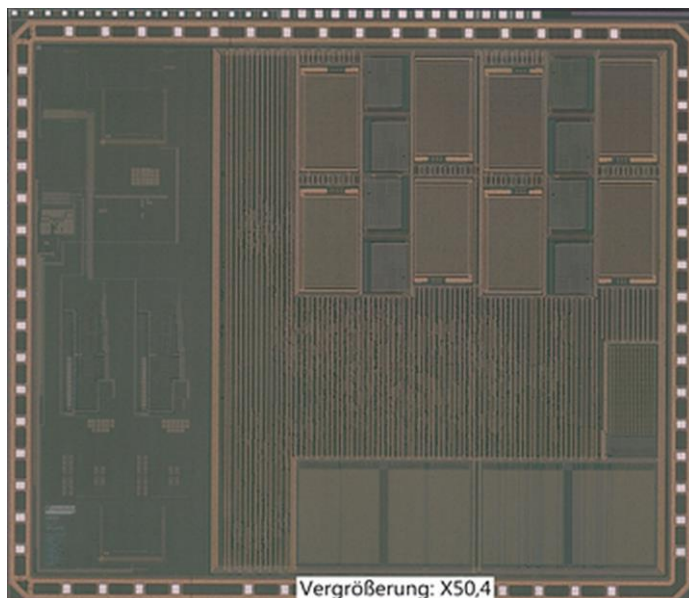



Abbildung 1: Chipfoto KIPRED01

Sachbericht
Teil II
Eingehende Darstellung

Teilvorhaben
Integriertes Sensor-ASIC mit
KI-Funktionen für die verteilte
Signalverarbeitung

Gefördert durch das
 **Bundesministerium
für Bildung
und Forschung**

FKZ: 16ME0035

**Rahmenprogramm der Bundesregierung für Forschung und
Innovation 2016-2020
„Mikroelektronik aus Deutschland – Innovationstreiber der
Digitalisierung“**

Verbundnamen:

Elektronik für verteilte Künstliche Intelligenz zur sensorbasierten
Prozess- und Zustandskontrolle

Akronym: KI-PREDICT

Teilvorhaben:

Integriertes Sensor-ASIC mit KI-Funktionen für die verteilte
Signalverarbeitung

FKZ: 16ME0035

Fraunhofer-Institut für Integrierte Schaltungen IIS

**Sachbericht Teil II Eingehende Darstellung
Berichtszeitraum 01.03.2020 – 31.12.2023**

(Autor: Dr. Markus Stahl-Offergeld)

Projektlaufzeit: 01.03.2020 – 31.12.2023 (Bewilligungszeitraum + Verlängerung)

Dr. Markus Stahl-Offergeld
Fraunhofer-Institut für Integrierte Schaltungen IIS
Am Wolfsmantel 33
91058 Erlangen
Tel: 09131 776 4674
E-Mail: markus.stahl-offergeld@iis.fraunhofer.de

Inhaltsverzeichnis

Inhaltsverzeichnis	II
1 Ergebnisse der Arbeitspakete	1
1.1 AP 1: Systemspezifikation	1
1.2 AP 2: Spezifikation Sensoren, Interface, ASIC.....	2
1.3 AP 5: Sensorentwicklung.....	3
1.4 AP 6: Integriertes KI-Sensorinterface	4
1.5 AP 7: KI-Algorithmen	10
1.6 AP 9: Messkampagne 2.....	10
1.7 AP 10: Messkampagne 3.....	12

1 Ergebnisse der Arbeitspakete

1.1 AP 1: Systemspezifikation

Das Fraunhofer IIS unterstützte die Projektpartner im Arbeitspaket 1.C bei der Erstellung der Systemspezifikation insbesondere in der Bewertung der Machbarkeit verschiedener Optionen und des Umsetzungsrisikos. Diese Unterstützung erfolgte im Wesentlichen durch gemeinsame Besprechungen und Review von Spezifikationsvorschlägen.

Das Fraunhofer IIS stellt das von der Fraunhofer-Gesellschaft gehostete ownCloud System den Projektpartner für den Austausch von Dokumenten und Designdaten zur Verfügung.

Eine detaillierte Abgrenzung der Besprechungen zwischen AP1 und AP2 war nicht möglich, da diese Themen sehr stark verwoben sind. In Tabelle 1 sind die durchgeführten Besprechungen zur Bearbeitung der beiden APs aufgeführt. Wenn nicht anderes gekennzeichnet, dann sie die Besprechungen per Web-Konferenz erfolgt.

Tabelle 1 - Besprechungen zur Spezifikationserstellung in AP1 und AP2

Termin	Beschreibung
17.03.2020	Kick-off Meeting
26.03.2020	Abstimmung zur Sensorik / Bestehende Vorarbeiten auf dem BMBF Projekt MOSES-PRO
03.04.2020	Überblick über die Merkmalsextraktion aus BMBF MOSES-PRO
09.04.2020	Grobkonzept des ASICs vorgestellt und Sensoranforderungen aufgenommen
23.04.2020	Austausch zum Stand der Arbeiten, Planung für den FPGA und Messkampagne 1
07.05.2020	Sensorkonzept von HYDAC vorgestellt und diskutiert, Austausch zum Stand der Arbeiten
13.05.2020	Abgleich zwischen CANWAY, UdS und Fraunhofer IIS zu der integrierten Merkmalsextraktion
02.07.2020	Informationen zur Definition des Protokolls zwischen OPC-UA Server und FPGA bzw. ASIC
16.07.2020	Klärung weiterer Fragen zu den Sensoren
13.08.2020	Festlegung letzter offener Punkte in der ASIC Spezifikation; Planung für erste Test-Implementierung für KI-Funktion; Abstimmung der Schnittstelle zwischen CANWAY und Fraunhofer IIS
27.08.2020	Planung für die 1. Messkampagne
21.09.2020	Feedback und Abstimmung zur Schnittstelle zwischen CANWAY (FPGA) und Fraunhofer IIS (ASIC)
01.10.2020	Abstimmung der Schnittstelle und des Protokolls zum OPC-UA Server von ODION

1.2 AP 2: Spezifikation Sensoren, Interface, ASIC

Das Fraunhofer IIS hat im Arbeitspaket 2.b eine Spezifikation des ASICs und der Schnittstellen zum ASIC erstellt und mit den Projektpartnern abgestimmt. Besonderes Augenmerk wurde dabei auf die folgenden Schnittstellen gelegt:

- Schnittstelle des ASICs zu den Sensoren von Sensitec und HYDAC
- Schnittstelle des ASICs zum FPGA von CANWAY (2. Messkampagne)
- Schnittstelle im ASIC zur Integration der KI-Beschleuniger von CANWAY inkl. Testimplementierung eines ersten, einfachen Beschleunigers
- Schnittstelle des ASICs zum OPC-UA Server von ODION (3. Messkampagne)

Die Spezifikation des ASIC beschreibt die Anforderungen an die einzelnen analogen Funktionsblöcke, sowie eine Beschreibung der digitalen Funktionen. In Abbildung 1 ist ein Überblick für den ASIC mit den analogen Funktionsblöcken dargestellt.

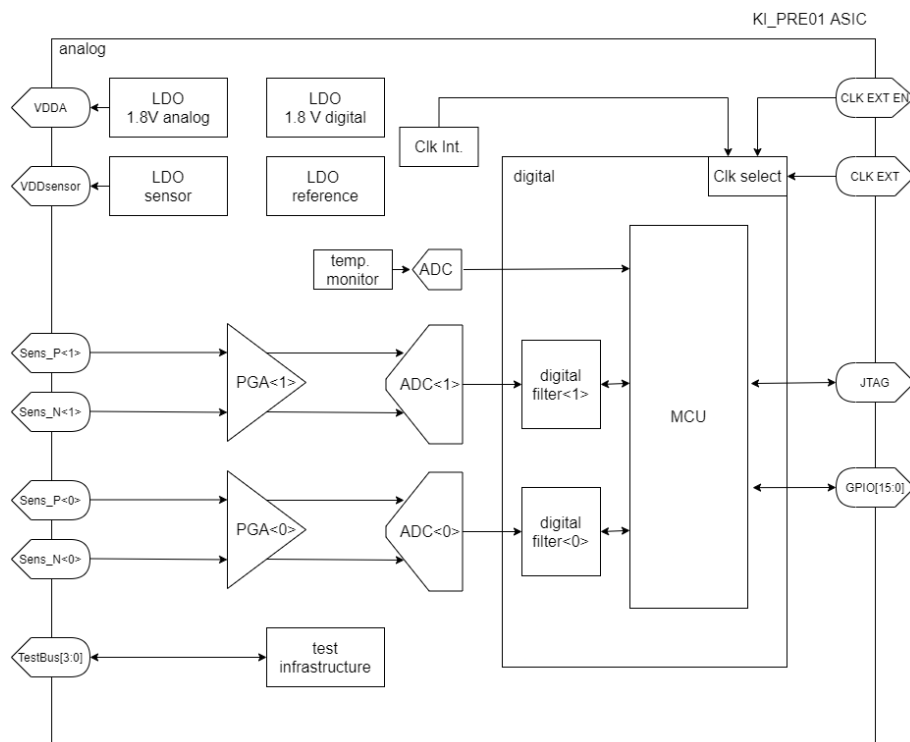


Abbildung 1 - Blockdiagramm ASIC Version 1

Jeder digitale Funktionsblock ist mit allen Registern so beschrieben, dass neben dem ASIC-Entwurf auch die spätere Programmierung auf Basis dieses Dokuments erfolgen kann. Ein Überblick über das digitale Mikrokontroller-System ist in Abbildung 2 geben.

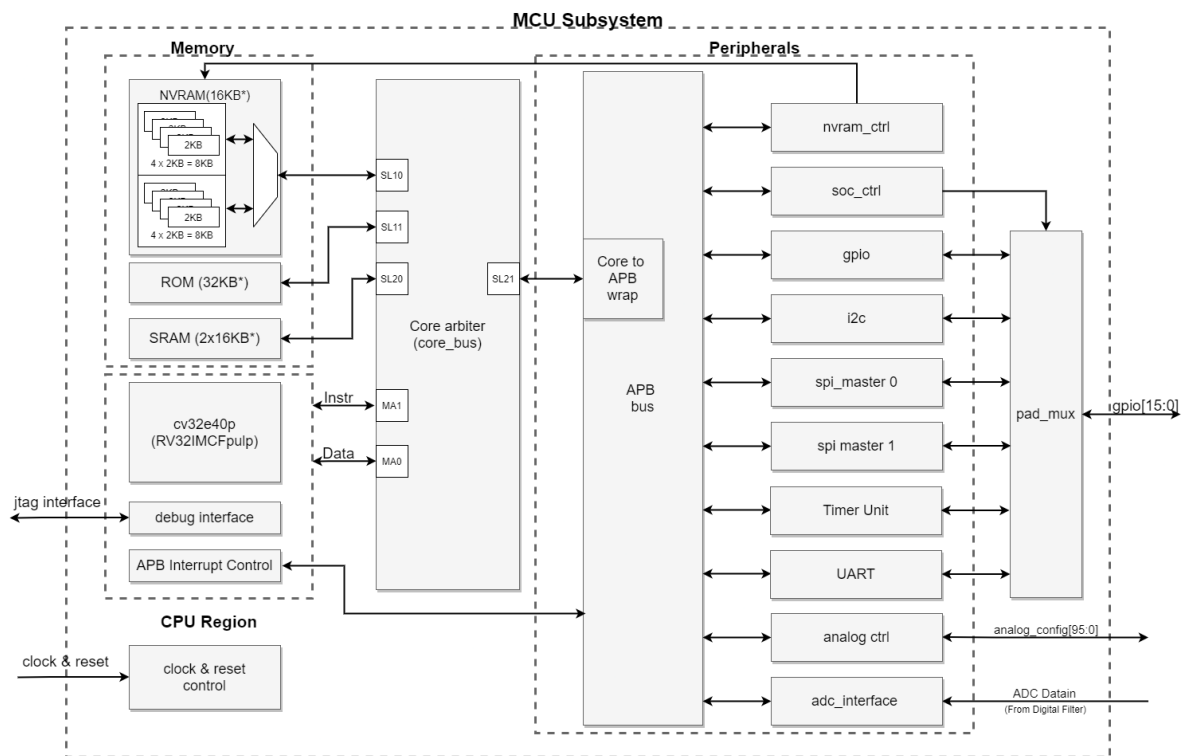


Abbildung 2 - MCU Subsystem ASIC Version 1

Ergebnis: Es liegt ein Spezifikationsdokument für den ASIC und für die Schnittstellen vor (Projektmonat 6)

Die Spezifikation wurde in dem Fraunhofer IIS internen Confluence Dokumentensystem erstellt. Für die Projektpartner wird diese in Form eines PDF-Exportes bereitgestellt.

Die Spezifikation der Schnittstelle wurde in PDF-Dokumenten festgehalten und auf dem für alle Projektpartner zulänglichen Server abgelegt.

1.3 AP 5: Sensorentwicklung

Im Rahmen des Arbeitspaketes 5.1c wurde von HYDAC ein Konzept und die Auslegung für eine diskrete Testschaltung zur Qualifizierung der DMS-Dehnkörper Muster erarbeitet. Die Sensorparameter wurden dem Fraunhofer IIS zur Verfügung gestellt, um diese in dem Schaltungsdesign zu berücksichtigen.

Im Rahmen des Arbeitspaketes 5.2a hat das Fraunhofer IIS Daten zu den geplanten Sensoren von Sensitec erhalten. Diese Brückensensoren wurden im ASIC-Design berücksichtigt.

Die Sensoren von HYDAC und Sensitec wurden mit dem ASIC V1 erfolgreich in Betrieb genommen.

Ergebnis: Die im Projekt entwickelten Sensoren können mit dem ASIC V1 betrieben werden. Der ASIC V1 steht damit für die 2. Messkampagne zur Verfügung.

1.4 AP 6: Integriertes KI-Sensorinterface

Der Fokus am Fraunhofer IIS liegt im Arbeitspaket 6 auf der Entwicklung zweier ASICs. Die Arbeitspakete 6.a bis 6.d beschäftigen sich mit der Entwicklung des ASIC V1, die Arbeitspakete 6.m bis 6.r mit der Entwicklung des ASIC V2.

Entwicklung des ASIC V1

In **AP 6.a Entwurf der analogen Sensorschnittstellenschaltung** wurde der Entwurf der analogen Schaltung wie geplant durchgeführt. Im Projektmonat 9 lag der analoge Schaltungsteil vor und alle Simulationen waren abgeschlossen.

In **AP 6.b Entwurf der digitalen Steuerung und Kommunikation** wurde der Entwurf der digitalen Schaltung in SystemVerilog durchgeführt. Es hat sich ergeben, dass zur Simulation der Mikrocontrollerfunktionen eine angepasste Softwarebibliothek (engl. Hardware-Abstraktion-Layer, HAL) notwendig ist. Vor diesem Hintergrund wurden Programmieraufgaben, die erst zu einem späteren Zeitpunkt geplant waren, vorgezogen. Im Projektmonat 10 lag der digitale Schaltungsteil (in einer Hardware-Beschreibungssprache) vor und alle Simulationen waren abgeschlossen.

In **AP 6.c Erstellung des Schaltungslayouts, Verifikation und Abgabe zur Prototypenfertigung** wurde das Layout für die Fertigung erstellt und an den Fertigungsdienstleister (XFAB GmbH) übergeben. Das Layout ist in Abbildung 3 dargestellt.

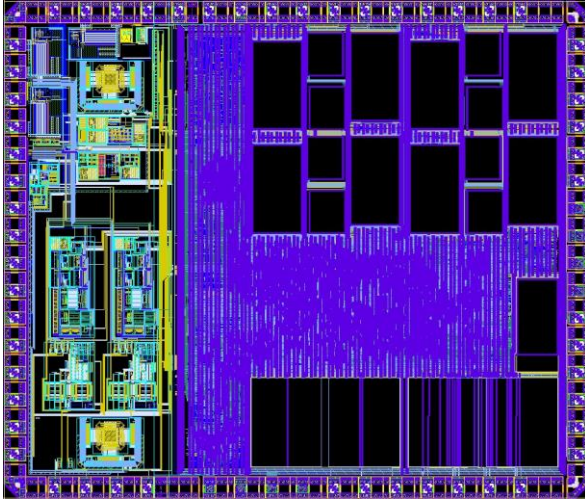


Abbildung 3 - Layout des ASICs Version 1

Die Entwicklung des ASIC-Bausteines wurde im Jahr 2020 abgeschlossen und im Januar 2021 in die Fertigung übergeben. Ein Foto des gefertigten Chips ist in Abbildung 4 dargestellt (Projektmonat 16). Darauf ist auf der linken Seite der analoge Schaltungsteil zu erkennen. Die größeren Blöcke auf der rechten Seite sind Speicherbausteine, zwischen denen die eigentliche digitale Schaltung platziert ist.

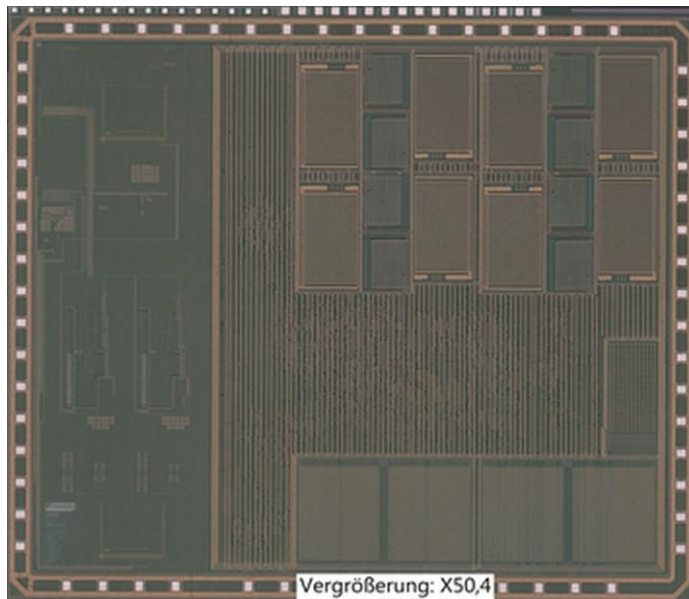


Abbildung 4 - Foto des ASICs

AP 6.d: Verifikation des ASICs V1 (IIS) und Bereitstellung für die Projektpartner, Testmessungen mit Sensoren (Sensitec)

Für die Evaluation des ASICs und für die Integration in die 2. Messkampagne wurde eine Leiterplatte erstellt. Diese ist zusammen mit einem JTAG-Debugger und verschiedenen Messleitungen zur Charakterisierung des ASICs auf Abbildung 5 dargestellt.

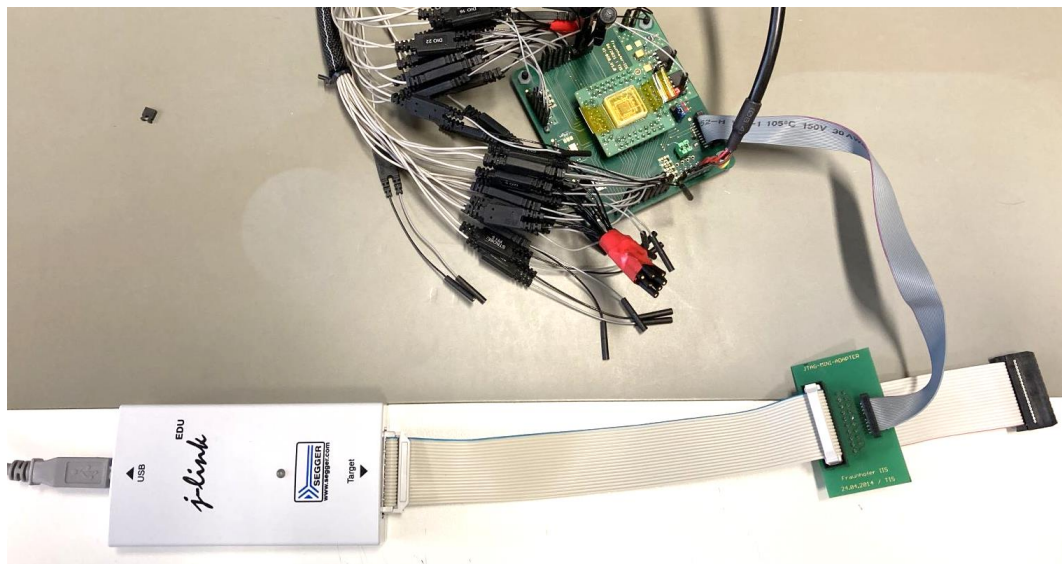


Abbildung 5 - ASIC auf Leiterplatte mit Programmierinterface und Messleitungen

Zur Inbetriebnahme des ASICs und für die Programmierung der Applikation für die 2. Messkampagne wurde eine Programmierumgebung auf Basis von Eclipse eingerichtet, welche in Abbildung 6 veranschaulicht ist. Zusätzlich wurde eine halbautomatische Messumgebung aufgesetzt und mehrere ASICs in Betrieb genommen.

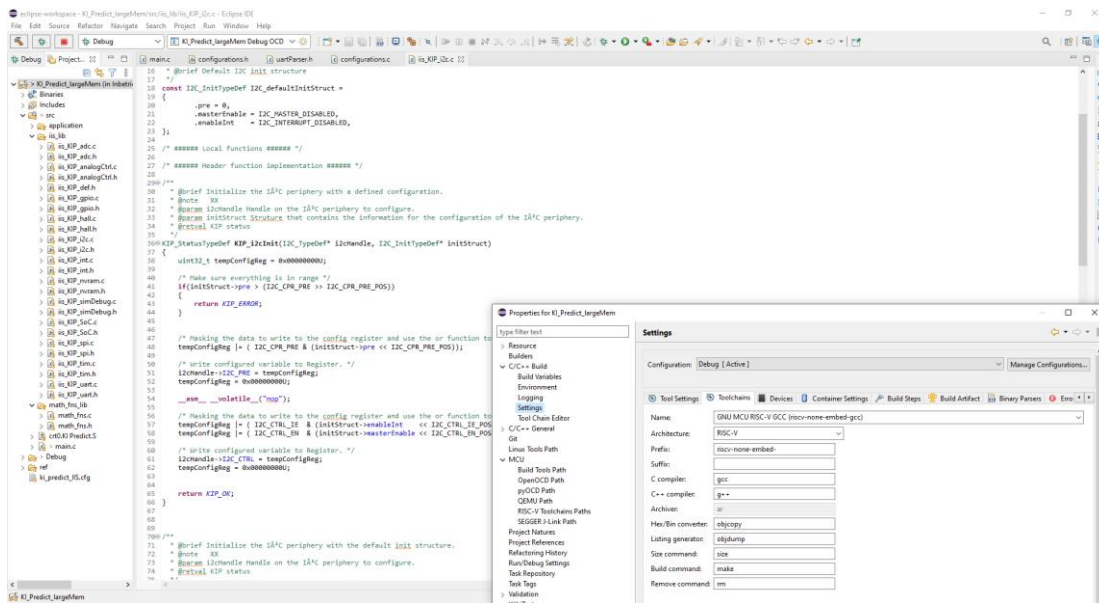


Abbildung 6 - Programmierumgebung für den ASIC

Bei der Evaluation wurden keine Grundlegenden Fehler festgestellt, so dass der ASIC V1 für die 2. Messkampagne verwendet werden kann. Die Evaluation und Verifikation wurde in Projektmonat 19 abgeschlossen.

Entwicklung des ASIC V2

Im AP 6.m: Konzept- und Systemtopologieerstellung für die Integration der KI-Funktionsblöcke aus dem FPGA in den ASIC gab es einen intensiven Austausch mit CANWAY zur Integration der KI-Funktionen. Diese Arbeiten liefen zeitlich parallel zur Evaluierung des ASICS V1. Auf Grund der unterschiedlichen Randbedingungen von ASIC und FPGA können nicht die gleichen Beschleunigerblöcke verwendet werden. Im ASIC werden sogenannte Hardware Accelerator (HWAC) Einheiten integriert, die direkt an den Speicherbus angebunden werden. Diese Einheiten werden von der CPU konfiguriert und arbeiten dann vollständig autonom Teilaufgaben ab. Abschließende Rechnungen die nur wenig Rechenleistung erfordern werden von der CPU ausgeführt. Mit diesem Konzept ist es möglich alle Merkmale mit nur 3 HWACs zu berechnen und die Struktur der Einheiten möglich einfach zu halten. Bei diesem Ansatz wird je nach Merkmal 85 – 99% der Rechenaufgabe durch den Beschleuniger umgesetzt. Die Anbindung der Einheiten ist in Abbildung 7 dargestellt.

Die Recheneinheiten für den FPGA sind komplexer, da diese Einheiten nicht von einer CPU unterstützt werden.

In Projektmonat 16 lag ein Konzept für die Einbindung der KI-Funktionen vor und kritische Aspekte waren geklärt.

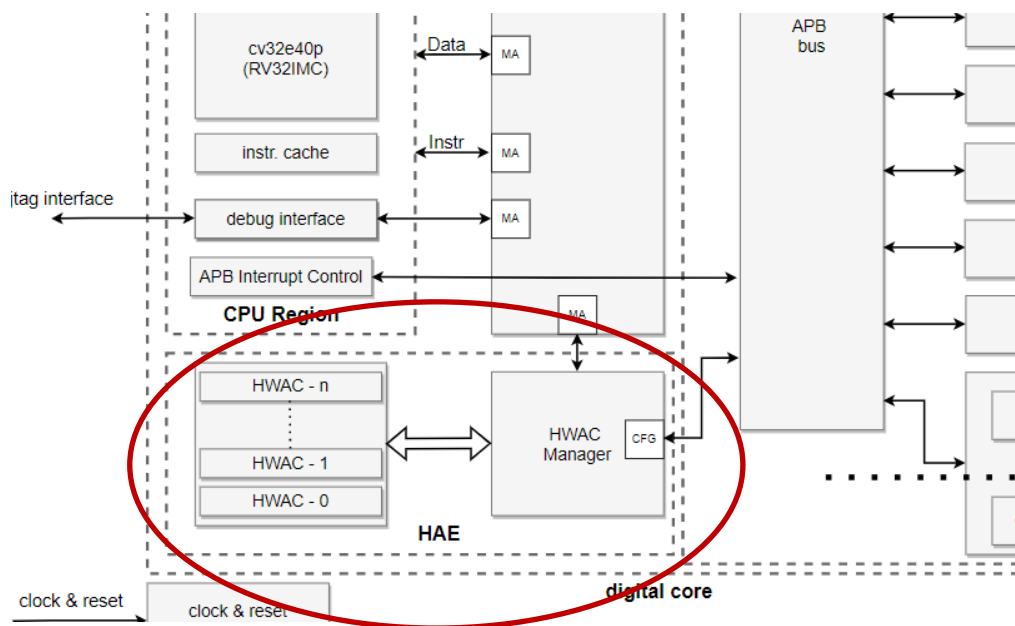


Abbildung 7 - Einbindung der KI-Beschleuniger (HWAC) in das Prozessorsystem; In der ASIC V2 sind 3 Beschleunigereinheiten (FFT, Vector- und Matrix-Beschleuniger vorgesehen)

AP 6.m: Konzept- und Systemtopologierstellung für die Integration der KI-Funktionsblöcke aus dem FPGA in den ASIC (IIS)

Die benötigten Merkmale wurden durch die Universität des Saarlandes definiert und in Matlab umgesetzt. Am Fraunhofer IIS wurden diese Matlab-Funktionen auf C-Funktionen für den Mikrocontroller portiert und von Gleitkommafunktionen auf Festkommafunktionen angepasst. Im nächsten Schritt konnten die Rechenintensiven Schritte identifiziert werden, welche durch Beschleunigereinheiten realisiert wurden. Auf dieser Basis hat sich der Bedarf an vier verschiedenen Beschleunigereinheiten ergeben:

- a. Eine Kopiereinheit, die Daten von einem Speicherbereich in einen anderen kopiert
- b. Eine FFT-Einheit, die eine diskrete, komplexe Fourier-Transformation durchführen kann
- c. Eine grundlegende Matrix-Multiplikationseinheit
- d. Eine grundlegende Vektor-Recheneinheit

Die vier Einheiten wurden in SystemVerilog implementiert.

In Projektmonat 22 waren die KI-Funktionen für die ASIC-Integration vorbereitet und lagen in einer angepassten Version für die ASIC-Integration als Hardwarebeschreibungssprache vor.

Aufteilung der Entwicklung des ASIC V2 in zwei ASICs: ASIC V2 und ASIC V3

Gespräche mit potenziellen Nutzern von Sensor-ASICs zeigten einen hohen Bedarf an Energieeffizienten Sensorinterfaces. Diese Anforderung war im Antrag nicht enthalten. Um die Wirtschaftlichen Erfolgsaussichten zu verbessern, wurde entschieden, die weitere ASIC-Entwicklung auch hinsichtlich Low-Power weiter voranzutreiben. Da die im Projekt benötigten Feature Extraktionen mit einer kleinen Modifikation des ASIC V1 durchführbar sind, wurde zur Risikominimierung die Entwicklung des ASIC V2 auf zwei ASICs aufgeteilt (ASIC V2 und ASIC V3).

Der ASIC V2 soll mit nur kleinen Änderungen im Projekt für Messkampagne 3 verwendet werden. Im **AP 6.p: Redesign der analogen Funktionen für ASIC V2** wurde der Verstärker hinsichtlich Rauschens überarbeitet. Um alle benötigten Feature Extraktionen durchführen zu können wurden im **AP 6.o: Integration der KI-Funktionsblöcke in ASIC V2** die für die FFT benötigten Twiddle-Faktoren bestimmt und im ROM des ASIC V2 hinterlegt. Durch die nur geringe Modifikation wird das Risiko für Messkampagne 3 deutlich reduziert. Zusätzlich ist der ASIC V2 pincompatibel zur Version 1, somit ist ein problemloser Umstieg innerhalb des Projekts gewährleistet.

Der ASIC V3 beinhaltet zum einen die in **AP 6.n: Anpassung und Portierung der KI-Funktionsblöcke vom FPGA für den ASIC-Einsatz** neu entwickelten Hardwarebeschleuniger. Zum anderen wurde der Digitalteil konsequent Richtung Low Power optimiert. Für Digitalteil und Speicher wurden neue Low Power Bibliotheken mit einer niedrigen Versorgungsspannung von nur 1.2V verwendet. Zusätzlich wurde eine Power Management Unit (PMU) entwickelt, die den Chip in einen Low Power Modus versetzen und kontrolliert wieder aufwecken kann. Diese Vielzahl an Änderungen haben ein hohes Risiko zur Folge und führten zur Entscheidung zwei getrennte ASICs zu entwickeln.

Innerhalb **AP 6.q: Erstellung des Schaltungslayouts, Verifikation und Abgabe zur Prototypenfertigung ASIC V2** wurden beide ASICs fertig entwickelt. Die Fertigungsdaten wurden Ende Mai an XFAB übergeben. Die Arbeitspakete 6.o, 6.p und 6.q wurden damit im Mai 2022 abgeschlossen.

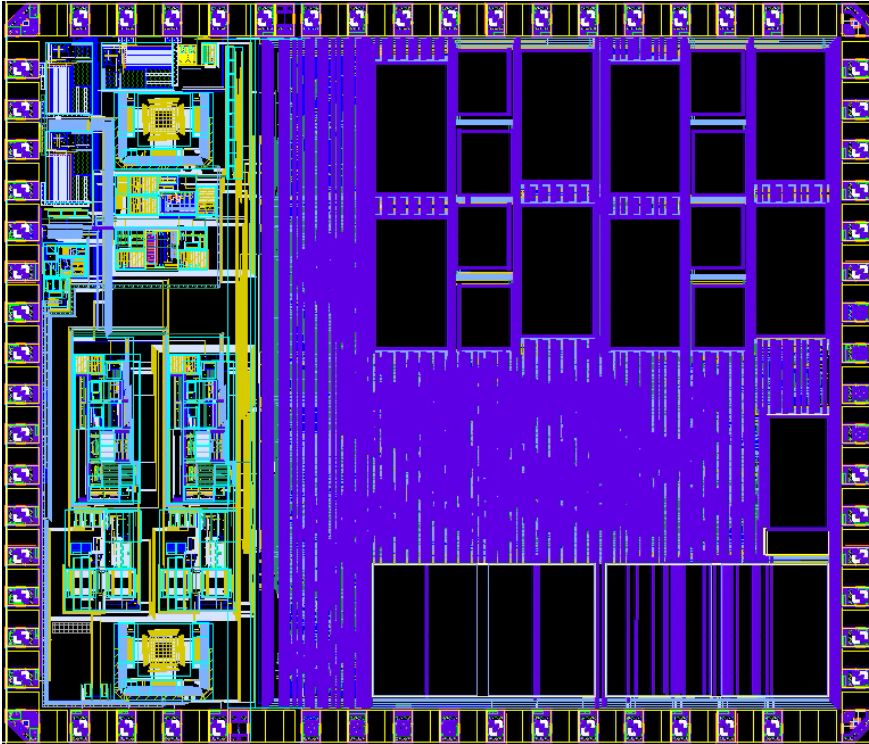


Abbildung 8: ASIC V2, pinkompatibel zu V1 mit rauscharem Verstärker und im ROM hinterlegten Twiddle-Faktoren zur Berechnung der FFT.

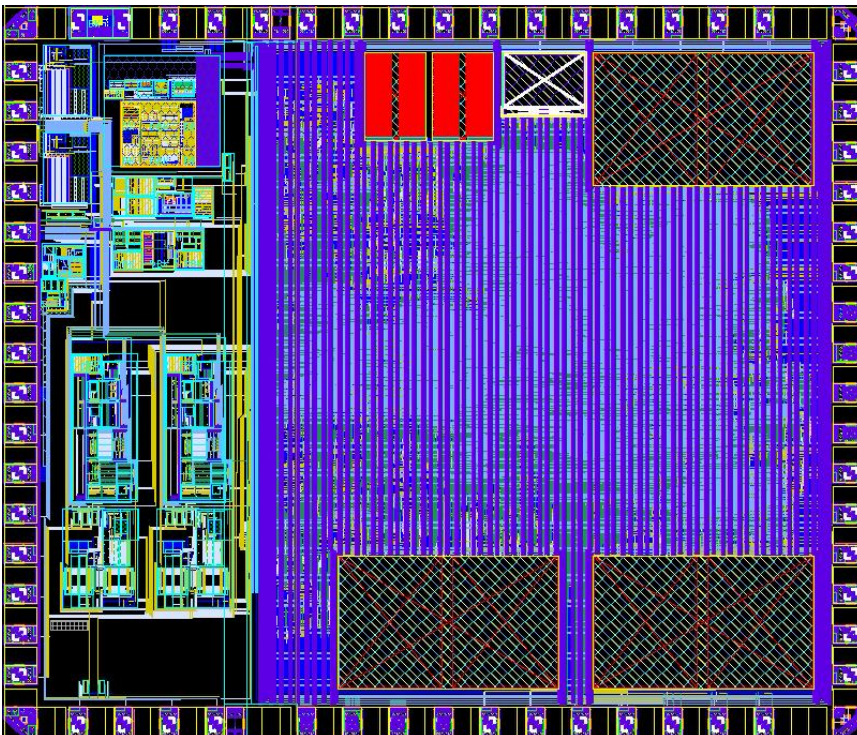


Abbildung 9: ASIC V3, Digitalteil mit Hardware-Beschleunigern und PMU für Low-Power Betrieb.

In **AP 6.r: Verifikation des ASICs V2, Aufbau der Sensorsysteme inkl. Sensoren für die dritte Messkampagne und Testmessungen mit den Sensoren** wurde der ASIC V2 im bereits für den ASIC V1 entwickelten Labor-Serientest evaluiert. Die ASICs wurden für Messkampagne 3 auf die Bondplatinen gebondet und den Partnern zur Verfügung gestellt.

Der ASIC V3 wurde ebenfalls in Betrieb genommen und vermessen. Besonders erfolgreich war die Integration der Hardwarebeschleuniger. Abhängig der zu berechnenden Features liegt die zeitliche Beschleunigung bei Faktor 3,0 bis 4,2. Hierdurch lässt sich die benötigte Leistung um Faktor 2,9 bis 3,9 reduzieren.

Die Low-Power Entwicklung des Digitalteils in Verbindung mit den Hardwarebeschleunigern zeigt bei KIPRED03 eine Reduzierung der Leistungsaufnahme um Faktor 13 bei gerade einmal 20% Geschwindigkeitsverlust.

1.5 AP 7: KI-Algorithmen

Die **Portierung bewährter Lernalgorithmen auf Mikrokontroller und FPGA zur Vorbereitung der zweiten Messkampagne mit Online-Datenanalyse und dazugehörige Spezifikation der benötigten Leistungsfähigkeit (AP7c)** wurde in enger Zusammenarbeit mit CANWAY und der Universität des Saarlandes durchgeführt.

Wie schon in Bericht zu AP6 dargestellt, wurden die Hardwareblöcke für die ASIC in dem **AP7e Ableitung konfigurierbarer Hardwareblöcke für ASICs (insbesondere für universelle Merkmalsextraktion) aus der FPGA-Portierung der Algorithmen** definiert. Im Gegensatz zur Projektplanung war es nicht sinnvoll, im ASIC und im FPGA die gleichen oder ähnlichen Hardwareblöcke zu verwenden. Auf Grund der engen Zusammenarbeit konnte trotzdem ein großer Synergieeffekt erreicht werden und auch die Rechenresultate der verschiedenen Implementierungen wurden gegeneinander und gegenüber der Referenzimplementierung in Matlab verglichen.

Die **Evaluation der Online-Datenanalyse in Messkampagne 2, Erstellung der ML-Modelle für Messkampagne 3 auf ASIC-Basis (AP7f)** führte zur Auswahl der der der ML-Modelle für den ASIC. Die Feature-Berechnung wurde in die Firmware der ASICs integriert und überträgt in MK3 die Feature an das OPC-UA System.

1.6 AP 9: Messkampagne 2

Das Fraunhofer IIS stellt den ASIC V1 für Messkampagne 2 zur Verfügung. Zur einfachen Verwendung wurden Breakout-Boards und eine Firmware bereitgestellt, die es den Anwendern ermöglicht den ASIC V1 in die jeweilige Anwendung zu integrieren und optimal zu konfigurieren. Die Datenübertragung zum FPGA erfolgt per SPI.

HYDAC entschied sich zur besseren Integration der ASICs in ihr Werkzeug eigene PCBs zu entwickeln. Innerhalb **AP 9b: Durchführung und Überwachung der Messkampagne Umformprozess** wurde Hydac bei der Entwicklung der eigenen PCBs unterstützt. Anfang

April 22 wurde ein Breakout-Board mit ASIC V1 sowie 5 weitere ASIC V1 mit flachem Verguss für die eigens entwickelten PCBs zur Verfügung gestellt.

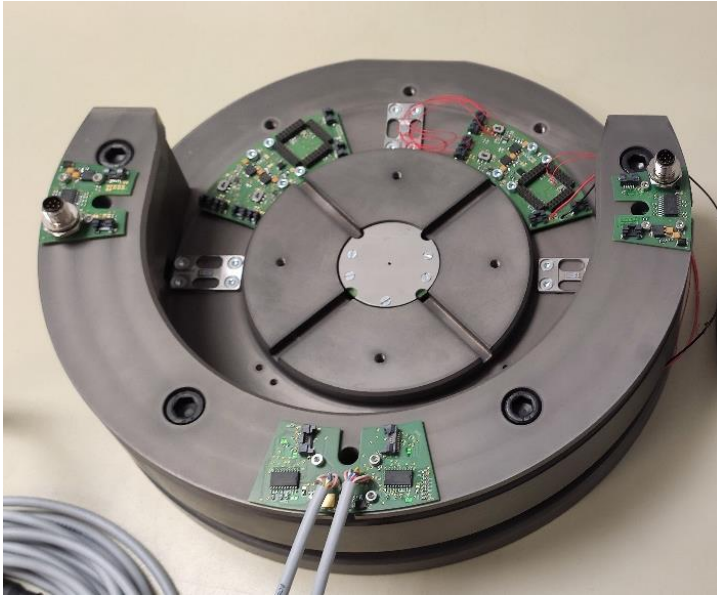


Abbildung 10: HYDAC-Sensorwerkzeug mit Kraftsensor-Platinen

An SNR wurden Anfang Juni 2022 innerhalb **AP 9c: Durchführung und Überwachung der Linearführung-Lebensdauertests** zwei Breakout-Boards mit ASIC V1 sowie ein Laptop zum Betrieb der Sensoren zur Verfügung gestellt. Bei SNR wurde zwischen Messkampagne 1 und 2 eine zusätzliche Verschleißfahrt durchgeführt. Bei dieser sogenannten Messkampagne 1.5 wurde je ein Sensor jeder Kugelkette mit den ASCIS verbunden. Da die Anbindung an den FPGA erst in MK2 geplant war, wurden die Messwerte der ASICs lediglich ab und zu per Hand aufgezeichnet. Diese Daten konnten noch nicht für die Modellbildung in AP7 verwendet werden. Die generelle Eignung der mittels ASICs aufgenommenen Messwerte wurde jedoch von der Universität des Saarlandes bestätigt.

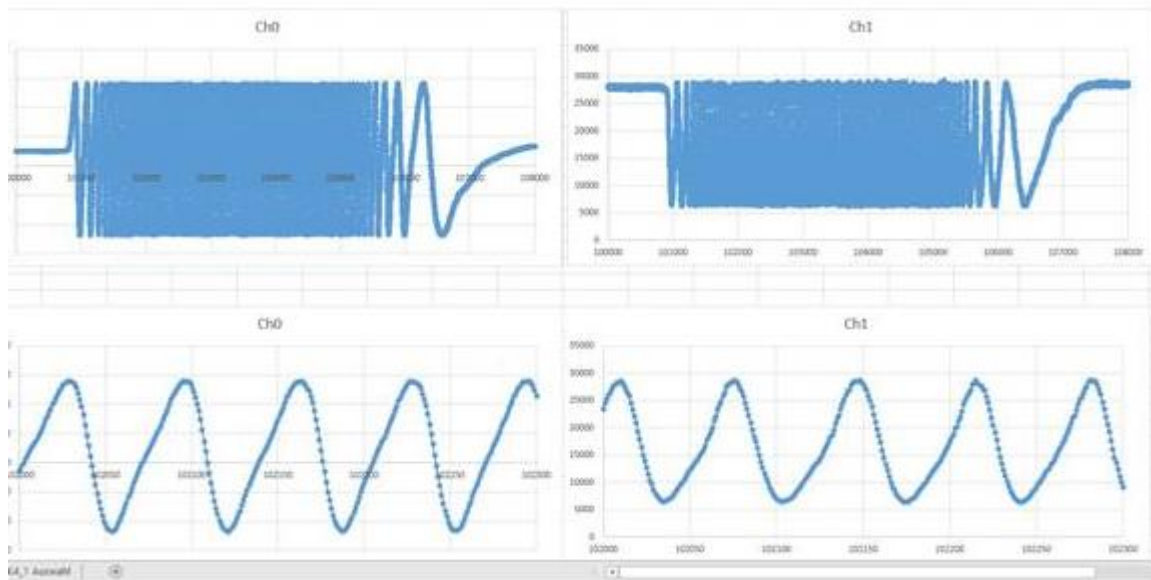


Abbildung 11: Mit ASIC V1 aufgenommenen Signalverläufe

An GFE wurden Anfang November 2022 innerhalb **AP 9a: Durchführung und Analyse Zerspanversuche** drei Breakout-Boards mit ASIC V1 zur Verfügung gestellt.



Abbildung 12: Messaufbau bei GFE. KI-BOBs mit FPGA an PC

Alle Partner wurden bei der Inbetriebnahme der ASICs unterstützt. Die ebenfalls bereitgestellten J-Link Adapter inklusive Software ermöglichen den Anwendern neue Firmware selbständig aufspielen.

1.7 AP 10: Messkampagne 3

Das Fraunhofer IIS stellte den ASIC V2 für Messkampagne 3 zur Verfügung. Zur einfachen Integration in MK3 wurde die von der Universität des Saarlandes definierte Feature Berechnung in die Firmware integriert. Zusätzlich wurde das im Projekt, in Zusammenarbeit mit Canway und Odion, entwickelte OPC-UA Protokoll implementiert. Der ASIC V2 war damit in der Lage nach einem Hardware-Trigger die Messwerte eines Messzyklus aufzunehmen, die Features zu berechnen und an den OPC-UA-Server zu übertragen. Parallel dazu werden die

rohen Messwerte weiterhin an den FPGA übertragen. Hierdurch stehen der Universität des Saarlandes auch in MK3 die Messwerte für weitere Forschungen an der Feature Extraktion zur Verfügung. Abbildung 13 zeigt die Einbindung des ASIC V2 in Messkampagne 3.

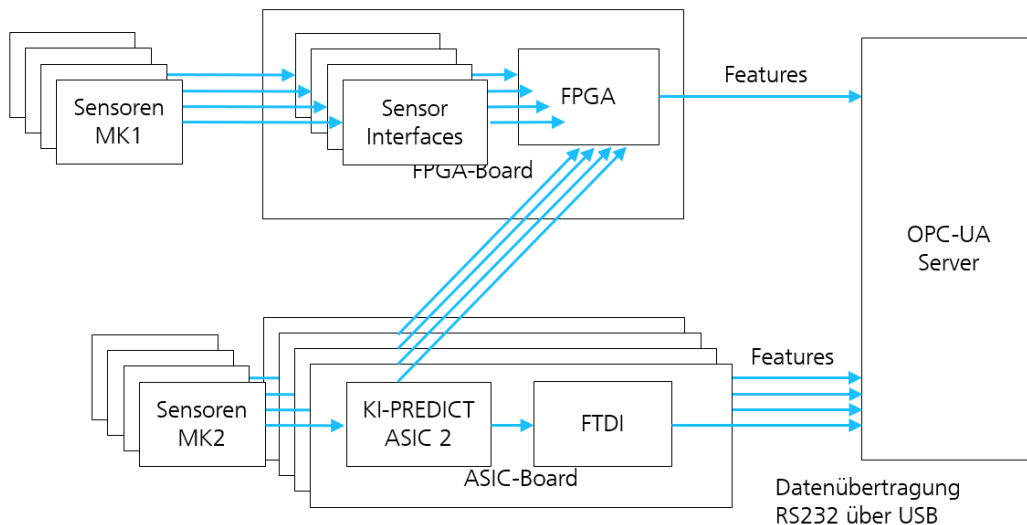


Abbildung 13: Einbindung des ASIC V2 in Messkampagne 3

Zunächst wurden bei SNR die ASIC V2 in der zusätzlichen Verschleißfahrt in Messkampagne 2 in Betrieb genommen. Hiermit wurde die ordnungsgemäße Funktionsweise des ASIC V2 sichergestellt. Anschließend wurde zuerst bei SNR der ASIC V2 mit neuer MK3-Firmware in Betrieb genommen und die Anbindung an den OPC-UA Server demonstriert. Ein Vergleich der Kugelsensor-Messwerte zwischen FPGA und ASIC ist in Abbildung 14 dargestellt. Da zur Feature-Berechnung nur die Messwerte der Hinfahrt verwendet werden, überträgt der ASIC auch nur die Messwerte der Hinfahrt.

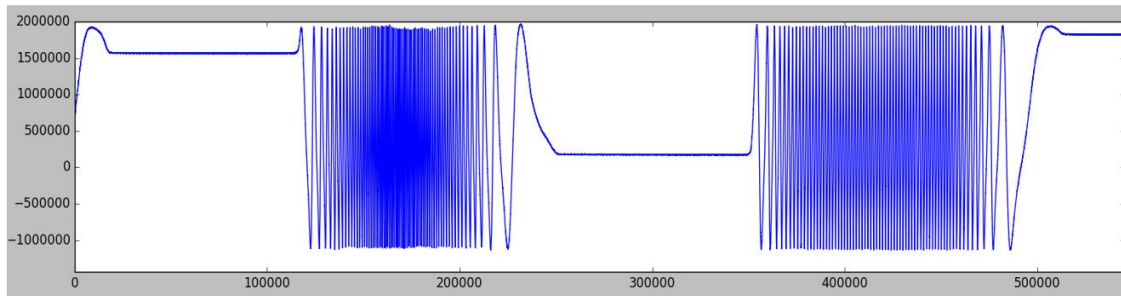
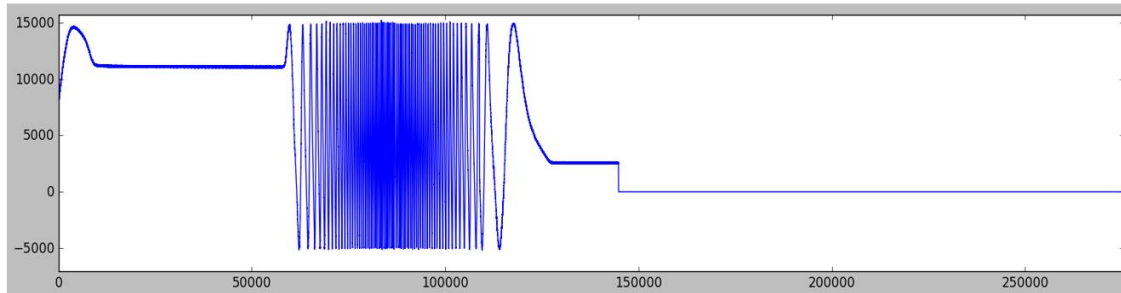
MK3: SNR Kugelsensor 4 am FPGA**MK3: SNR Kugelsensor 12 am ASIC**

Abbildung 14: Vergleich der FPGA und ASIC-Messwerte

Für HYDAC wurden zur Integration der ASICs in das Sensorwerkzeug die Bondplatinen mit dem ASIC V2 mit kurzen Stiflleisten bestückt und wieder flach vergossen. Nach erfolgreicher Inbetriebnahme bei SNR wurde auch bei HYDAC die dritte Messkampagne mit dem ASIC V2 gestartet.