

Vorhaben:

CMOS-TDI-Detektor-Packaging und Integration eines
Fokalebenensystems (Phase 1a - Architekturphase)

Schlussbericht

Förderkennzeichen: 50 PS 2101

Verfasser: Jena-Optronik GmbH

September 2024

I. Kurze Darstellung

I.1 Aufgabenstellung

Aufgabe des Projektes war eine Machbarkeitsstudie für die FPA (Focal Plane Area) eines CMOS-TDI-Sensor. Im Fokus stand die Etablierung eines Entwurfsdesigns, geprüft auf Kriterien der Herstellbarkeit für die nachfolgenden Komponenten:

- Integriertes Detektor-Package
- Schnittstelle Detektor-Chip sowie übrige Fokalebene-Elektronik
- Fokalebene-System auf Basis des CMOS TDI Detektor Package

Die Ergebnisse waren in Spezifikationsdokumenten darzustellen.

Das entworfene Design und die zugehörigen Spezifikationsdokumente sollten in einem Review überprüft werden.

Basierend auf den Voraussetzungen (siehe nachfolgend) wird langfristig ein neuartiges Sensor-Design entwickelt, welches in zahlreichen Herstellungsprozessen die nächste Technologie-Generation nutzt.

Das neue Sensor-Design hat folgende Eckdaten als Ziel:

- Vollintegrierter digitaler Detektor mit Rückseitenbeleuchtung – Back Side Illuminated - (BSI)
- Überlappende Poly II Gates für vollständigen Ladungstransfer
- Hoch-Volt CMOS Prozess für $> 200 \text{ ke- Full Well } [7 \mu\text{m}]$
- Bidirektionales Scannen
- CMOS-CCD & ROIC mit serieller Faserauskopplung
- Aluminium Nitrid (AlN) Gehäuse mit Hybridisierung
- Echtzeit-Korrektur der systematischen Fehler im Detektor
- Digitale Filterung der Bilddaten der Multispektralkanäle in Echtzeit

Das hohe technologische und damit auch unternehmerische Gesamt-Risiko durch die Vielzahl von anspruchsvollen technologischen Schritten war die Motivation für den Start des Gesamtprojektes mit einer Machbarkeitsstudie.

I.2 Voraussetzungen, unter denen das Vorhaben durchgeführt wurde

I.2.1 Organisatorische Voraussetzungen

Mit dem geförderten Projekt wurde ein frühzeitigerer Start der technisch und organisatorisch herausfordernden Arbeiten mit vertretbarem Risiko für die Projektpartner möglich. Das Projektkonsortium bestand aus:

1. DLR OS - Institut für optische Systeme (OS): Konzepte, Spezifikationen, Interface- und Schaltungsentwurf, GSE (Ground Support Equipment) und Test & Verifikation sowie Projektleitung
2. IHP - Leibniz-Institut für innovative Mikroelektronik: Entwickler und Fertiger des ROIC (Read Out Integrated Circuit)
3. IMS - Fraunhofer-Institut für Mikroelektronische Schaltungen: Entwurf und Fertigung der eCCD (Sensor Chip), der Clock-Treiber-Chips und Wafer-Bond-Prozess bzw. Integrationsprozess.
4. Jena-Optronik - siehe Bericht

I.2.2 Technische Voraussetzungen

Die Arbeiten in der Projektphase 1a bauen auf dem bekannten Stand der Technik auf:

- Prinzipien eines TDI-Zeilensensors
- CMOS-Technologie
- Technologien zum Waferbonden
- Technologien zum Drahtbonden
- Vorarbeiten bei DLR OS und IMS zur Entwicklung neuer Dotierungen für bessere opto-elektrische Eigenschaften des Sensors
- Die zukünftigen Integratoren haben - gemäß ihrem eigenen Projektfortschritt - den Input für die zukünftigen Nutzungs-Szenarien und Eckdaten der gewünschten späteren Leistungsfähigkeit beigetragen.
- JOP hat bereits Fokalebene entworfen, gebaut und Space Heritage erworben. Beispiele „Jena Space Born Scanner“ JSS56; Sentinel-4 UV-VIS FPA. Auch die Sternsensoren der „ASTRO“-Produktfamilie sind ein Branchen-Standard.
- Potentielle Zulieferer haben vielversprechende Materialien für die FPA-Strukturen entwickelt, die es zu bewerten gilt.
- Die grundlegenden Aufbau- und Verbindungstechniken sind bekannt und in der Halbleiterindustrie auf hohem technischen Niveau. Die Eignung für Space-Anwendungen ist damit aber noch nicht nachgewiesen. Erschwerend ist auch, dass typische Chips um Größenordnungen kleinere Abmessungen als der angestrebte Bildsensor haben - ein entscheidender Faktor für den erreichbaren Yield.

I.3 Planung und Ablauf des Vorhabens

Das Projekt wurde mit einer Laufzeit von sechs Monaten geplant und mit einer Ausnahme auch realisiert. Die bekannten Covid Einschränkungen haben beim ausgewählten Lieferant für den keramischen Carrier zu einer verspäteten Lieferung geführt. Für die geplante Bewertung der Teile hat JOP deshalb eine kostenneutrale Verlängerung um einen Monat beantragt, welche durch den Projektträger auch genehmigt wurde. So konnten alle geplanten Arbeiten erfolgreich abgeschlossen werden.

Auch die Auswirkungen des Brexits haben zu erheblichem organisatorischem Mehraufwand für das Arbeitspaket optischer Link geführt, da hier auf ein britisches Produkt zurückgegriffen wurde.

Das Projekt wurde in Arbeitspaketen gemäß dem Antrag ausgeführt. Die geplanten Meetings einschließlich Kick Off und Abschluss Meeting sowie Reviews wurden unter Teilnahme des Projektträgers, des Projektkonsortiums und der zukünftigen Kunden und Integratoren durchgeführt und deren Feedback so weit wie möglich in die laufenden Arbeiten einbezogen.

Das Projekt fand unter Covid-Bedingungen statt und zahlreiche Interaktionen konnten deshalb nur online erfolgen, was letztlich aber durch intensive Vor- und Nachbereitung keine bleibenden negativen Einflüsse auf das Ergebnis hatte.

I.4 Wissenschaftlicher und technischer Stand, an den angeknüpft wurde

I.4.1 Angabe bekannter Konstruktionen, Verfahren und Schutzrechte, die für die Durchführung benutzt wurden

Die Zielvorgaben des Projektes wurden unter Führung des DLR OS erarbeitet. Berücksichtigt wurden die Spezifikationen der bekannten Produkte der internationalen Hersteller und die bekannten Forschungsergebnisse. Siehe dazu u.a. die Präsentation des DLR OS zum Kick Off Meeting.

Die wichtigsten Daten sind im Antrag beschrieben:

Die grundlegenden Arbeiten zu dieser Technologie wurden in den 1980er Jahren durchgeführt. Auf Grund der technologischen Herausforderungen wurde ein erstes System auf Basis von NMOS-CCD-Strukturen (N-Type Metal Oxide Semiconductor - Charge Coupled Device) in den 1990er Jahren in der Raumfahrt verwendet. Die Firma Digital Globe startete 2001 mit den Satelliten QuickBird die kommerzielle Verwendung dieser Technologie.

Seit 2014 wurde NMOS in CMOS Prozess überführt.

Die Firmen Teledyne, IMEC, L3-Harris und Raytheon arbeiten ebenfalls an der Überführung der TDI-Technologie in den CMOS-Prozess. Nachteilig bei all diesen Ansätzen ist, dass man bei der Umsetzung der TDI-Technologie im CMOS-Prozess meist eingeschränkt ist: So wird z. B. die Technologie im Digitalen umgesetzt und somit ein hoher Rauschanteil generiert oder man arbeitet in der Ladungsdomäne, kann aber nur eine zu geringe Elektronenzahl speichern oder man kann die Ladung auf Grund der fehlenden Überlappung der Gates nur diskontinuierlich transportieren.

Basis ist auch die Weiterentwicklung der CMOS-TDI-Sensorik von IMS und DLR-OS auf Basis 350 nm CMOS-Prozess.

I.5 Angaben der verwendeten Fachliteratur sowie der benutzten Informations- und Dokumentationsdienste

Für die Recherche bestehender Patente wurde der Webservice „DEPATISNET“ des DPMA (Deutsches Patent und Markenamt) intensiv genutzt.

I.6 Zusammenarbeit mit anderen Stellen

Die Arbeitspakete der JOP waren abgestimmt mit den Arbeiten der anderen Projektpartner im Konsortium (DLR OS, IMS, IHP). DLR OS hat das Konsortium in dieser Projektphase geleitet. Basis der Arbeiten war der Konsortialvertrag der Projektpartner.

Die Aufgabenstellung und auch die regelmäßige Auswertung der Arbeitsergebnisse erfolgte im engen Austausch mit dem zukünftigen Kunden und Integratoren für die nachfolgenden Phasen.

Geplant war, alle 2 Monate Präsenzmeetings bei den Partnern durchzuführen. Einige der Meetings mussten wegen der jeweiligen Covid-Bestimmungen online durchgeführt werden.

Das Reporting erfolgte mit Einladung DLR RA im Rahmen des oben genannten Konsortiums. Der Zwischenbericht wurde an DLR RA übergeben.

II. Eingehende Darstellung

II.1 Verwendung der Zuwendung und des erzielten Ergebnisses im Einzelnen, mit Gegenüberstellung der vorgegebenen Ziele

Das Projekt wurde bei JOP in 5 Arbeitspakete untergliedert. Entsprechend der Projektorganisation bei JOP wird ein Projekt durch den Projektleiter (AP120) und den Systemingenieur (AP110) betreut.

II.1.1 Detektor-Package (AP 6100)

Im Arbeitspaket wurde die Machbarkeit für das Packaging des Detektors überprüft. Packaging ist das dauerhafte mechanische und elektrische Verbinden einschließlich der Vorbereitung der Komponenten, z.B. das Trennen der Wafer in einzelne Chips. Das Packaging erfolgt in den Schritten Aufbau inklusive Justage, Inbetriebnahme und Test der Komponenten.

Befestigung des Sensors-Chips auf dem Carrier; Befestigung des Filters auf dem Sensor oder alternativ einem Bevel des Detektors sowie Befestigung der weiteren elektronischen Komponenten, jeweils inklusive Justage und Kontaktierung. Es wurden verschiedene Montage-Reihenfolgen und deren Auswirkung auf die Genauigkeit untersucht. Die erforderlichen Genauigkeiten (1/3 Pixel-Größe) für die Justage sind voraussichtlich erreichbar.

Bewertet (optische Prüfung, Röntgen, optische Analyse der Fehlerstellen) wurden die Klebungen von Si-Chip auf Carrier und Filter auf Si-Chip. Die Herstellbarkeit ist grundlegend gegeben (siehe Abbildung 1), das nicht optimale Dummy-Silizium hat allerdings zu Voids (Fehlstellen) in der Filterklebung geführt. Die störenden Strukturen werden beim späteren Chip nicht vorhanden sein. Gemessen wurden die Qualität und Maßhaltigkeit der Klebungen Si-Chip auf dem Träger.



Abbildung 1: Demo-Carrier mit Dummy-Chip und Dummy-Filter

Entwurf der Justage-Kette: Es wurden verschiedene Justage-Marken Designs entworfen und die Realisierbarkeit überprüft. Die Geometrie der Marken im Carrier ist mit der geforderten Genauigkeit nur mit hohem Aufwand herzustellen. Die **Definition der Träger-Keramik** erfolgte nach den Ergebnissen der thermischen Simulation. Es wird im Ergebnis die Verwendung von amorphem SiC (Silicium Carbid) vorgeschlagen. Der Wärmedehnungskoeffizient ist gut an Silizium angepasst und die Wärmeleitung ausreichend gut. Das ursprünglich vorgesehene AlN hat eine deutlich bessere Wärmeleitung, ist aber in den anderen Parametern (CTE - Wärmedehnung, Kosten, nationale Verfügbarkeit, ...) unterlegen.

Für die **Anbindung / Kontaktierung** wurden zunächst Vias durch den Keramik-Träger geplant. Deshalb wurden auch Test-Vias in den Dummy-Träger integriert und die Herstellbarkeit bewertet. Das Gesamtkonzept, welches Vias bedingt, wurde dann aber auf Basis der Erkenntnisse aus der thermischen Simulation und der aufwendigen Herstellung letztlich verworfen. Im neuen Konzept werden die Komponenten über Wire-Bonds verbunden (siehe Abbildung 2).



Abbildung 2: Demonstrator LTCC mit Wire Bond auf Stirnseite der LTCC

Nach der Bewertung verschiedener Leiterplattenkonzepte wird vorgeschlagen, mehrere LTCC (Low Temperature Co-Fired Ceramic) zu verwenden. Mit dieser Leiterplattentechnologie ist eine räumlich sehr kompakte Verdrahtung zu senkrechten Leiterplatten möglich. Dies wurde zunächst an einem Demonstrator nachgewiesen, an dem auch mehrere Varianten der elektrischen Anbindung bewertet wurden.

Die Ergebnisse sind in der Technical Note Wire Bonden dokumentiert (CTD-JOP-TN-3103).

Die **Justiermarken** wurden für den Chip definiert und mit den Projektpartnern abgesprochen.

Die Anbindung des optischen Interfaces auf der Rückseite des Carriers erforderte zunächst die zuvor beschriebenen Vias und thermisch sehr nachteilige Durchbrüche in der Keramik. Auch der Platzbedarf verfügbarer Links hätte den Carrier vergrößert und damit gegen eine zentrale Forderung der Integratoren verstoßen. Die Platzierung war zu Projektende auf einer senkrecht stehenden Leiterplatte vorgesehen (siehe Abbildung 3).

Das Konzept für den Detektor wurde im Projekt laufend weiterentwickelt.

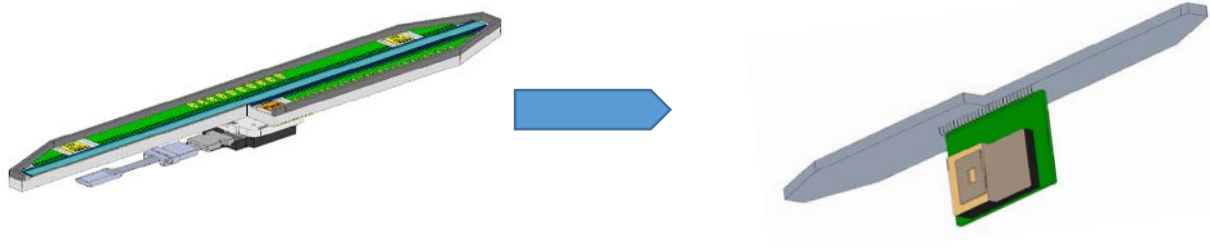


Abbildung 3: Weiterentwicklung Konzept Detektor

Zusammenfassung Erkenntnisse Detektor Package:

- 1 Der Faserabgang des optischen Link ist bei allen verfügbaren Komponenten mit Space-Eignung horizontal. Es empfiehlt sich, den optischen Link deshalb senkrecht zum Sensor anzuordnen.
- 2 Für die geforderten $\pm 1\text{K}$ maximaler Temperaturunterschied ist ein vollflächiger Kontakt zu einem sehr gut wärmeleitenden Carrier erforderlich. Durchbrüche und Zwischenlagen sind zu vermeiden.
- 3 Das Design des MCM wurde von den Projektpartnern so geändert, dass Treiber stirnseitig mit hoher Packungsdichte und guter Wärmeableitung der PCB (Printed Circuit Board) erforderlich sind. Eine Mehrlagen LTCC ist dafür ein guter Kompromiss. Mit der LTCC kann auch eine ergänzende Leiterplatte in senkrechter Richtung (mit dem optischen Link) relativ einfach verbunden werden.
- 4 Mit dem vorgeschlagenen Design kann die Breite des Detektors fast auf die Breite des Sensors-Chips reduziert werden - eine wesentliche Forderung der zukünftigen Integratoren.

Neben dem Detektor-Package wurde im Arbeitspaket die Realisierbarkeit eines **tunable Filters** (in der optischen Bandbreite einstellbar) bewertet. Aus den bekannten Prinzipien [AA12] erweisen sich Filter nach dem Lyot-Prinzip und Fabry-Perot-Interferometer (FPI) als anwendbar. Für Letztere gibt es erste Anwendungen in der Raumfahrt, allerdings in wesentlich kleineren Dimensionen. Mit einem potentiellen Hersteller wurde die prinzipielle Anwendbarkeit für das Projekt bewertet und bestätigt.

Für die Standardfilter wurde die Montage auf dem Carrier und potentielle Herstellungsverfahren einschließlich der Ausbeuten betrachtet. Da sowohl die Herstellung von Filtern und auch der Sensor-Chips bei den angestrebten Dimensionen einen nicht zu vernachlässigenden Yield (Ausbeute) unter 100% haben, sollte eine einzelne Überprüfung („Sorting“) vor der Montage angestrebt werden.

Alle Ergebnisse zu den optischen Filtern wurden in einer Technical Note (CTD-TN-JOP-3100) dokumentiert.

II.1.2 Systemdesign Schnittstellen (AP6200)

Im Arbeitspaket wurden elektronische Schlüsselkomponenten und die erforderlichen Interfaces betrachtet und auf Realisierbarkeit geprüft.

Für den Detektor wird ein space-tauglicher **Flash-Controller** benötigt. Er kommuniziert die Daten von einem nicht flüchtigen Speicher (NVRAM) zum ROIC -Teil des Sensors. Der Controller wurde in einem Hersteller-unabhängigen VHDL-Code programmiert und auf einem FPGA-Demo-Board NanoXplore NG-Medium getestet.

Die Arbeiten begannen mit Bauteil-Recherchen. Der Controller konnte in einem Test-Environment mit drei verschiedenen, potentiell zu nutzenden, NVRAM (Cypress S25FL256L, ISSI IS25LP128, Avalanche AS3016204 (MRAM)) mit vollem Systemtakt kommunizieren. Der Controller Core unterstützt alle Basis-Befehle für Schreiben / Lesen (Read, Fast Read, Page Program, Block/Sector/Chip Erase, Status).

Das Test Environment mit Daten Generieren und Prüfen wurde erfolgreich in FPGA integriert, ebenfalls die Ansteuerung via USB-to-Serial Verbindung. Der FPGA Controller mit SPI Flash/MRAM wurde simuliert intensiven Test in Hardware unterzogen.

Für die **Recherche zum optical Interface** wurden mehrere Anbieter-Konzepte mit Space Heritage verglichen. Ziel ist die Übertragung der Bilddaten mit bis zu 5Gbps.

Die Vorversuche wurden mit einem Microsemi PolarFire MPF300TS-1FCG1152I auf Evaluation Kit durchgeführt. Eine EGSE wurde erstellt. Es wurden verschiedene Testmuster generiert und das Augen-Diagramm vermessen (siehe Abbildung 4).

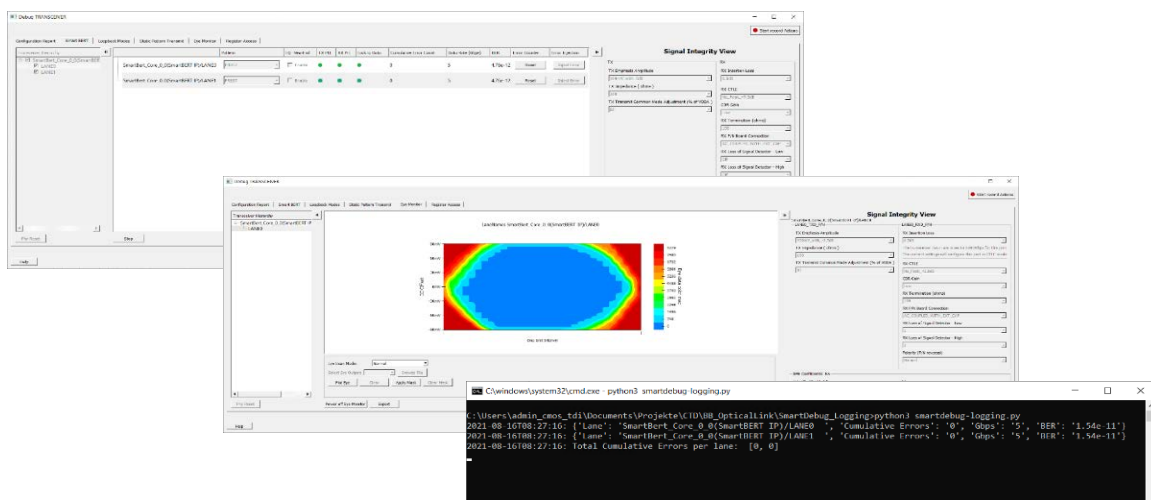


Abbildung 4: Gemessenes Augendiagramm

Im Arbeitspaket erfolgte die konzeptionelle Auslegung der elektronischen Schnittstellen zwischen Detektorchip, ROIC und Detektor-Package und für das Schaltungskonzept der Camera Control Unit (CCU). In diesem Zusammenhang entstand auch die Technical Note: Galvanically Isolated LVDS Interface (CTD-JOP-TN-3101).

Für die Stromversorgung des Sensors wurde ein Powering Konzept erarbeitet. Die Ergebnisse sind in der Technical Note Sensor Powering Hierarchy dokumentiert.

II.1.3 FPA-Mechanikentwurf AP6300

Gemäß der initialen Spezifikation wurde ein erstes **Designkonzept zur Fokalebene mit 3 x 7 Detektorzeilen** erstellt. 3 Sensoren in ACT-(Across Track) Richtung erhöhen die Auflösung der FPA durch mehr Pixel.

Es wurden Carrier für die einzelnen CMOS-TDI-Sensoren definiert. Zunächst entstand auf Basis bekannter Vorarbeiten ein ebenes Konzept mit einer großen FPA-Basisstruktur und einem Carrier pro Sensor.

Für die Materialien der Strukturen wurden umfangreiche Recherchen zu den sinnvollen Materialkombinationen durchgeführt. Insbesondere wurde bewertet: Elastizitätsmodul des Materials, Wärmeleitfähigkeit und Anpassung des CTEs. Als guter Kompromiss stellte sich amorphes SiC (Silizium Carbid) heraus. Dieses Material kann aus Pulver durch Sintern und nachfolgende mechanische Bearbeitung in den erforderlichen Geometrie hergestellt werden.

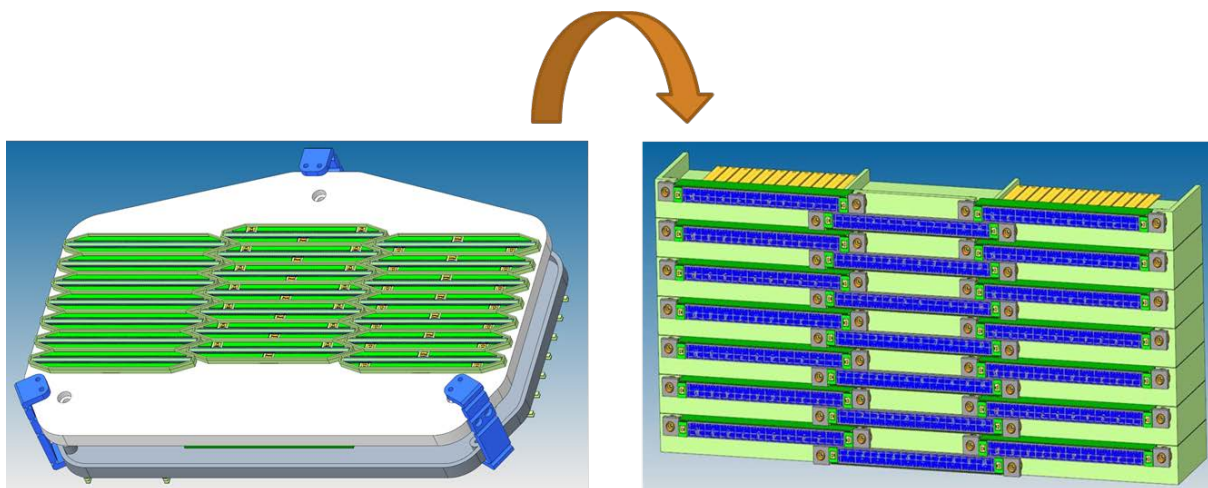


Abbildung 5: Entwicklung des FPA-Design -
Links: initiale Variante, rechts: optimierte Variante zum Projekt Ende

Mit der entwickelten speziellen „Schiffchen“ Form kann ein sehr guter Überlapp der einzelnen Sensoren bei hoher Packungsdichte erreicht werden. Diese Schiffchen sollten durch Kleben nach Justage auf einer FPA befestigt werden. Dieses Design ist sehr kompakt, hat aber Nachteile beim Service. Die Detektor-Module sind im Service-Fall nicht zerstörungsfrei lösbar.

Für alle relevanten Komponenten wurden Toleranzketten betrachtet und Anforderungen zur Tolerierung der einzelnen Teile abgeleitet. Bei der geforderten Kompaktheit der FPA wurde der optische Link auf der Rückseite jedes Carriers vorgesehen, was aber Ausbrüche und damit eine nicht homogene thermale Anbindung bedeutet. Dies wurde durch die thermalen Bewertungen gezeigt.

Für die elektronischen Verbindungen und insbesondere das Glasfaser-Kabel des optischen Links (muss mit Mindeststrahlen verlegt werden) wurden erste Konzepte entworfen. Alle kommerziell verfügbaren optische Link-Bausteine (mit Tauglichkeit für Raumfahrt-Anwendungen) verfügen über einen horizontalen Faserausgang. Die Verlegung der Fasern in der Ebene zwischen den eng gepackten Carriern erwies sich als kritisch. Im Projekt wurde deshalb recherchiert, dass vertikale Faserabgänge nur als Kundenwunsch realisiert werden und damit auch keine Links mit Space-Heritage vorliegen.

Für die Justage der Carrier wurden Justiermarken auf den Sensor-Chips vorgeschlagen.

Die Ergebnisse sind im Detail in der Technical Note FPA-Konzeptdesign (CTD-JOP-TN-3105) dokumentiert.

Es wurde ein **Thermalmodell der gesamten FPA** mit Carriern erstellt und für mehrere Optimierungen und Fragestellungen verwendet:

- Homogenität der Temperatur über den gesamten Sensor als das wichtigste Kriterium für die Einhaltung der Leistungsparameter unter Einfluss der erwarteten Wärmelasten
- Einfluss der Eigenschaften potentieller Konstruktionsmaterialien für Carrier und FPA
- Einfluss von funktionalen Öffnungen im Carrier (für die rückseitige Montage des optischen Link)
- Einfluss der Spitzenwinkel der Carrier (Geometrie der Spitze des Schiffchens).

Die Ergebnisse wurden in einer Technical Note dokumentiert: CTD-JOP-TN-3106 .

Der Sensor soll laut Konzept durch eine **CCU (Camera Control Unit)** kommandiert werden. Für den zentralen FPGA wurden mehrere Produkte unterschiedlicher Hersteller auf Ihre Eignung bewertet und dann auf Evaluation-Boards im Labor eingehend untersucht. Der VHDL-Code wurde herstellerunabhängig geschrieben. Es konnte nachgewiesen werden, dass alle untersuchten Funktionen mit vollem Systemtakt arbeiten. Der SPI Flash Controller Core unterstützt alle Basis-Befehle für Schreiben / Lesen (Read, Fast Read, Page Program, Block/Sector/Chip Erase, Status).

Für die dauerhafte Speicherung von Daten war ein **nicht flüchtiger Speicher (NVRAM)** vorgesehen. Zunächst wurden drei NVRAM unterschiedlicher Hersteller und mit unterschiedlichen Speicherprinzipien (Flash und MRAM) bewertet (Cypress S25FL256L, ISSI IS25LP128, Avalanche AS3016204 (MRAM)). Wegen des besten Preis-Leistungsverhältnis wird der ISSI-Chip zur weiteren Verwendung vorgeschlagen.

Im Rahmen des Arbeitspaktes wurde die technische Spezifikation des Systems zusammen mit den Projektpartnern im Konsortium und den zukünftigen Kunden und Integratoren fortgeschrieben.

II.2 Wichtigste Positionen des Zahlenmäßigen Nachweises

Der rechnerische Verwendungsnachweis folgt der eingangs beschriebenen Aufgabenstellung. Folglich spiegeln sich die Erstellung der FPA Machbarkeitsstudie des CMOS-TDI-Sensors und die Entwicklung eines Entwurfsdesigns in der Gesamtvorkalkulation in 344.597,50 € vorgegebenen Personalkosten und 33.266,00 € Materialkosten wider. Diese Positionen bilden den Großteil der unmittelbaren Vorhabenskosten.

II.3 Notwendigkeit und Angemessenheit der geleisteten Arbeit

Die geleisteten Arbeiten wurden auf Basis einer abgestimmten Aufgabenstellung erledigt. Die Abstimmung erfolgte mit den zukünftigen Integratoren und Kunden sowie den Konsortialpartnern.

Die Durchführung der Machbarkeitsstudien hat maßgeblich dazu beigetragen, die Spezifikation für das Gesamtsystem zu verbessern, den Gesamt-Projektplan zu optimieren und Risiken für nachfolgende Projektphasen zu verringern.

II.4 Voraussichtlicher Nutzen, insbesondere der Verwertbarkeit des Ergebnisses im Sinne des fortgeschriebenen Verwertungsplanes

Die Projektergebnisse sind bereits in die Spezifikation und Projektplanung der direkt anschließenden Projektphase zur Technologie-Demonstration eingeflossen. Die Ergebnisse haben zunächst dazu beigetragen, die weiteren Entwicklungsziele realistisch zu formulieren. Die späteren Kunden und Projektpartner profitieren ebenfalls in Ihren Planungen von den Ergebnissen der Machbarkeitsstudien. Mittelfristig kann Jena-Optronik neue Kamerasysteme am Markt anbieten, die in wesentlichen Parametern (Bildauflösung, Bildqualität, Integrationsfähigkeit) deutlich leistungsfähiger und zugleich in der Beschaffung preiswerter sind.

II.5 Während der Durchführung des Vorhabens dem ZE bekannt gewordene Fortschritt auf dem Gebiet des Vorhabens bei anderen Stellen.

Im Zeitraum der Projektdurchführung gab es keine neuen Erkenntnisse zu Projektfortschritten bei anderen Stellen - abgesehen von den Projektpartnern im Konsortium.

II.6 Erfolgt oder geplante Veröffentlichungen des Ergebnisses nach Nr. 11

Offen gelegt werden im erforderlichen Rahmen und den üblichen Zeiträumen die Daten für ein eingereichtes Patent-Antragsverfahren ("Modular Focal Plane Array" - Aktenzeichen P 084 0041).

Inhalt der geförderten Arbeiten war eine Machbarkeitsstudie. Eine umfassende wissenschaftliche Kommunikation ist erst sinnvoll, wenn nach der Machbarkeit von Modulen und Technologien auch Ergebnisse zu den Modulen und Technologien vorliegen. Diese entstehen aktuell in der nachfolgenden Phase.