Sachbericht zum Verwendungsnachweis

Teil I: Kurzbericht

Verbundprojekt:	Hochauflösende Zeilenkamera zur schnellen optischen Prüfung bewegter Dokumente mit Feedback-Loop (FASTDOC)
Teilprojekt:	Entwicklung eines neuartigen Zeilensensors
Förderprogramm:	Photonik für die digital vernetzte Welt
Förderkennzeichen:	13N16324
Durchgeführt von	iC-Haus GmbH Am Kuemmerling 18 55294 Bodenheim
Projektlaufzeit:	01.07.2022 - 31.12.2024
Projektleiter:	Dr. Heiner Flocke

GEFÖRDERT VOM
Bundesministerium
für Bildung
und Forschung

Das diesem Bericht zugrundeliegende Vorhaben wurde mit Mitteln des Bundesministeriums für Bildung und Forschung (BMBF) unter dem Förderkennzeichen 13N16324 gefördert.

Die Verantwortung für den Inhalt der Veröffentlichung trägt der Autor.

Autor(en):

Dr. Heiner Flocke, Dr. Tobias Eichhorn, Robert Maic (iC-Haus GmbH)

1. Ursprüngliche Aufgabenstellung

Die Aufgabe im Projekt bestand darin, eine neuartige, hochauflösende Zeilenkamera zur schnellen optischen Prüfung bewegter Dokumente mit Feedback-Loop zu entwickeln. Mit dieser neuartigen, photonischen Lösung sollten z. B. Banknoten mit einer Geschwindigkeit von > 10 m/s überprüft werden können. Im Rahmen des Projektes musste ein neuartiger Zeilensensor entwickelt werden, sodass das Pixel-Gap erstmals vollständig eliminiert wird. Gleichzeitig musste die Datenrate des Outputs deutlich erhöht werden, um die höhere Pixeldichte effizient nutzen zu können. Letztlich sollte ein Kontrollsystem entwickelt werden, welches mit deutlich höherer Präzision Verschmutzungen oder Fehler auf Geldscheinen oder anderen Dokumenten erkennen kann als bisherige Lösungen.

2. Wissenschaftlicher und technischer Stand, an den angeknüpft wurde

Zeilenkameras wurden hauptsächlich als CCD- und NMOS-Sensoren realisiert, die zunehmend durch CMOS-Sensoren abgelöst wurden. CCD- und NMOS-Sensoren verfügen dabei über grundlegende Nachteile, welchen einen Einsatz in dieser und in vergleichbaren Applikationen ausschließen:

Bestehende CMOS-Sensoren bspw. der Firma Hamamatsu mit entsprechender Ausleserate verfügten nur über einen Farbkanal. Toshiba, führender Hersteller von Zeilenkameras, verfügte über keine entsprechenden CMOS-Sensoren. Kameras mit CMOS-Sensoren, wie bspw. die Piranha XL der Firma Teledyne, verfügten nur über unzureichende Linienraten im Bereich 70 kHz (angestrebt sind 130 kHz).

Der Stand der Technik im Bereich Dokumentenprüfung wurde durch die Zeilenkamera NotaScan zur Bewertung der Umlauffähigkeit (Verschmutzung, Risse, etc.) des Partners G+D repräsentiert. NotaScan nutzte hierzu bereits Zeilensensoren des Partners iC-Haus.

Auch im Bereich der wissenschaftlichen Forschung bestimmten die Partner den Stand der Wissenschaft, aber keines der bis dahin durchgeführten Projekte hatte die Entwicklung eines neuartigen, hochauflösenden Zeilensensors ohne Pixel-Gap zur schnellen optischen Prüfung bewegter Dokumente mit Feedback-Loop als Ziel.

3. Ablauf des Vorhabens

Das Vorhaben war auf eine Laufzeit von 2,5 Jahren ausgelegt und wurde in sechs Hauptarbeitspakete unterteilt. Zunächst sollte auf Basis von Recherchen und Vorversuchen ein Gesamtkonzept erarbeitet werden. Im Anschluss daran sollte die Erforschung neuartiger optischer Sensoren und die Erforschung der Latenzreduktion folgen. Die Leitung dieser beiden Arbeitspakete hatte iC-Haus inne. G+D war für die Arbeiten zur Erforschung der Feedback-

Schleife und für ein echtzeitfähiges Kontrollsystem zuständig. iC-Haus war an diesen Arbeitspaketen begleitend im Rahmen der Abstimmung beteiligt. Im Arbeitspaket 6 wurden dann gemeinsam Labor- und Feldversuche durchgeführt.

Die Projektplanung konnte zum größten Teil eingehalten werden. Die Ziele im Antrag wurden überwiegend erreicht. Mit den als Zeilen-Module im Förderprojekt entwickelten Demonstratoren sind die Voraussetzungen für eine anschließende Industrialisierung und Umsetzung als Serienprodukt entstanden.

4. Wesentliche Ergebnisse

Es wurde ein Zeilensensor-Chip entwickelt, prozessiert und gemessen. Der Zeilensensor-Chip besteht aus vier Pixelclustern mit 5 x 37 Pixeln. Die Breite der Fotodioden und der Pixel wurde im Layout auf 100 µm reduziert und es konnten 5 Pixel im Layout für unterschiedliche Farbfilter übereinander platziert werden. Die Ausgabefrequenz wurde auf 30 MHz gesteigert und die Pixel der vier Cluster können parallel ausgegeben werden. Dadurch wird als kürzeste Auslesezeit aller Pixel 7,8 µs erreicht. Das Image-Lag konnte durch Hilfsströme im Integrator reduziert werden. Jedoch wird durch die Hilfsströme das Fixed-Pattern-Noise des Zeilensensors deutlich erhöht und von der Integrationszeit abhängig. Daher werden für eine Industrialisierung weitere Untersuchungen erforderlich. Da der gemessene Image-Lag aber nicht zu groß ist, kann dieser auch durch Kalibrierfunktionen der Software reduziert werden.

Im Laboraufbau wurde an einem Zeilensensorchip gezeigt, dass Eigenschaften des Chips wie Image-Lag, Offset, Noise, Fixed-Pattern-Noise und Linearität automatisch gemessen werden können, wobei Stellgrößen, wie Belichtung und Integrationszeit, über Software automatisch geregelt werden. Die automatischen Messungen können dann im fertigen Kameramodul für Selbsttest und Kalibrierung verwendet werden.

Kameramodule wurden als Demonstratoren erfolgreich aufgebaut, bei denen 8 Zeilensensor-Chips mit aufgeklebten Farbfiltern in Mäanderform montiert sind. Die Kameramodule konnten im Labor erfolgreich in Betrieb genommen werden und wurden anschließend dem Partner Giesecke + Devrient GmbH Currency Technology zur weiteren Untersuchung zur Verfügung gestellt.

Es wurde gezeigt, dass der Zeilensensorchip in der Einzelmessung und auch auf dem Modul mit 8 Zeilensensorchips in Mäanderanordnung erfolgreich funktioniert.

5. Zusammenarbeit mit anderen Stellen

Im Rahmen des Projektes arbeitete iC-Haus mit dem Partner Giesecke + Devrient GmbH Currency Technology zusammen. Eine Zusammenarbeit mit anderen Stellen darüber hinaus fand nicht statt.

Sachbericht zum Verwendungsnachweis

Teil II: Eingehende Darstellung

Verbundprojekt:	Hochauflösende Zeilenkamera zur schnellen optischen Prüfung bewegter Dokumente mit Feedback-Loop (FASTDOC)
Teilprojekt:	Entwicklung eines neuartigen Zeilensensors
Förderprogramm:	Photonik für die digital vernetzte Welt
Förderkennzeichen:	13N16324
Durchgeführt von:	iC-Haus GmbH Am Kuemmerling 18 55294 Bodenheim
Projektlaufzeit:	01.07.2022 - 31.12.2024
Projektleiter:	Dr. Heiner Flocke

GEFÖRDERT VOM
Bundesministerium
für Bildung
und Forschung

Das diesem Bericht zugrundeliegende Vorhaben wurde mit Mitteln des Bundesministeriums für Bildung und Forschung (BMBF) unter dem Förderkennzeichen 13N16324 gefördert.

Die Verantwortung für den Inhalt der Veröffentlichung trägt der Autor.

Autor(en):

Dr. Heiner Flocke, Dr. Tobias Eichhorn, Robert Maic (iC-Haus GmbH)

Inhaltsverzeichnis

1. Ergebnisse des Projekts 4
2. Wichtigste Positionen des zahlenmäßigen Nachweises 14
3. Notwendigkeit und Angemessenheit der geleisteten Projektarbeiten 14
4. Voraussichtlicher Nutzen / Verwertbarkeit der Ergebnisse 15
5. Während der Durchführung des Vorhabens bekannt gewordener Fortschritt bei anderen Stellen 16
6. Veröffentlichung der Ergebnisse 16

1. Ergebnisse des Projekts

AP 1: Recherchen und Vorversuche, Gesamtkonzept

Im Rahmen des Projektes wurden umfangreiche, grundlegende Recherchen und erste Machbarkeitsstudien durchgeführt. Schwerpunkt bei iC-Haus waren Untersuchungen und Machbarkeitsstudien bezüglich des Chipdesigns, insbesondere betreffend Pixelgröße, Datenrate und Datenstruktur.

Hierbei wurde festgelegt, dass iC-Haus das Testequipment für die Prüfung der Einzelchips zur Verfügung stellt. AD-Wandler-Board, FPGA-Ansteuerung für Einzelchips, zugehörige Software mit GUI und Board zur Montage der Einzelchips wurden von iC-Haus entwickelt. In Abstimmung mit dem Partner G&D wurde bei iC-Haus ein Filterplättchen-Layout erstellt.

Die Arbeiten bei G&D zur Digitalisierung und Datenübertragung mit der erforderlichen Bandbreite, zur Beleuchtung in erforderlicher Leistung und Farbe und zum Wärmemanagement im Messkopf wurden in Abstimmung in das finale Pflichtenheft eingebracht. Weiter wurden Technologieuntersuchungen zur Minimierung des Image-Lags und erste Simulationen durchgeführt.

AP 2: Erforschung neuartiger optischer Sensor

Im Rahmen des Projektes wurden umfangreiche Untersuchungen zur angestrebten Mäanderstruktur durchgeführt. Diese wurde dazu genutzt, erstmals den Pixel-Gap zu eliminieren. Abbildung 1 zeigt den angestrebten Aufbau im Rahmen einer Simulation. Abbildung 2 zeigt die Leiterbahnführung auf dem PCB innerhalb der Mäanderstruktur im Detail.

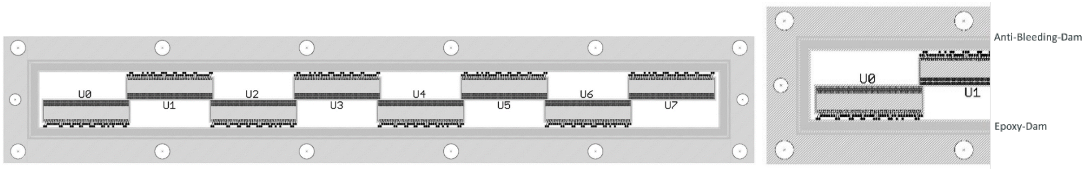

Abbildung 1: Gesamtansicht der Mäanderstruktur mit Fremdlichtunterdrückung.

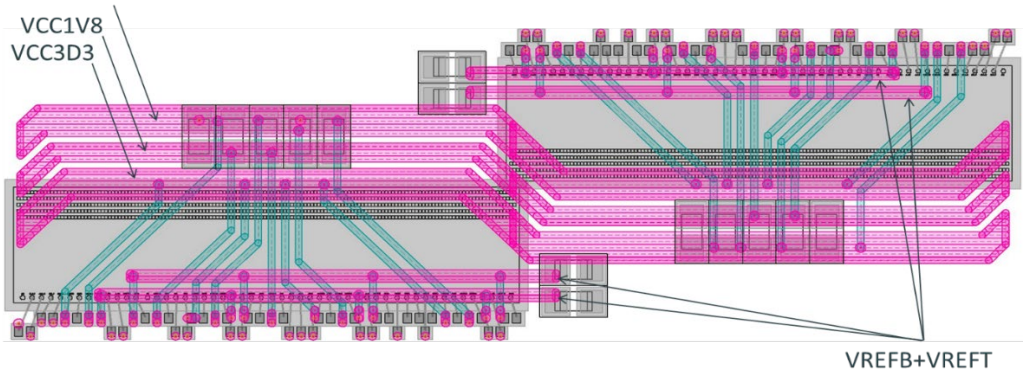

Abbildung 2: Leiterbahnführung innerhalb der Mäanderstruktur.

Die Verteilungen der Ausgangssignale und der Versorgungsspannungen auf dem Zeilensensor iC-LHS wurden für die Auslegung der Mäanderstruktur simuliert.

AP 2.a Simulation Optik

Das optische System im Messkopf bestand aus den Komponenten Lichtquelle, Linsen, optische Filter und Fotodioden. Die Auslegung der Fotodioden und die integrierte Elektronik zur Auswertung wurden von iC-Haus erforscht.

Der horizontale Abstand (Pitch) sollte 100 µm betragen, der vertikale Pitch 200 µm. Das Eindringen von Licht und die damit verbundene Erzeugung von Ladungsträgern im Bereich zwischen den Fotodioden wird layouttechnisch unterdrückt.

Zur Erprobung der Fotodioden wurden die Testchips TE311_Y und TE311_Y1 in einer Multi-Projekt-Integration realisiert. Fotodioden mit aufgeklebten Gläsern auf den Testchips bzw. mit Glasfiltern (400 µm Dicke) auf den LHS-Chips auf den Modulen verringerten störende Interferenzen deutlich.

AP 2.b Erforschung Mäanderstruktur

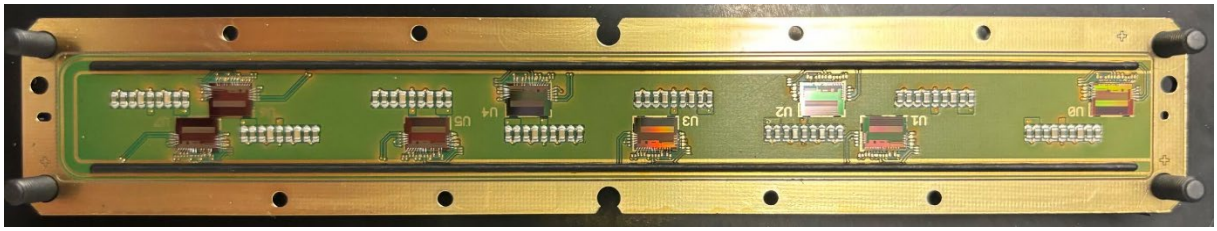

Abbildung 3: Modul der Kamerazeile, bestückt mit TE377_0 als Platzhalter für Gesamtchip iC-LHS.

Zur Erforschung der Mäanderstruktur wurde eine Platine entwickelt, die mit 8 x TE377_0 als Platzhalter für den Gesamtchip LHS bestückt und dem Partner G&D zur Verfügung gestellt wurde (siehe Abbildung 3).

AP 2.c CMOS-Schaltungsintegration

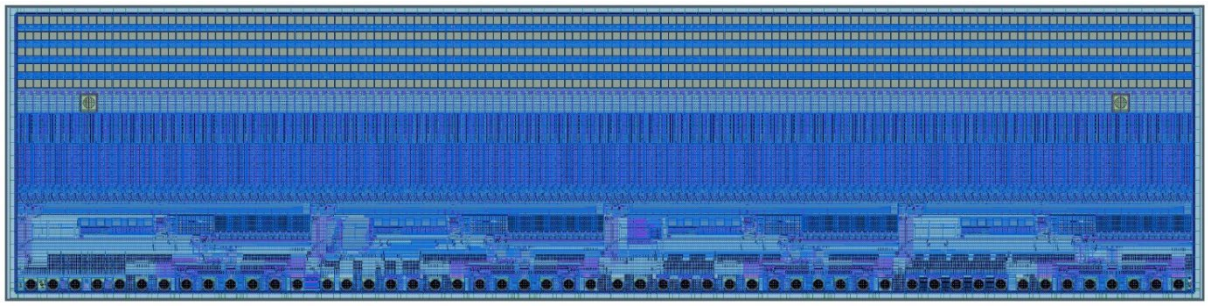

Abbildung 4: Layout Komplettchip LHS_0 mit vier Clustern (14,99 x 3,65 mm^2).

Alle analogen und digitalen Schaltungsblöcke von einem Cluster wurden entwickelt. Das Layout des Clusters wurde erstellt und zum Komplettchip platziert (siehe Abbildung 4).

AP 2.d Erforschung Analog- und Digitalschaltung für Fotodioden

Jeder einzelne Pixel umfasst eine Fotodiode mit einer aktiven Fläche von 100 x 90 µm^2, einen Integrator mit 100 fF Integrationskapazität und einen schnellen Pixelverstärker. Die gelernte lichtabhängige Spannung wird vom Pixelverstärker gehalten, der aus einem Folger und einem Integrator mit gepuffertem Ausgang besteht. Die Verstärkung des Pixelverstärkers kann programmiert werden.

Die Digitalschaltung zur Ansteuerung der Schalter wird im Kapitel Ablaufsteuerung (AP 3.a) beschrieben.

AP 2.e Erforschung Filter (spektrale Eigenschaften, Substrate mit Blockschichten, geometrisches Layout)

Das geometrische Layout der Filterplättchen wurde direkt auf das Chip LHS abgestimmt. Die 5 streifenartigen Öffnungen in der Chromabdeckung sind mit Filterschichten für Blau, Grün, Rot, IR(860 nm), IR(950 nm) bedampft/gesputtert (s. Abbildung 5).

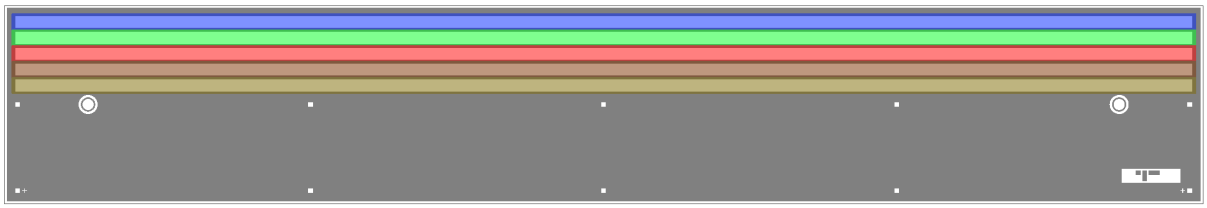

Abbildung 5: Layout Filterplättchen mit 5 Farbzeilen und Chromabdeckung.

AP 2.f Erforschung Farbfilter-Integration

Die Erforschung der Farbfilter-Integration erfolgte parallel zur Chipentwicklung mit Hilfe einer entwickelten Testplatine zur Erprobung der Aufbau- und Verbindungstechnik.

Zur Bewertung der Farbfilter wurde ein automatisierter optischer Test auf Waferbasis entwickelt. Hierbei wurde neben den Transmissionseigenschaften der einzelnen Farbfilter auch auf Verschmutzungen und Fehlstellen in den Filterschichten geprüft.

AP 2.g Erforschung Verguss

Weiterhin diente die Testplatine zur Untersuchung der mechanischen Eigenschaften, insbesondere der Verbiegung der Platine in Abhängigkeit vom verwendeten Verguss und vom Die-Attach Kleber. Dazu wurden Muster mit verschiedenen Klebern aufgebaut und die Verbiegung optisch vermessen. Mit einem elektrisch und thermisch gut leitenden Kleber wurde eine noch akzeptable Verbiegung unter 550 µm über die gesamte Modullänge gemessen.

Zur Überprüfung der mechanischen Stabilität wurden an einem funktionsfähigen Modul thermische Zyklen (1.000 Zyklen) in einem zum Vergleich zur Spezifikation deutlich höheren Temperaturbereich von -40 °C bis 125 °C mit hoher Temperaturänderungsrate im 2-Kammer-Zyklenschrank durchgeführt. Dabei wurde die Klebung des Filterglases auf dem Chip auf Änderungen in den optischen Eigenschaften hin untersucht und die elektrischen Eigenschaften des Moduls vor und nach Temperaturzyklen überprüft.

AP 2.h Einschleusung, Erforschung Labormuster u. Laborversuche

Das Test-Chip TE377 (Einzel-Cluster) wurde erfolgreich vermessen in der Verstärkungseinstellung, im Fixed Pattern Noise, in der Linearität und in der Stromaufnahme.

Der komplette Chip LHS_0 wurde auf einem Multiprojekt in die 180 nm Technologie der Xfab Foundry eingeschleust.

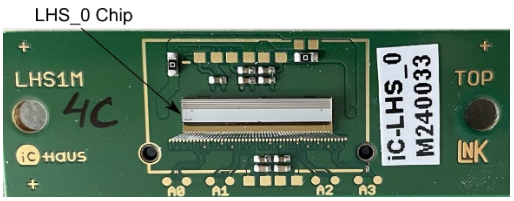

Abbildung 6a: Labormuster Oberseite.

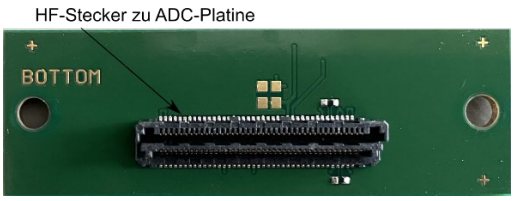

Abbildung 6b: Labormuster Unterseite.

Die Abbildungen 6a und 6b zeigen die Oberseite des Labormusters mit bestücktem LHS-Chip und die Rückseite mit bestücktem HF-Stecker zur ADC-Platine.

An den Labormustern wurde zuerst eine Funktionsprüfung durchgeführt und interne Spannungen (z. B. Spannungsreferenzen) gemessen. Anschließend wurden die Linearität, das Rauschen, Fixed Pattern Noise (FPN), Offset und das Image Lag von allen Pixeln gemessen. Die Messungen wurden bei verschiedenen Verstärkungen (Gain = 2, 4, 7 und 10) und verschiedenen Hilfsströmen (Iaux=0A, 1.25nA, 2.5nA, 5nA und 10nA) vorgenommen. Die Abbildungen 7a bis 7d zeigen als Beispiel die Messungen der 37 IR2 Pixel von Cluster 1.

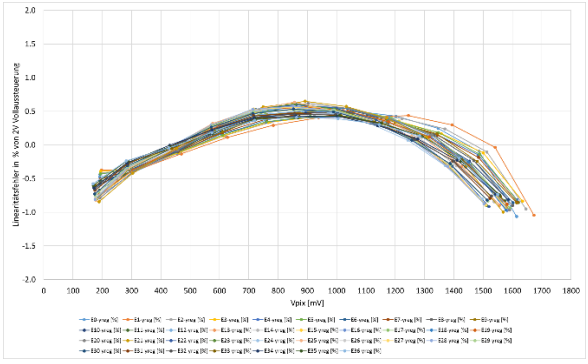

Abbildung 7a: Linearitätsfehler.

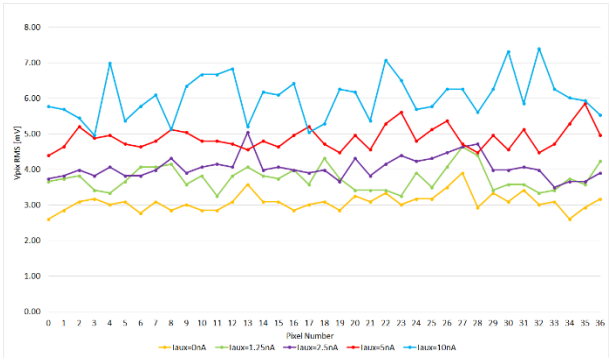

Abbildung 7b: Rauschen (RMS-Wert, Vpix = 0.5V).

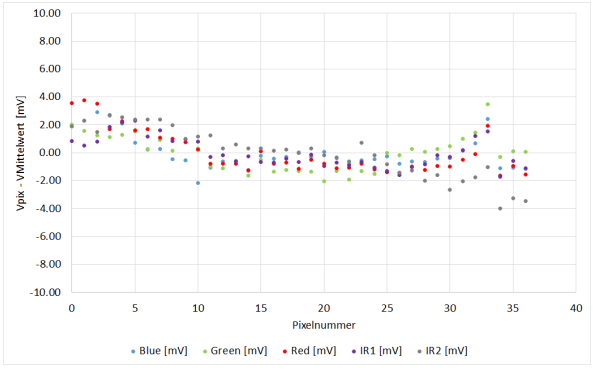

Abbildung 7c: Fixed-Patter-Noise (FPN).

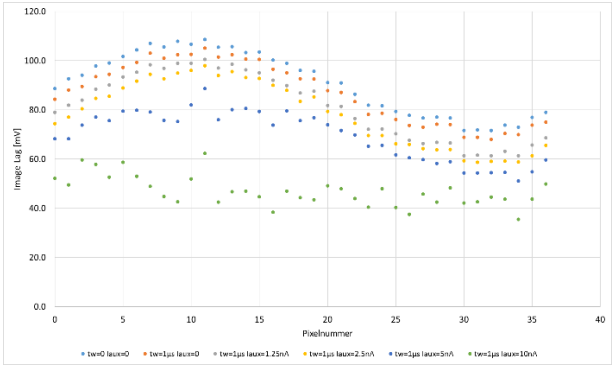

Abbildung 7d: Image Lag mit Variation Iaux.

- **Linearitätsfehler:** Abweichung jedes Pixels zur Regressionsgeraden, wobei die Beleuchtung von 10 % bis 90 % Aussteuerung linear geändert wurde.
- **Rauschen:** Für jedes Pixel wurde mit 1.000 Messungen der RMS-Wert berechnet.
- **Fixed-Pattern-Noise:** Abweichung jedes Pixels vom Mittelwert über alle Pixel (ohne Beleuchtung).
- **Image-Lag:** Einfluss einer vorhergehenden Pixel-Integration mit 70 % Aussteuerung auf die nachfolgende Dunkelintegration.

AP 3: Erforschung Latenzreduktion

AP 3.a Erforschung Ablaufsteuerung

Der Integrator und die Verstärker im Pixel sowie die Zwischenverstärker mit Differenzbildung, der Ausgangsmultiplexer und der Ausgangsverstärker wurden als SC-Schaltung (Switch-Capacitor) realisiert. Zur Ansteuerung der Schalter in den Analogblöcken wurde eine Ablaufsteuerung mit „Brake-before-Make“-Kette (BbM-Kette) entwickelt. Die BbM-Kette wurde benötigt, um zeitlich verzögerte Takte zu erzeugen, die einen zeitlich abgestimmten Ablauf der Bedienung der Schalter in den Analogblöcken ermöglichen.

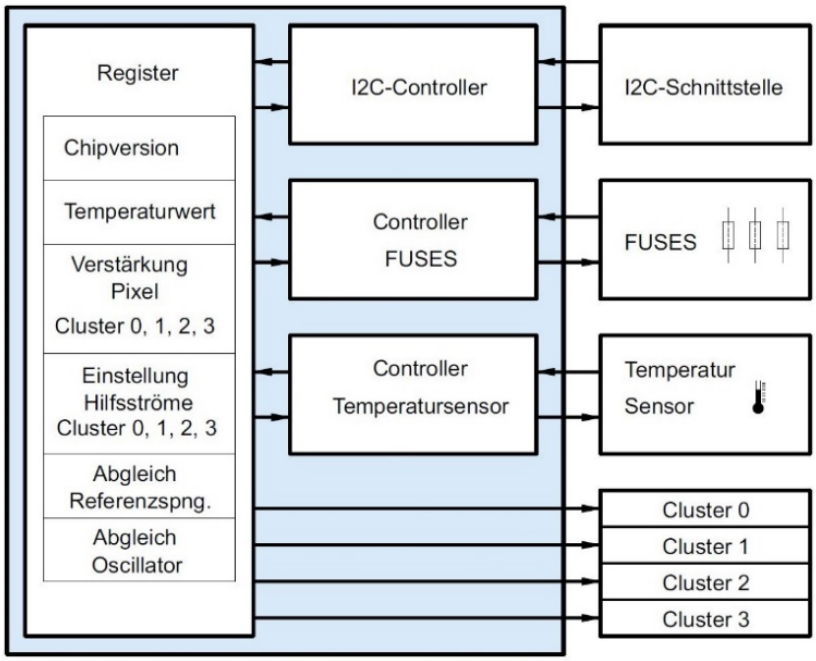

Abbildung 8: Blockschaltbild der Ablaufsteuerung Digitale Schnittstellen.

Die Ablaufsteuerung Digitale Schnittstellen (siehe Abbildung 8) steuert die I2C-Kommunikation, schreibt Daten in die Fuses und liest die Fuses nach einem Systemstart aus, liest den Temperatursensor aus, korrigiert den Offset des Temperatursensors und gibt die Werte der Verstärkungsfaktoren für die Pixelverstärker und die Werte für die Hilfsströme an die Cluster aus. Die Verstärkung der Pixel und die Hilfsströme können für jedes Cluster und jede Farbe separat eingestellt werden. Dadurch kann für jede Farbe das Signal der Kamera optimiert werden.

AP 3.b Erforschung Signalerfassung und Signalverarbeitung

Die entwickelte Signalerfassung wurde auch im Vollchip LHS realisiert. Zur Weiterverarbeitung der analogen Ausgangssignale des Chips wurde eine externe Signalverarbeitung entwickelt und in Betrieb genommen.

Die Beleuchtung der Zeilen für eine konstante und homogene Helligkeit aller Pixel wurde mit LEDs unter einem transparenten diffusen Verguss erreicht.

Mit Hilfe von LabView wurde eine GUI zur Ansteuerung und zum Auslesen des TE377_0 und des iC-LHS erstellt. In der Oberfläche war es möglich, einen Ablauf von mehreren Integrationszyklen mit unterschiedlicher Beleuchtung einzustellen, um z. B. das Image-Lag messen zu können.

Um große Datenmengen an Pixelwerten in kurzer Zeit zu verarbeiten und zu zeigen, dass automatische Messabläufe mit dem LHS-Chip möglich sind, wurde in Python eine Steuersoftware zur automatischen Messung entwickelt.

Die gewonnenen Messdaten werden von der Steuersoftware ausgewertet und als CSV-Datei für die weitere Verarbeitung gespeichert. Mit Hilfe von Octave-Skripten erfolgt die grafische Aufbereitung der Messdaten.

AP 3.c Erforschung Selbsttest und Kalibrierfunktionen

Die Funktionen Selbsttest und Kalibrierung sind auf dem LHS-Chip realisiert. Mit Hilfe der Steuersoftware wurde gezeigt, dass eine automatisierte Ansteuerung des LHS-Chips und der vom LHS-Chip gelieferten Daten möglich ist. Dabei können verschiedene Kenndaten des LHS-Chips wie Fixed-Pattern-Noise, Noise, Offset, Linearität und Image-Lag automatisch gemessen werden. Diese Daten können später im System verwendet werden, um einen Selbsttest und Kalibrierfunktionen der Kamera durchzuführen.

Über die Steuersoftware ist auch eine Regelung der Beleuchtung oder Integrationszeit möglich. So wird z. B. vor der Linearitätsmessung die Integrationszeit so eingestellt, dass die Pixel des Sensors bei max. Integrationszeit kurz vor der Sättigung sind. Anschließend kann die Integrationszeit bis zum ermittelten max. Wert linear durchfahren werden.

AP 3.d Erforschung Schnittstellen

I2C-Schnittstelle

Die I2C-Kommunikation wurde erfolgreich in Betrieb genommen. Da im System 8 LHS-Chips, ein externes EEPROM und ein externer Temperatursensor am I2C-Bus angeschlossen sind,

hat der LHS-Chip drei Adress-Pins erhalten. Dadurch kann jeder LHS-Chip vom I2C-Master eindeutig adressiert werden.

Zusätzlich besitzt der LHS-Chip eine Schnittstelle, die für Testzwecke verwendet werden kann. Die Konfiguration erfolgt über die I2C-Schnittstelle. Es kann ein Scan-Test durchgeführt werden und interne Analog- bzw. Digitalsignale können ausgegeben werden.

Der Vollchip besitzt zur Überwachung der Temperatur einen internen Temperatursensor. Dieser kann über die I2C-Schnittstelle ausgelesen werden. Außerdem kann über die I2C-Schnittstelle das interne Konfigurationsregister geschrieben und ausgelesen werden.

LVDS-Interface

Die LVDS-Kommunikation konnte verifiziert werden. Der Voll-Chip LHS besteht aus vier Pixelclustern, die im Layout nebeneinander angeordnet sind. Jedes Cluster besteht aus einer Pixelmatrix (5 x 37 Pixeln + 5 Dunkelpixel), 16 Zwischenverstärkern, einem Multiplexer und einem differentiellen Ausgang. Über die CLK-Pins wird der 30 MHz Takt als LVDS-Signal eingespeist. Mit dem LVDS-Signal an den Datenpins werden die Integration des Lichtes und die Pixelausgabe gesteuert.

AP 3.e Erforschung Systemintegration

Bei der Systemintegration wurde besonderer Wert auf die Untersuchung des Image-Lags gelegt. Eine Änderung in der Beleuchtung bewirkt eine Änderung des Fotostromes in der jeweiligen Foto-Diode. Bei geringer Beleuchtung kann ein Nachregeln zeitlich sehr lange dauern und ist in der nachfolgenden Integration als Offset sichtbar. Besonders bei einer Integration mit Vollaussteuerung und anschließender Dunkelintegration kann der Offset zu groß sein. Da der Effekt Auswirkungen auf die nachfolgende Integration hat, wird dieser auch als Image-Lag bezeichnet. Eine Reduktion des Image-Lag kann mit Hilfe von in den Fotostrom-Verstärker eingeprägten Hilfsströmen erreicht werden, die im iC-LHS über die I2C-Schnittstelle programmierbar sind mit 0A, 1.25nA, 2.5nA, 5nA und 10nA.

Weitere Schritte zur Systemintegration:

- Analoge und digitale Schaltungsblöcke aus dem Blockschaltbild wurden entwickelt.
- Das Layout aller Schaltungsblöcke wurde erstellt.
- Die Funktion von einem Cluster wurde mit SPICE verifiziert.
- Das Gesamtlayout des iC-LHS wurde erstellt für eine Multi-Projekt-Integration.

AP 3.f Redesign

Die Schaltungstechnik und das Layout des Redesigns wurden vorbereitet, simuliert und layouttechnisch umgesetzt bzgl. einer Optimierung der Versorgungsleitungen, der Beseitigung von Verkopplungen auf dem Chip und dem Sättigungsverhalten am Pixel-Integrator.

Außerdem wurden parametrische Unterschiede zwischen den Farbkanälen minimiert und eine Asymmetrie bei den Hilfsströmen zur Verbesserung des Image-Lags eingebaut.

AP 3.g Einschleusung, Erforschung Labormuster und Laborversuche

Sowohl der Einzelchip als auch Prototypen für komplette Module mit 8x LHS_0 Chips in Mäanderanordnung konnten im Labor erfolgreich als Demonstratoren in Betrieb genommen werden. Zum Abschluss des Förderprojekts standen auch funktionsfähige Chips iC-LHS_Z zur Verifikation der Simulation zum Re-Design zur Verfügung mit nachfolgenden Ergebnissen in Erreichung der Projektziele.

Der LHS-Chip zeigt eine ausgezeichnete Linearität mit einem Linearitätsfehler innerhalb von +/- 1 %, bezogen auf die Voll-Aussteuerung von 2 V.

Das Fixed-Pattern-Noise des LHS-Chips liegt bei -10 mV bis +10 mV. Mit zunehmendem Hilfsstrom erhöht sich das Fixed-Pattern-Noise.

Der RMS-Wert des Rauschens der Pixel liegt ohne Belichtung bei 2 mV und erhöht sich bei Vollaussteuerung auf 6 mV.

Das Image-Lag der Pixel liegt bei abgeschaltetem Hilfsstrom bei 85 mV bis 90 mV. Mit eingeschaltetem Hilfsstrom kann das Image-Lag auf ca. 60 mV reduziert werden und wird mit zunehmendem Hilfsstrom kleiner (Abbildung 9).

Die Temperatur hat nur einen geringen Einfluss auf Noise, Fixed-Pattern-Noise, Offset, Linearität und Image-Lag.

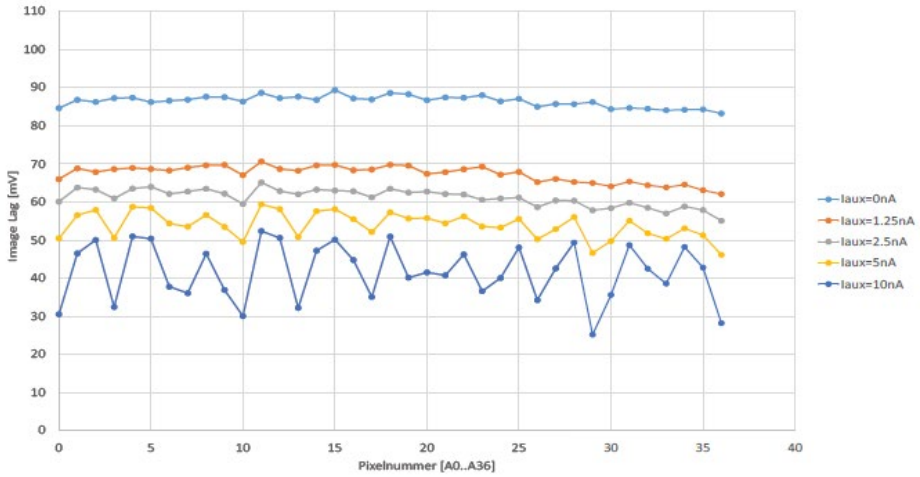

Abbildung 9: Image-Lag bei verschiedenen Hilfsströmen.

Damit sind die Voraussetzungen für eine anschließende Industrialisierungsphase mit Vorserien-Tests und -Aufbauten und statistischen Messungen geschaffen.

AP 6 Labor- und Feldversuche (6.a bis 6.e)

Bei der Inbetriebnahme der Demonstratoren der Sensorzeile wurde G&D unterstützt, vorrangig mit der I2C-Schnittstelle und dem Aufstartverhalten. Sporadische Ausfälle der Zeile können im System zuverlässig vermieden werden durch Senden eines Reset-Kommandos an die I2C-Schnittstelle am Ende der Aufstartsequenz.

Auf Basis des im Förderprojekt erreichten Sachstands für den LHS_Z Baustein konnten vollständige Kameramodule mit jeweils 8x iC-LHS und aufgeklebten Filtergläsern aufgebaut werden. Der entwickelte PCB-Träger wurde vorbereitet für die Aufnahme und Abdichtung durch einen Alu-Rahmen, um das Innere des Kameramoduls vor Staub zu schützen (siehe Abbildung 10).

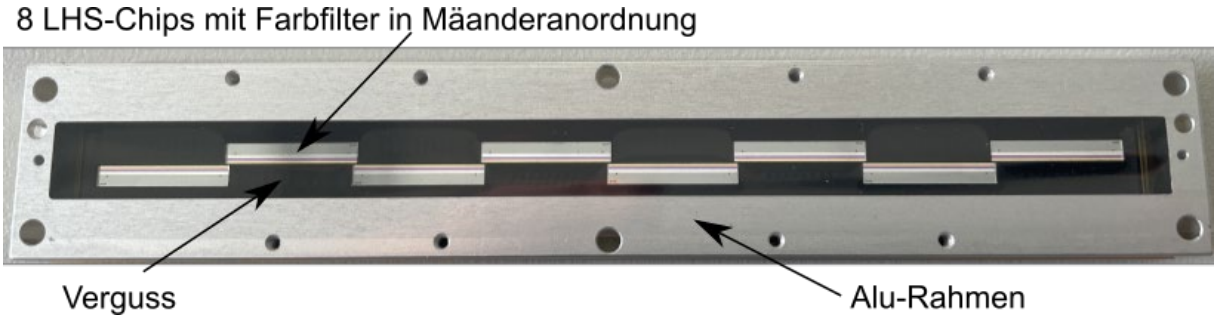

Abbildung 30: Kameramodul.

ESD-, EMV- und Stresstests wurden im System mit dem Projektpartner durchgeführt.

Fazit

Das Vorhaben konnte gemeinsam mit dem Partner erfolgreich umgesetzt werden. Nachfolgend ist die Zielerreichung der Antragsziele dargestellt:

- *Fast-Track-Sensorsystem, um mit gesteigerter Auflösung (Faktor 2) und gesteigerter Ausleserate (Faktor 2) und bis zu 5 Farbkanälen die Prüfung von Geldscheinen um den Faktor 5,5 zu beschleunigen*
  Mit dem Laboraufbau können alle vier Cluster des LHS-Chips mit einer Ausleserate von 30 MHz parallel ausgelesen werden.
- *Eliminierung des herstellungsbedingten Pixel-Gap durch Überlappung der Sensoren*
  Es wurde eine Kamera mit Mäanderstruktur aufgebaut und erfolgreich in Betrieb genommen.
- *Breite der Fotodioden auf 100 µm reduzieren (Auflösung)*
  Die Breite der Fotodioden und der Pixel beträgt 100 µm.

- *Integration von 5 Farbzeilen zur Steigerung der Pixeldichte um den Faktor 2,5*
  Es konnten im Layout fünf Pixel mit den zugehörigen Ansteuerleitungen für die 5 Farben übereinander platziert werden.
- *Steigerung der Ausleserate um den Faktor 2 durch Erhöhung der Ausgabefrequenz auf 30 MHz und 4 parallele Outputs pro Chip-> damit auch Faktor 5,5 höhere Datenrate*
  Im Laboraufbau konnte der Einzelchip mit der Ausgabefrequenz von 30 MHz automatisch ausgelesen werden, dabei können im Laboraufbau die ausgegebenen Pixelwerte von allen vier analogen Ausgängen parallel verarbeitet werden.
- *Image-Lag reduzieren*
  Der Image-Lag konnte durch Hilfsströme am Integrator reduziert werden. Der Image-Lag kann beim Betrieb der Kamera im System auch durch eine Kalibrierfunktion der Software ausreichend reduziert werden.
- *Auslesezeit 7,8 µs*
  Mit einer Auslesefrequenz von 29,444 MHz wird als kürzeste Auslesezeit 7,8 µs erreicht.

2. Wichtigste Positionen des zahlenmäßigen Nachweises

Die wichtigste Position des zahlenmäßigen Nachweises waren die Personalkosten, die zur Entwicklung der neuartigen Sensorlösung angefallen sind. Kosten zur externen Masken- und Wafer-Herstellung konnten durch erfolgreiche Realisierungen in eigenen Multi-Projekt-Integrationen begrenzt werden.

3. Notwendigkeit und Angemessenheit der geleisteten Projektarbeiten

Die Notwendigkeit zur Durchführung des Projektes ergab sich daraus, dass die Zeilenkameras nach dem aktuellen Stand der Technik eine schnellere Prüfung von Dokumenten nicht zuließen. Darüber hinaus lag die Wiederholbarkeit der Qualitätsbewertung bei ca. 97 %, was bei 250 installierten Prüfanlagen und einer Kontrolle von 33 Banknoten pro Sekunde einen vermeidbaren Ausschuss von ca. 10 Mio. Banknoten pro Tag bedeutet, was wiederum Herstellungskosten von ca. 1 Mio. € pro Tag entspricht.

Diese vermeidbare Fehlerrate sollte durch die neuartige Technologie halbiert und somit die Kosten durch Ausschuss drastisch verringert werden. Die entwickelte Technologie unterstützt dabei, dass die Auflösung und die Auslesezeit von Zeilenkameras generell erhöht werden, was auch in anderen Bereichen zu höheren Durchsätzen und weiteren Anwendungsmöglichkeiten führen kann.

Sowohl iC-Haus als auch Giesecke+Devirent konnten im Rahmen des Projektes die Stellung an der Spitze des Standes der Technik ausbauen und somit nachhaltig das eigene Geschäftsmodell sichern, sodass die Notwendigkeit aber auch die Angemessenheit der Projektarbeiten gegeben war.

Die Projektarbeiten waren angemessen für eine komplexe Technologie- und Schaltkreisentwicklung, die hohe Personalressourcen gebunden hat. Im Rahmen des Projektes wurden ausschließlich lösungsrelevante Arbeiten durchgeführt, sodass keine themenfremden Kosten entstanden. Auch die Durchführung des Projektes verlief in enger Abstimmung unter den Projektpartnern sehr zielführend, sodass kaum Kosten für fehlgeschlagene Lösungsansätze angefallen sind.

4. Voraussichtlicher Nutzen / Verwertbarkeit der Ergebnisse

Der Nutzen der erreichten Ergebnisse ergibt sich daraus, dass ein neuartiger, hochauflösender Zeilensensor entwickelt wurde, der alle bisherigen Nachteile überwindet. Das bisher vorhandene Pixel-Gap, die unzureichende Auflösung, das Image-Lag sowie nur vier Farbkanäle haben dazu geführt, dass der Einsatz von Zeilensensoren nur mit Beschränkungen möglich war. Die größte Herausforderung liegt in der Prüfung von Banknoten, da hier viele unterschiedliche Merkmale in kürzester Zeit geprüft werden müssen. Der neuartige Zeilensensor konnte an diesem anspruchsvollen Beispiel erfolgreich getestet werden. Der Sensor wird somit in verschiedensten Anwendungen zur hochgenauen Detektion eingesetzt werden können.

Die Verwertbarkeit der Ergebnisse ist aufgrund der erreichten Ziele und der beiden Projektpartner gegeben. Beide Partner verfügen bereits über einen direkten Marktzugang, um den neuartigen Zeilensensor zu verwerten. Giesecke+Devirent ist ein bekannter Anbieter von Prüfautomaten von Banknoten und wird den neuartigen Zeilensensor darin verbauen. iC-Haus hat darüber hinaus ein großes Netzwerk aus Anwendungspartnern, die die Erkenntnisse, Schaltungsblöcke und Zellbibliothek aus dem neuartigen Zeilensensor ebenfalls vermarkten können. Nach Projektende müssen die Lösungen zunächst noch in einer Industrialisierungsphase mit Vorserien marktreif gestaltet werden.

5. Während der Durchführung des Vorhabens bekannt gewordener Fortschritt bei anderen Stellen

Während des Projektes wurden kontinuierlich Recherchen zum Fortschritt bei anderen Stellen durchgeführt. Es ist kein Fortschritt von Dritten bekannt geworden, der die Ergebnisse des beschriebenen Projektes beeinflusste bzw. deren Verwertung beeinflussen wird.

6. Veröffentlichung der Ergebnisse

Während des Projekts sind seitens iC-Haus keine Veröffentlichungen erfolgt. Schutzrechte zum Projekt wurden von iC-Haus nicht beantragt.