Abschlussbericht Teil II: Eingehende Darstellung

BMBF-Verbundprojekt ***VE-REWAL***

Know-how-Schutz für vertrauenswürdige heterogene Elektroniksysteme mit Chiplets

Zuwendungsempfänger
Fraunhofer Institut für Zuverlässigkeit und Mikrointegration – IZM
All Silicon System Integration Dresden – ASSID
Ringstraße 12
D-01468 Moritzburg

Verbundnummer: ME1ZEUS008
Förderkennzeichen: 16ME0308
Projektlaufzeit: 01.05.2021 – 31.10.2024
(Nach Verlängerung um 6 Monate)

Teilvorhaben: „RDL-1st for Trusted Chiplet Packaging"

Teilvorhabensleiter: Philipp Fromme

Verbundkoordinator: Prof. Dr.-Ing. Steffen Paul
Institut für Theoretische Elektrotechnik und Mikroelektronik Fachbereich 1
Universität Bremen
D-28334 Bremen

Inhalt

1. Wissenschaftlich-technische Ergebnisse IZM ... 3
1.1. Prozessablauf zur Herstellung von RDL-1st FOWLPs ... 3
1.2. AVT-Konzepte & Anforderungsanalyse ... 3
1.3. Designerstellung & Aufbauplan ... 4
1.4. Release-Layer Applikation ... 4
1.5. Materialcharakterisierung von Spin-on Polymeren für HF-/HD-RDL-Substrate ... 5
1.6. Teststrukturen & neue RDL-1st-Elemente ... 6
1.7. Cu-Pillar Bumping & Flip Chip Bonding ... 7
1.8. EMC-Applikation ... 8
1.9. Release-Layer Debond & Clean ... 9
1.10. Balling & Dicing ... 10
1.11. Logistikkette ... 11
1.12. Boardassembly & Zuverlässigkeitstest ... 11
1.13. Substratverwölbung & thermomechanische Simulation ... 14
1.14. Funktionstest & Debugging ... 16
2. Wissenschaftlich-technische Ergebnisse Viconnis ... 16
2.1. Zusammenfassung ... 16
2.2. Analyse der Auswirkungen von Laufzeiten auf partitionierte Funktionen ... 16
2.3. Analyse und Bewertung des Algorithmendemonstrators ... 17
2.4. Stärkung der Vertrauenswürdigkeit durch getriggerte Authentifizierung ... 17
2.5. Konzept für einen Integrationstest ... 18
2.6. Konzept für Schnittstellentest / Bunch of Wires ... 18
2.7. Konzept für BIST Tests ... 18
2.8. Root of Trust ... 18
3. Ergebnistransfer/Veröffentlichungen ... 20
4. Vergleich des Vorhabens mit der Planung ... 20
5. Externe relevante FE-Ergebnisse ... 20
6. Notwendigkeit der Förderung ... 20
7. Fortschreibung des Verwertungsplans ... 20
7.1. Erfindungen & Schutzrechte ... 20
7.2. Wirtschaftliche Erfolgsaussichten nach Projektende ... 21
7.3. Wiss. und/oder techn. Erfolgsaussichten nach Projektende ... 21
7.4. Wissenschaftliche und wirtschaftliche Anschlussfähigkeit ... 21

1. Wissenschaftlich-technische Ergebnisse IZM

1.1. Prozessablauf zur Herstellung von RDL-1st FOWLPs

Um die RDL-1st-Packages für das Projekt herzustellen, wurde zunächst ein grober Prozessablauf definiert (Abbildung 1). Dieser beginnt mit der Entwicklung des AVT-Konzepts sowie einer umfassenden Anforderungsanalyse, um die technischen und funktionalen Anforderungen für die Herstellung von FOWLPs festzulegen. Anschließend wurden die Waferdesigns und ein detaillierter Aufbauplan erstellt. Darauf folgte die Fertigung der RDL-1st-Substratwafer sowie der benötigten DC- und IFX-Chips. Im anschließenden Flip-Chip-Assembly-Prozess wurden die Chips präzise auf den Substratwafer gelötet. Danach erfolgte das Compression Molding. Durch den folgenden Laser-Release-Prozess wurde das FOWLP vom Träger gelöst. Nach dem Ablösen wurden Rückstände mittels Post-Release-Clean von der Oberfläche entfernt. Im Anschluss wurden Lötbälle aufgebracht, bevor der Wafer abschließend in die einzelnen FOWLPs vereinzelt wurde.

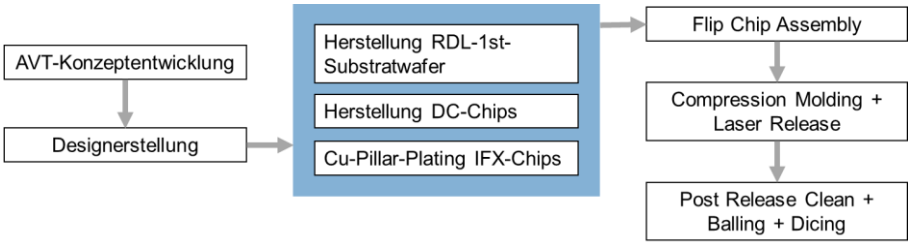


Abbildung 1: Prozessablauf zur Herstellung von RDL-1st FOWLPs.

1.2. AVT-Konzepte & Anforderungsanalyse

Für den RDL-1st FOWLP 77GHz Radar Demonstrator wurden technologische Designregeln und Materialdaten als Grundlage für HF-Simulationen an die RUB bereitgestellt. In einem iterativen Prozess wurden Optimierungspotenziale bei Designregeln, Materialauswahl, Systemaufbau und Zuverlässigkeit identifiziert und erkannte Schwachstellen gezielt durch Designanpassungen behoben, um die Systemperformance und -zuverlässigkeit (Design for Reliability, DfR) zu steigern. Dies erfolgte unter der Randbedingung, dass der Systemaufbau für IFX und IZM umsetzbar ist (Design for Manufacturing, DfM). Als Ergebnis dieses Prozesses entstanden Idee für zahlreiche RF-spezifische Teststrukturen, die der Charakterisierung der RF-Eigenschaften der eingesetzten Materialien dienen, sowie erste Designskizzen für den Funktionsdemonstrator und Technologiedemonstrator (Daisy-Chain Design), um das Ausfallverhalten unter automotiven Testbedingungen zu bewerten.

Parallel zur Anforderungsanalyse wurden verschiedene AVT-Konzepte entwickelt. Als Ergebnis der Partitionierung des Gesamtsystems hat sich die Zusammenfassung der relevanten RF-Komponenten in einem FOWLP als optimal erwiesen. Daraus resultierend werden die auf verschiedenen Chips verteilten RF-Subsystems (VCO, Tx, Rx) als Chiplets in einem FOWLPs zu einem RF-System zusammengefasst (Abbildung 2). Die Antenne und der „HD-Chip“ wurden aufs PCB-Level verschoben. Die Antenne hätte entsprechend den Auflösungsanforderungen an das Radar von den Dimensionen nicht auf das Package gepasst und der HD-Chip hätte das Package unnötig komplex gemacht. Thermische Simulationen der THI haben gezeigt, dass ein Kühlkörper für diese Konfiguration nicht notwendig ist.

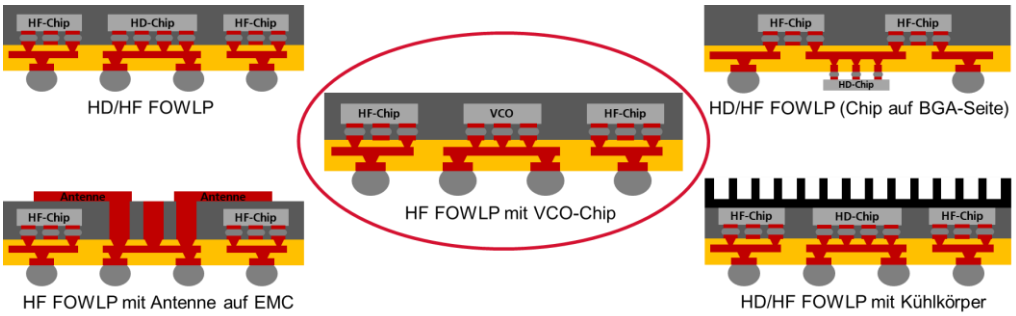
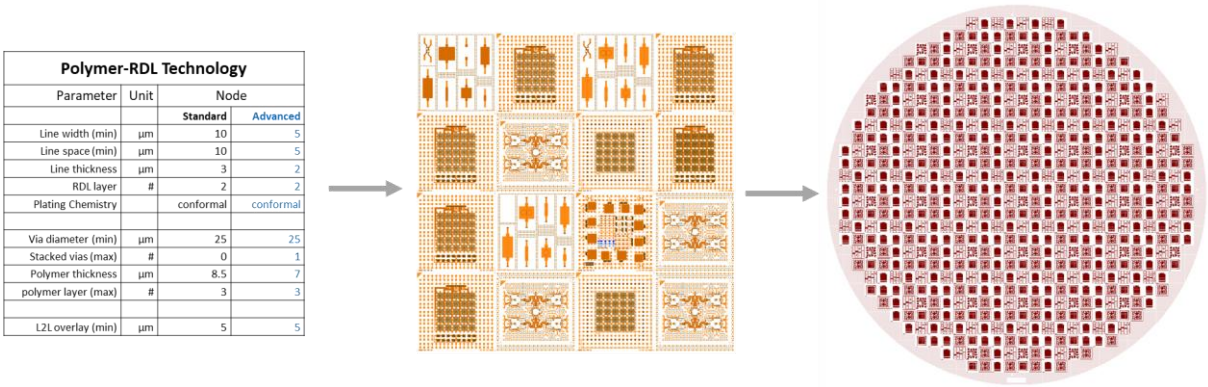


Abbildung 2: Ausgearbeitete AVT-Konzepte.

1.3. Designerstellung & Aufbauplan

Auf Grundlage der in der Anforderungsanalyse erstellten Designskizzen wurden die ersten funktionalen Layouts für das FOWLP und die RF-Teststrukturen von der RUB entwickelt. Parallel dazu hat das IZM weitere Designs erstellt, um die FOWLP-Technologie gezielt zu verbessern. Diese neuen Designs umfassten neue Designelemente für das Routing sowie optische und elektrische Inline-Messstrukturen zur Prozesskontrolle (PCM). Die verschiedenen Packages wurden in einem Retikel zusammengefasst und als Multi-Project-Wafer finalisiert. Anschließend wurden die Photomasken für den 1:1-Belichter physisch beschafft. Darüber hinaus wurden Designs für die DC-Wafer und das Cu-Pillar-Bumping der IFX-Wafer erstellt und ebenfalls physisch beschafft.



Polymer-RDL Technology			
Parameter	Unit	Node	
		Standard	Advanced
Line width (min)	µm	10	5
Line space (min)	µm	10	5
Line thickness	µm	3	2
RDL layer	#	2	2
Plating Chemistry		conformal	conformal
Via diameter (min)	µm	25	25
Stacked vias (max)	#	0	1
Polymer thickness	µm	8.5	7
polymer layer (max)	#	3	3
L2L overlay (min)	µm	5	5

Abbildung 3: Ablauf der Designerstellung (1. Definition der Designrules, 2. Retikeldesign, 3. Waferdesign).

Parallel zur Designerstellung wurde der Aufbauplan präzisiert. Ausgehend vom allgemeinen Aufbauplan (Abbildung 4) wurden die Einzelprozesse und deren Reihenfolge festgelegt, basierend auf Erfahrungen aus vorangegangenen Projekten. Für neue Prozesse erfolgten Einzelprozessentwicklungen. In einem Prozess wird jeweils das benötigte Tool und das dazugehörige Rezept (Handlungsanweisung) definiert. Die Herstellung der Packages umfasste etwa 240 Operationen. Eine solche Operation kann beispielsweise das Beschichten eines Wafer-Batches mit einer definierten Lackdicke sein.

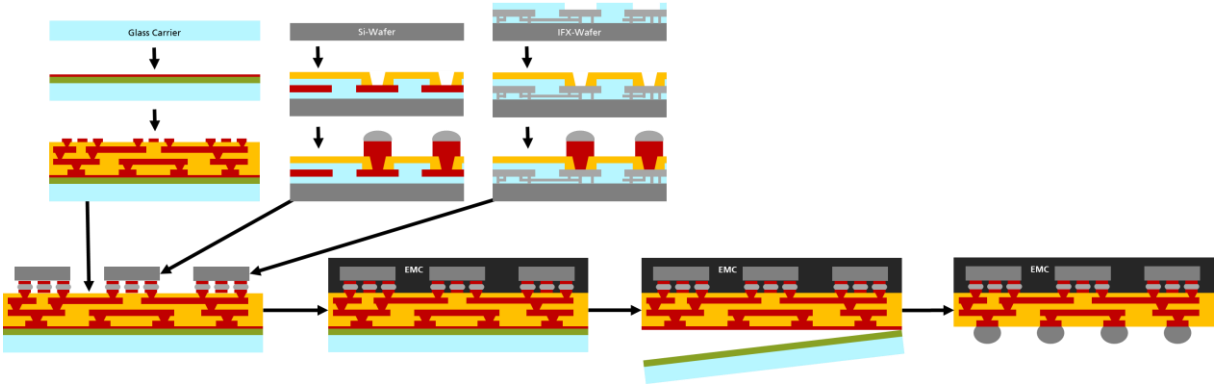


Abbildung 4: Aufbauplan der RDL-1st FOWLP-Technologie.

1.4. Release-Layer Applikation

Der bisher verwendete Release-Layer wurde ursprünglich für das W2W-Bonding entwickelt und ist aus verschiedenen Gründen für RDL-1st-Anwendungen ungeeignet. Sein thermoplastisches Verhalten führt zu hohen Overlay-Fehlern (ca. 50 µm), verursacht durch ein „schwimmendes“ Verhalten infolge der niedrigen Glasübergangstemperatur. Zudem beeinträchtigt die entstehende „Elefantenhaut“ die Prozesse mit Mustererkennung (Abbildung 5). Weiterhin erhöht sich die Verwölbung des Wafers auf etwa 180 µm durch den thermischen Stress nach dem Aushärten. Obwohl der Layer eine gute Beständigkeit gegen Bearbeitungsprozesse zeigt und keine Delaminationen oder sichtbaren Abtragungen verursacht, war ein Ersatz erforderlich, um die spezifischen Anforderungen der RDL-1st-Technologie zu erfüllen. Daher wurden neue Release-Layer evaluiert, um die Qualität der Bonding-Prozesse zu verbessern.

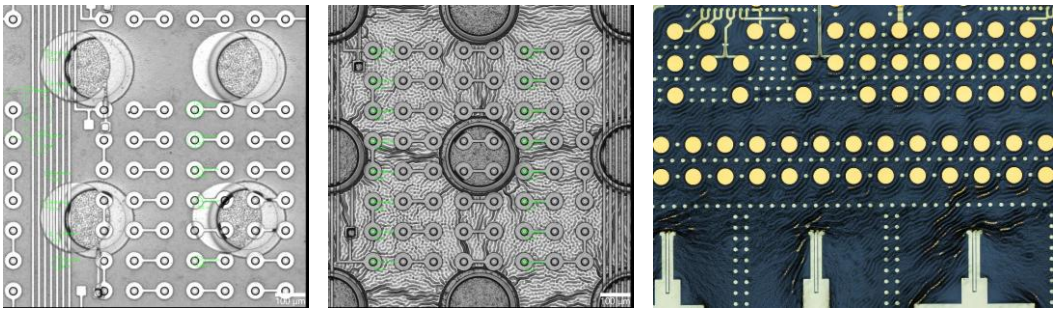
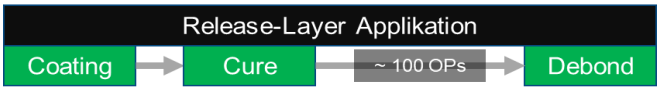


Abbildung 5: großer OVL-Fehler (links); „Elefantenhaut“ (Mitte); Kupferreste nach Ätzung durch „Elefantenhaut“ (rechts).

Für die Evaluierung alternativer Release-Layer wurde der gesamte Prozessblock von Coating bis Debonding, einschließlich Reinigung, betrachtet. Das Release-Material musste dabei rund 100 Prozessschritte ohne Delaminationen oder andere unerwünschte Effekte überstehen, um anschließend mittels Laser-Release gelöst und gereinigt zu werden (siehe Abbildung 6 links). Zwei verschiedene Release-Layer mit unterschiedlichen Viskositäten wurden untersucht. Zu Beginn wurden die Einzelprozesse für das Coating und das Aushärten entwickelt. Dafür wurden Spinkurven aufgenommen und die Schichtdickenhomogenität analysiert (siehe Abbildung 6 rechts). Beide Release-Layer-Systeme erwiesen sich bis zu diesem Punkt mit den bestehenden Prozessen und Lösungsmitteln als kompatibel.



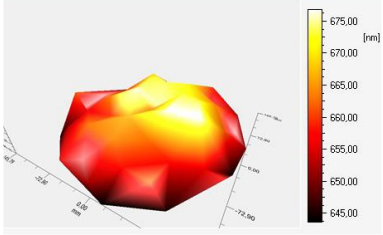


Abbildung 6: Prozessplan Release Layer Applikation (links); Ergebnis einer Schichtdickenmessung (rechts).

Nach dem ersten Strukturierungsschritt des Ballpad-Layers zeigten sich bei Release Layer A massive Defekte nach dem Seed-Layer-Ätzen. Die Schicht wurde daraufhin per REM-Analyse untersucht. Dabei zeigte sich, dass der Release Layer für den notwendigen PVD-Prozess ungeeignet ist, da die Metallschichten nicht als durchgängige Schicht abgeschieden werden konnten (Abbildung 7 links). Eine Weiterbearbeitung der Wafer war somit nicht möglich. Im Gegensatz dazu zeigte Release Layer B keine Defekte und der PVD-Prozess bildete durchgängige bzw. geschlossene Metallschichten (Abbildung 7 rechts).

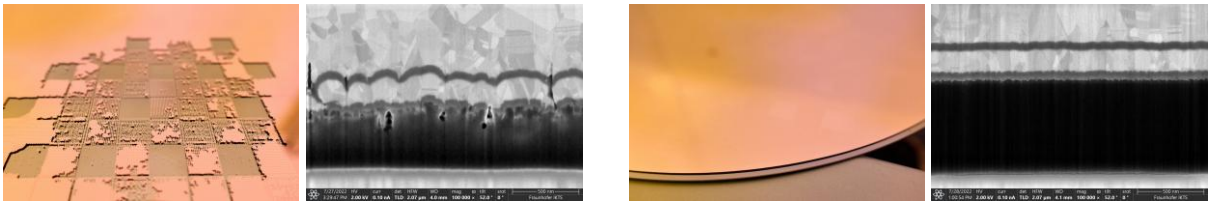


Abbildung 7: Release Layer A mit Defekten (links); Release Layer B ohne Defekte (rechts).

Weitere Verbesserungen gegenüber dem bisherigen Release-Layer sind die sehr geringe Rauigkeit und das Ausbleiben der „Elefantenhaut“. Dies ist auf die höhere Glasübergangstemperatur zurückzuführen, wodurch sehr geringe Overlay-Fehler von unter 3 µm über den gesamten Wafer erreicht wurden. Dadurch konnten Prozesse mit Mustererkennung problemlos durchgeführt werden.

1.5. Materialcharakterisierung von Spin-on Polymeren für HF-/HD-RDL-Substrate

Nach einem weitläufigen Screening und einer erfolgreichen Beschaffung von Spin-on-Polymeren wurde anhand eines Testvehikels die Prozessierbarkeit bzw. Verarbeitbarkeit dieser Polymere untersucht. Der Kernpunkt des Testvehikels bestand darin, die Anwendbarkeit dieser Polymere bei Mehrlagen-Umverdrahtung zu testen. Die Umsetzung erfolgte auf 200 mm großen Silizium-Substraten, wobei insgesamt drei Polymere untersucht wurden.

Neben der Prüfung auf Prozessierbarkeit wurde das Auflösungsvermögen und Stressverhalten untersucht, wobei nach jeder Umverdrahtungslage die Substratsverwölbung vermessen wurde (Abbildung 8 links). Aus der Verwölbungsuntersuchung wurden Aussagen über Spannungen in den Schichten gewonnen sowie eine Abschätzung der Prozessierbarkeit in automatisierten Handlingsanlagen. Zusätzlich wurden die Substrate elektrisch charakterisiert, indem nach jeder Lage die Widerstandsmessungen von Daisy-Chain-Strukturen durchgeführt wurden (Abbildung 8 rechts).

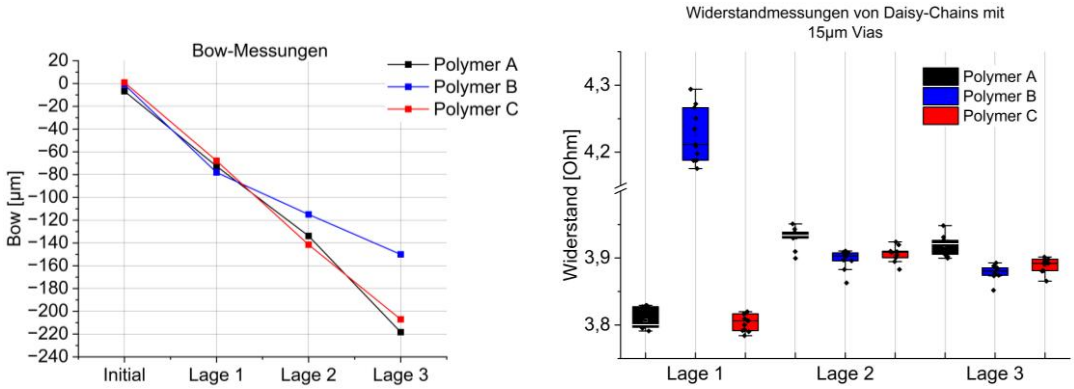


Abbildung 8: Bow-Messung dreier Polymere mit dreilagiger RDL (links); Widerstandsmessungen von Daisy-Chains (rechts).

Neben der klassischen optischen Analyse des Auflösungsvermögens der Polymere wurde im Rahmen dieses Projektes eine neuartige Untersuchungsmethode erprobt und analysiert. Der Vorteil dieser Methode besteht darin, dass durch den geringeren Prozessaufwand innerhalb einer kurzen Zeit die Materialien charakterisiert werden können. Ziel ist hierbei ein „Known good RDL“ Messung für RDL-1st Strukturen mit vergrabenen Kontakten durchführen zu können. Das Messprinzip bestand darin, die über die ganzflächige 100 nm dicke Titan-Wolfram-Schicht hochohmig kurzgeschlossene und mit Kupfer gefüllten Vias im Polymer abhängig von ihrem Abstand mit 4-Punkt-Messmethode zueinander zu vermessen. Werden die Widerstandswerte über den Abstand für jede Via-Größe aufgetragen, so kann der Via-Widerstand beim Abstand Null bestimmt werden (Abbildung 9).

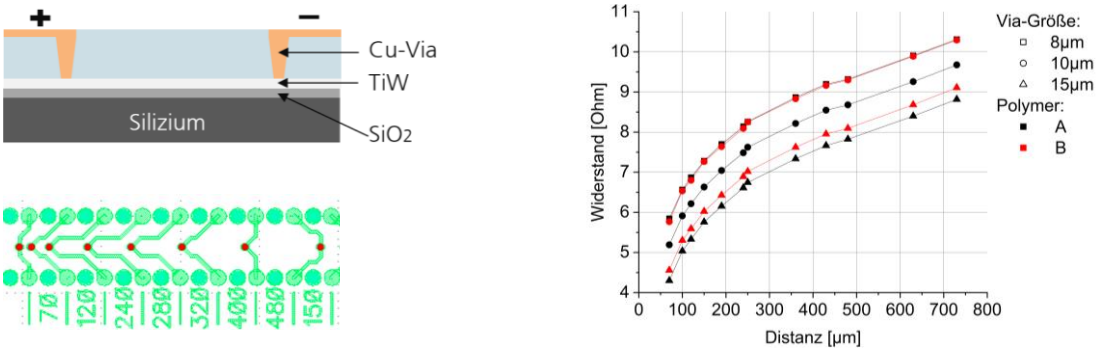


Abbildung 9: rote Vias mit grünen Kontakten (links); Schichtaufbau im Querschnitt (Mitte); Widerstandsmessung zweier Polymere (rechts).

Darüber hinaus wurden die von der RUB entworfenen HF-Teststrukturen gefertigt und zur Untersuchung der HF-Eigenschaften bereitgestellt. Die erzielten Ergebnisse wurden veröffentlicht.[1]

1.6. Teststrukturen & neue RDL-1st-Elemente

Neben den relevanten HF- und DC-Packages wurden weitere DC-Test-Packages für Analysen sowie Packages für das Inline-Monitoring entworfen und gefertigt. Die Test-Packages basieren auf universellen Daisy-Chain-Layouts zur Durchführung von Zuverlässigkeitstests der Chip-, RDL- und Board-Interfaces (Abbildung 10). Sie ermöglichen die Assemblierung mit einem großen oder mehreren kleinen Chiplets und beinhalten zusätzliche Features wie verschiedene Via-Durchmesser, Long Lines über kritische Strukturen und Flip-Chip-Kontakte über Lotbällen. Das Package für Inline-Messungen integriert

[1] P. Stadler et al., "In-Package Characterization of Dielectrics Using Ring Resonators and Adaptive 3D EM-Simulations Around 77 GHz," 2024 15th German Microwave Conference (GeMiC), Duisburg, Germany, 2024.

unterschiedliche Leitbahn- und Via-Anordnungen für optische und elektrische Messungen sowie Streifenstrukturen für 3D-Messungen (Abbildung 10 links).

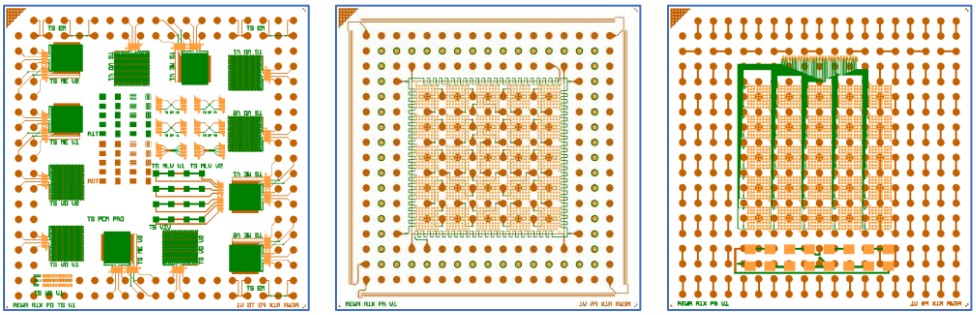


Abbildung 10: Package für Inline-Monitoring (links); DC-Testpackages (Mitte + rechts),

Im Detail wurden Teststrukturen zur elektrischen Messung von Widerständen, Leckströmen (2-Lagen-Mäanderstruktur), Single-Vias (Kelvin-Messung), Strombelastbarkeiten und der Via-Qualität mittels Daisy-Chain-Strukturen implementiert. Zusätzlich kamen neue RDL-1st-Designelemente für verbessertes Routing und hochdichte Verdrahtung zum Einsatz. Dazu gehören stacked Vias (anstelle von standardmäßig staggered Vias) und „multi-line Vias“ in verschiedenen Varianten und Dimensionen (Abbildung 11).

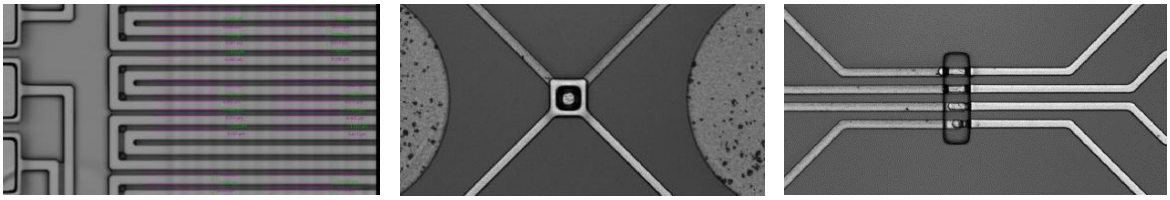


Abbildung 11: 2-Lagen-Mäander (links); Kelvin-Struktur (Mitte); „Multi-Line Via“ (rechts).

Da im Funktionsdemonstrator keine HD-Verdrahtung erforderlich war, wurde diese zusätzlich in einem DC-HD-Package umgesetzt. Hierfür wurden jeweils zwei Chiplets mit 5/10 µm und 10/5 µm Line/Space als DC-Struktur miteinander verbunden (Abbildung 12).

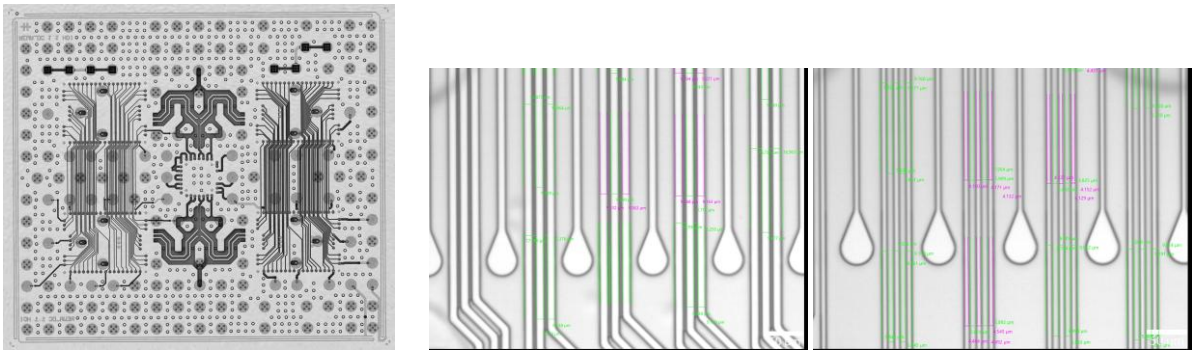


Abbildung 12: DC-HD-Package (links); 10/5 µm line/space (Mitte); 5/10 µm line/space (rechts).

1.7. Cu-Pillar Bumping & Flip Chip Bonding

Um die von IFX bereitgestellten HF-Chiplets sowie die DC-Chiplets flip-chip-fähig zu machen, mussten diese zuvor mit Cu-Pillars versehen werden. Dies geschah auf Wafer-Level mittels Electroplating, wobei das Lithografie-Interface zwischen IFX und IZM durch geeignete Alignmentmarken im Voraus definiert wurde. Bei der Plating-Prozedur traten Herausforderungen wie inhomogene Platinghöhen (siehe Abbildung 13) sowie Voids im SnAg-Layer nach dem Reflow auf. Trotz Prozessanpassungen konnten Voids nicht gänzlich vermieden werden, was weitere Untersuchungen und möglicherweise einen Wechsel des Elektrolyten erforderlich macht.

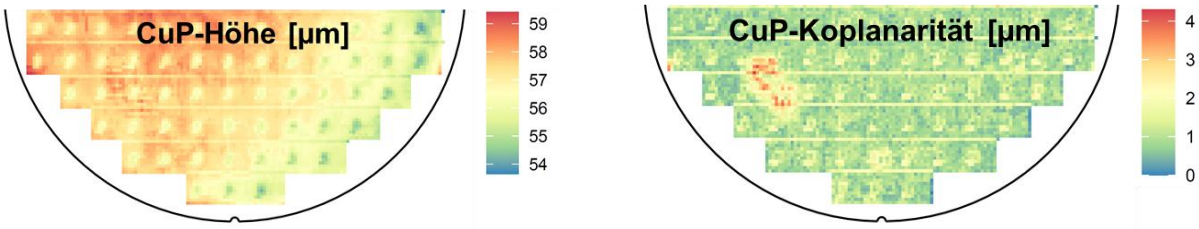


Abbildung 13: Cu-Pillar Höhenverteilung und Koplanarität über einen 300 mm Wafer, ca. 740.000 Cu-Pillars pro Wafer.

Nach erfolgreichem Cu-Pillar Bumping wurden die Wafer gedünnt und gesägt. Anschließend fand der Flip-Chip-Prozess statt, bei dem ca. 3700 Chiplets pro Wafer assembliert wurden. Zur Prozesskontrolle wurden die Wafer mittels Röntgenaufnahme und Querschliffen analysiert (siehe Abbildung 14).

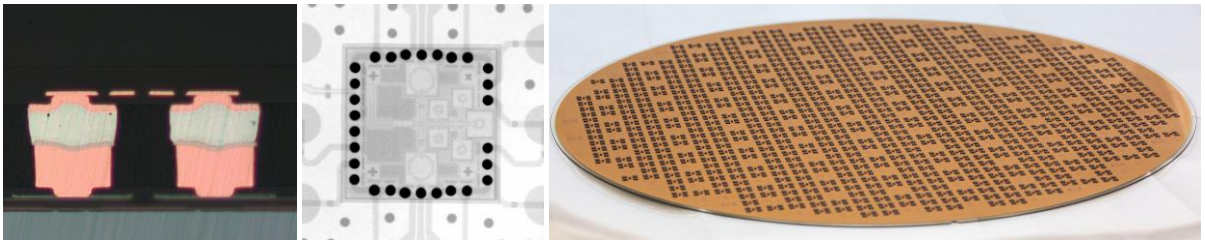
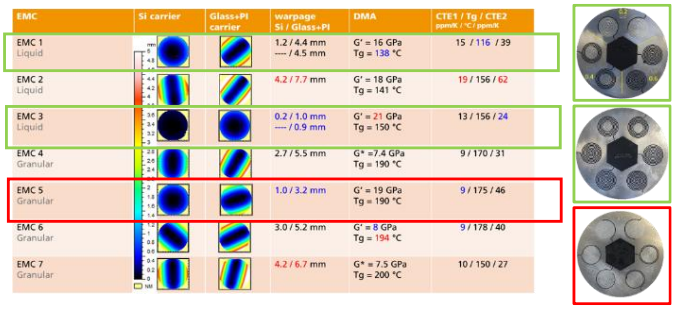


Abbildung 14: Querschliff Flip-Chip Verbindung (links); Röntgenaufnahme eines Chiplets (Mitte); bestückter Wafer (rechts).

1.8. EMC-Applikation

Auswahl und Evaluierung von EMC-Materialien

Sieben Moldmaterialien wurden beschafft und eingehend analysiert. Neben thermomechanischer Charakterisierung (TMA, DMA, Rheologie, DSC) wurden Testwafer auf 2 Substratmaterialien produziert und hinsichtlich der Verwölbung analysiert sowie die Fließfähigkeit (Molded Underfill) mit einem speziell entwickelten Testvehikel untersucht. Abbildung 15 zeigt die zusammenfassende Tabelle mit den Ergebnissen, die zwei für weiterführende Arbeiten ausgewählten EMC sowie exemplarisch ein verworfener EMC dessen Spiral-Test Ergebnis nicht ausreichend war.



EMC	Si carrier	Glass+PI carrier	warpage Si / Glass+PI	DMA	CTE1 / Tg / CTE2 ppm/K / °C / ppm/K
EMC 1 Liquid			1.2 / 4.4 mm ---- / 4.5 mm	G' = 16 GPa Tg = 138 °C	15 / 116 / 39
EMC 2 Liquid			4.2 / 7.7 mm	G' = 18 GPa Tg = 141 °C	19 / 156 / 62
EMC 3 Liquid			0.2 / 1.0 mm ---- / 0.9 mm	G' = 21 GPa Tg = 150 °C	13 / 156 / 24
EMC 4 Granular			2.7 / 5.5 mm	G* =7.4 GPa Tg = 190 °C	9 / 170 / 31
EMC 5 Granular			1.0 / 3.2 mm	G' = 19 GPa Tg = 190 °C	9 / 175 / 46
EMC 6 Granular			3.0 / 5.2 mm	G' = 8 GPa Tg = 194 °C	9 / 178 / 40
EMC 7 Granular			4.2 / 6.7 mm	G* = 7.5 GPa Tg = 200 °C	10 / 150 / 27

Abbildung 15: Ausgewählte EMCs (grün) nach eingehender Materialcharakterisierung und Vorversuche (Spiral-Test, rechts).

Compression Molden auf bestückte RDL-1st Substrate

Auf dem Glascarrier mit der RDL-1st und den assemblierten Chips wurde eine Moldkappe mittels Compression Molden aufgebracht. Dabei wurden die Flip Chips gleichzeitig underfillt und übermoldet (molded underfill, MUF). Nach einer Trocknung der Wafer erfolgt eine Sauerstoff-Plasmabehandlung für 5 min bei 300 W und 300 ml/min O2. Anschließend wird der flüssige EMC auf dem Wafer mit der RDL und bestückten Flip Chips dispenst. Der Compressionmold-Schritt erfolgt in einer Kavität mit 293,5 mm Durchmesser in einem Large Panel Molder LMP600 von APIC Yamada bei der für den EMC geeigneten Temperatur (EMC1: T=110 °C bzw. EMC3: T=120 °C) und ca. 2 MPa Druck für 10 Minuten, so dass der Wafer beim Entformen stabil bleibt. Um für den Wafer die Endeigenschaften des EMC zu erreichen wird der Wafer im Post-Mold-Cure (PMC) vollständig ausgehärtet. Abbildung 16 zeigt exemplarisch das Ergebnis der Verwölbung vor und nach dem Molden für den EMC3. Mit maximal ca. 2,6 mm fällt diese akzeptabel für die weitere Prozessierung aus.

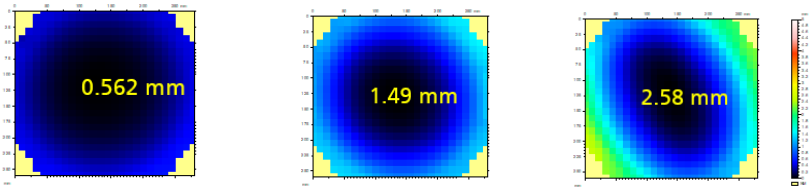


Abbildung 16: Verwölbung eines Wafers ohne (links), mit 250 µm sowie mit 450 µm EMC Moldkappe.

Die Ergebnisse des Molded Underfills (MUF) sind in Abbildung 17 exemplarisch für einen Wafer mit 250 µm EMC1 Moldkappe gezeigt, die im Sonoscan keine Blasen unter den Chips zeigen. Auch weitere Untersuchungen zeigten keine auf den Moldprozess zurückzuführenden Fehler.

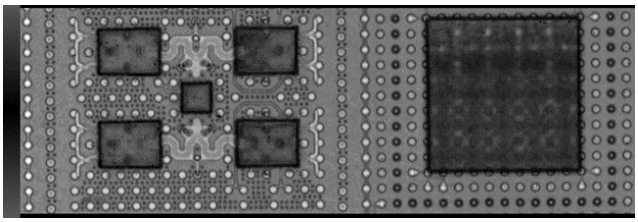


Abbildung 17: MUF Ergebnis eines Wafers mit EMC1 Moldkappe im Ultraschallmikroskop.

1.9. Release-Layer Debond & Clean

Für die Untersuchung zur Aufbringung, zur Prozessstabilität, zur Ablösung und zur selektiven Entfernung des Release-Layers wurden im Rahmen des Projektes die sogenannten „Short Loop“ Lose umgesetzt, indem die Glas-Wafer lediglich mit Release-Layer und Kupfer-Pads im Compressions Mold Prozess mit einer Moldkappe versehen wurden. Anschließend erfolgten die Laser-Release- und Reinigungsversuche bei Fraunhofer IZM Berlin (Abbildung 18). Die Abbildung 18 rechts zeigt die Ergebnisse der Reinigung des Mold-Substrats mittels Plasmas und eines anschließend durchgeführten nasschemischen Ätzens des Seed-Layers.

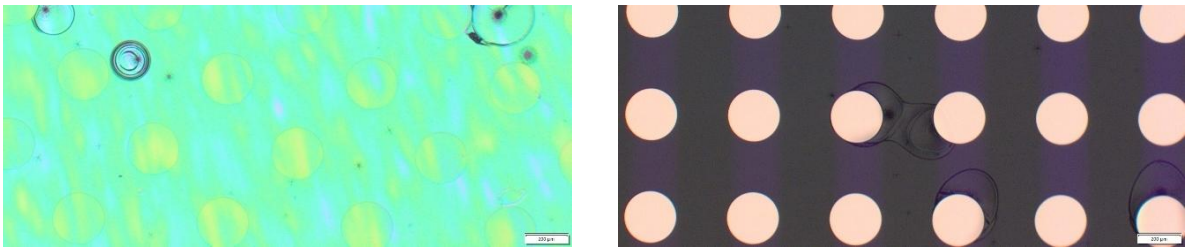


Abbildung 18: Substratoberfläche nach dem Laser-Debond (links); Substratoberfläche nach Plasma-Behandlung und Entfernen des Seed-Layers (rechts).

Parallel zu den Untersuchungen an 200 mm Glaswafern, wurden weitere Versuche an 300 mm großen Glassubstraten durchgeführt. Da die 300 mm Glassubstrate eine größere Dicke damit einhergehend nicht bei IZM Berlin separiert werden konnten, erfolgte der Laser-Release-Prozess extern mit einem 355 nm-Laser. Die Abbildung 19 zeigt die Wafer-Oberfläche nach dem Laser-Debond. Zu sehen hier sind die Laser-Ablations-Streifen im Release-Layer, die auch nach dem Entfernen des Polymers bleiben, was auf eine mögliche thermisch induzierte Modifizierung des da drunter liegenden Seed-Layers hinweist. Die punktuellen Seedlayer-Reste konnten mit keiner bei IZM Berlin vorhandenen Ätz-Lösung entfernt werden.

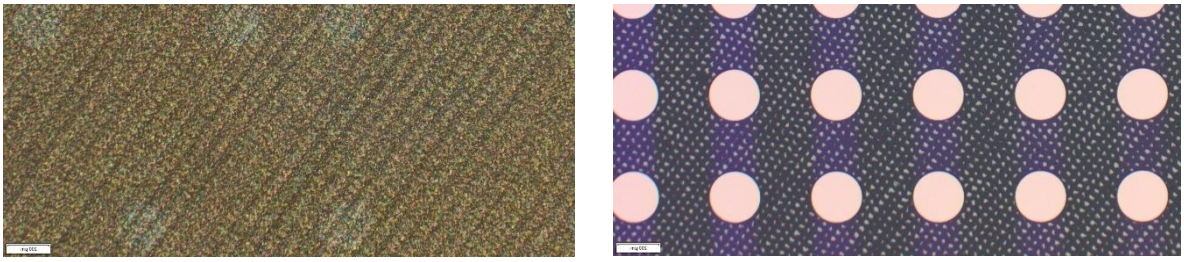


Abbildung 19: Wafer-Oberfläche nach dem Laser-Debond (links); Seedlayer-Reste nach dem Ätzen (rechts).

Die Problematik eines nicht optimalen Laser-Debond-Prozesses und der daraus resultierenden nicht entfernbaren Seed-Layer-Resten konnte durch das Laser-Debond bei einem anderen Dienstleister mit einem 308 nm-Laser gelöst werden. Die Mold-Oberfläche nach dem Separieren zeigte keinerlei Ablationspuren, was in Abbildung 20 zu sehen ist. Sowohl Release-Layer-Reste als auch Seed-Layer konnten ohne großen Aufwand vollständig entfernt werden.

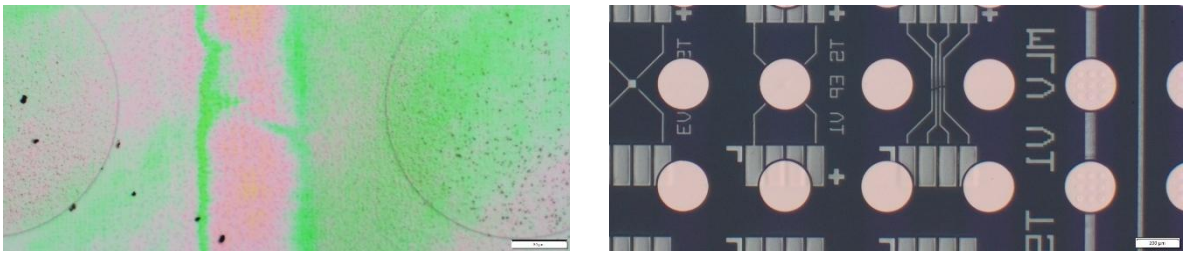


Abbildung 20: Substratoberfläche nach dem Laser-Debond (links); Substratoberfläche nach Plasma-Behandlung und Entfernen des Seed-Layers (rechts).

1.10. Balling & Dicing

Für die Lotballaufbringung wurde ein für die Anwendung geeignetes Flussmittel ausgewählt, das ein für das Balling und Reflow gut geeignetes Benetzungs- und Fließverhalten zeigt und zudem wasserlöslich für die anschließende Abreinigung ist. Dazu wurden passende SAC305 Lotkugeln beschafft und aus den Designdaten Schablonen für den Flussmittelauftrag und das Balling generiert. Aufgrund der zum Teil erheblichen Verwölbung der Wafer nach dem Debonden vom Glascarrier wurden die Packages teilweise einzeln mit einem Laser vereinzelt und manuell beballt. Für die nachfolgenden Schritte wurde ein automatisierter Prozess eingerichtet:

- Auftrag des Flussmittels im Siebdruckverfahren
- Setzen der Lotkugeln mittels Ballingschablone
- Reflow im Reflowofen mit geeignetem Temperaturprofil
- Reinigung der Wafer von Flussmittelresten 30min@70°C in DI-Wasser

Die Qualität wurde mittels Schertests stichprobenartig nach dem Standard JEDS 22-117B überprüft, wobei überwiegend der Fehlermodus „Pad-Lift“ beobachtet wurde und die Ergebnisse der Scherkraft sämtlich oberhalb der geforderten 35 N/mm² lag. Die beballten Wafer wurden anschließend vereinzelt.

Alternative Lotprozesse

Es wurden alternative Lotprozesse untersucht und dafür aus einer Marktrecherche drei Varianten von Lotkugeln ausgewählt, die sich jeweils durch hohe Temperaturwechsel-Beständigkeit, niedrigen Schmelzpunkt bzw. einen Cu-Kern mit Abstandsfunktion auszeichnen. Während die ersten beiden jeweils gute Ergebnisse lieferten, ist für den abstandshaltenden Cu-Kern wichtig mit einem Jetlot bzw. einem gedruckten Lotdepot zu arbeiten, da ansonsten kein Kontakt erzielt werden kann und sich das Lot einseitig zurückzieht (Abbildung 21).

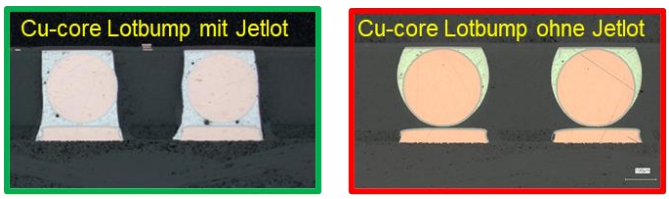


Abbildung 21: Damit sich das Lot nicht einseitig zurückzieht (rechts) benötigen Lotbumps mit Cu-Kern Jetlot um einen guten Kontakt zu erzielen (links).

Alternative Oberflächenfinishs

Aufgrund der geringen Wärmeentwicklung der Applikation konnte auf eine rückseitige Montage von Kühlkörpern verzichtet werden. Stattdessen wurde eine Untersuchung zur Optimierung des metallurgischen Aufbaus der Landing-Pads für die Lotball-Montage durchgeführt. Als Oberflächenfinish wurde eine Nickel-Gold (Ni-Au) Schicht mit dem ENIG-Verfahren aufgebracht (Electroless Nickel Immersion

Gold). Dazu wird das Substrat nacheinander in nasschemischen Verfahren manuell prozessiert, wobei nach jedem Schritt eine gründliche Spülung erfolgen muss:

- Reinigung der Cu Pads mit saurer Ätzlösung
- Aktivierung der Kupferpadoberflächen
- Nickelabscheidung von ~ 5,5 µm
- Goldabscheidung von ~ 100 nm

In den Versuchen zeigte sich, dass der Erfolg stark von der Prozessführung vor dem ENIG-Verfahren abhängt. So führt ein Überätzen bei der Herstellung der Pads dazu, dass die Haftung der Pads am Dielektrikum mangelhaft ist und schon vor dem Balling versagt. In einem weiteren Versuch wurden die Pads mit dem Ni-Au Oberflächenfinish erfolgreich beballt, jedoch versagte die Haftung im nächsten Reinigungsschritt.

Im Gegensatz zu einer klassischen stromlosen Abscheidung von Nickel-Gold-Schichten für UBM wurde im Rahmen dieses Projektes eine alternative Methode zur Realisierung der Ni/Au-UBM umgesetzt. Mit einer speziellen Ätz-Technik wurde ein Pad-Stack aus Kupfer, Nickel und Gold realisiert. Der Aufbau erfolgte auf Glassubstraten mit einem getesteten Release-Layer, wobei die erzeugten Pads im Polymer eingebettet wurden. Nach dem Aufbringen des EMC-Materials wurden die Mold-Substrate mittels Laser-Debond-Prozess von Trägersubstraten separiert und gereinigt. Anschließend erfolgten zwei weitere thermischen Schritte, um die Cure-Prozesse weiterer Umverdrahtungslagen zu simulieren. Abbildung 22 links zeigt die mikroskopischen Aufnahmen der erzeugten Cu/Ni/Au Pads nach der Reinigung und der thermischen Behandlung. Anschließend wurden die Substrate mit Lotkugeln versehen, geschert und mit Standard-UBM bezüglich der Scherfestigkeit verglichen (Abbildung 22 rechts). In beiden Fällen lag als Shear-Mode Pad-Lift vor.

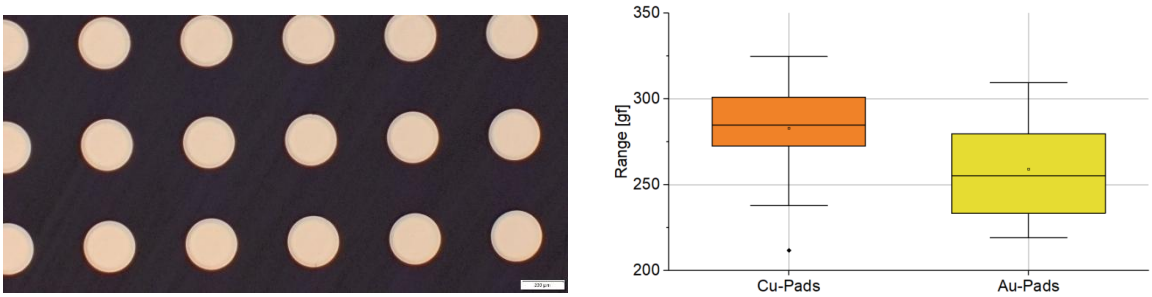


Abbildung 22: Substratoberfläche Post-Release-Clean (links); Boxplot Scherfestigkeit Cu- vs. Au-Pads (rechts).

1.11. Logistikkette

Die Herstellung der Demonstratoren erfolgte in etwa 240 Einzelprozessen über zwei Standorte und drei voneinander getrennte Reinräume. In diesem Kontext konnten exemplarische Konzepte zur manipulationssicheren Nachverfolgung der Wafer in den verschiedenen Produktionsetappen als sichere Supply-Chain entwickelt werden. Jeder Wafer bzw. jedes Los wurde als „digitaler Zwilling“ in einem Manufacturing Execution System (MES) erfasst. Auf dem Glas-Carrier jedes Wafers befindet sich eine eingelaserte ID, die in den automatischen Anlagen teilweise ausgelesen wurde, um die Datenintegrität zwischen Slot und Wafer-ID sicherzustellen. Nach dem Laserrelease wird der Glas-Carrier entfernt, weshalb eine alternative Wafer-Codierung erforderlich war. Dazu wurden die Losnummer und die Slot-ID beim Assembly-Prozess durch zwei Packages mit je fünf Chiplets binär codiert. Eine Lasermarkierung auf dem Mold erwies sich als nicht persistent und kann leicht gefälscht werden. Eine weitere Alternative wäre die Markierung jedes Packages mit einer verschlüsselten Data-Matrix-ID mittels Direktbelichtung, was jedoch nur theoretisch diskutiert und nicht erprobt wurde.

1.12. Boardassembly & Zuverlässigkeitstest

Boarddesign und initialer Package Test

Für das Boardassembly wurden Leiterplatten (PCBs) entworfen und ein Montageprozess für die FOWLP Packages entwickelt. Im Anschluss wurden Aufbauten für Zuverlässigkeitstests realisiert. Dafür wurden DC-Packages ausgewählt und deren initialer Zustand mittels Verwölbungsmessung und Röntgen-CT Aufnahmen und Detailaufnahmen im Querschliff bewertet (Abbildung 23).

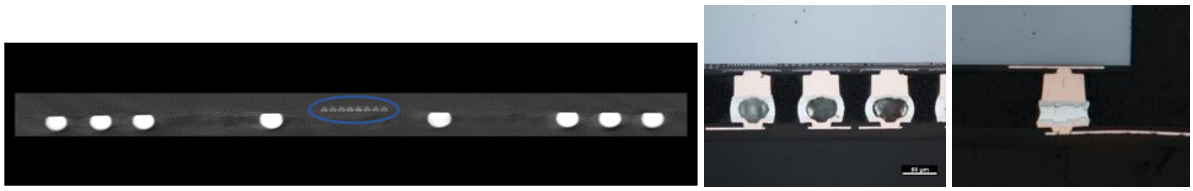


Abbildung 23: Detail aus Röntgen-CT mit voids (links) in den VCO Lotverbindungen und Validierung im Querschliff (Mitte) und Lotverbindung ohne Void (rechts).

Für den elektrischen Test der Packages wurde ein Testsocket sowie das dazugehörige Socketboard designt sowie eine Testleiterplatte für die Entwicklung eines Montageprozesses und die anschließende Durchführung von Board Level Zuverlässigkeitstests verwendet. Zusätzlich wurde ein Testadapter designt und gefertigt, der einen schnellen elektrischen Test der assemblierten DC FOWLPs erlaubt.

Boardassembly

Für die Montage des Demonstrators auf dem Systemboard muss insbesondere die Verwölbung des Packages im Initialzustand als auch während der erhöhten Temperaturen im Reflow berücksichtigt werden, da hier durch Verwölbung des Packages die Lotkugeln aus den Fluxdepots gehoben werden können und so der Kontakt nicht zustande kommt. Die initiale Verwölbung wurde stichprobenartig vermessen, Abbildung 24 zeigt dazu exemplarisch drei Messungen an Packages mit EMC1 bzw. EMC3 Moldkappen, die eine Verwölbung im Bereich 10 µm bis 120 µm zeigen.

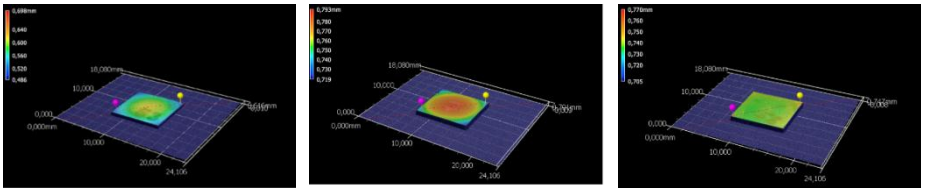


Abbildung 24: Initiale Verwölbung von Packages mit EMC1 Moldkappe in 250µm (links) bzw. 450 µm Dicke (Mitte) sowie 450 µm EMC3 (rechts).

Als Flussmittel wurde ein No-clean Flux per Dippingprozess (100 µm Dipping-Bett Tiefe) aufgebracht und SAC305 Lotkugeln verwendet. Die Montage auf dem Testboard erfolgte manuell mit einem Fineplacer „pico“ der Firma Finetech, da bei der begrenzten Anzahl an Komponenten eine automatische Bestückung nicht in Frage kommt. Das Lotprofil ist in Abbildung 25 links dargestellt.

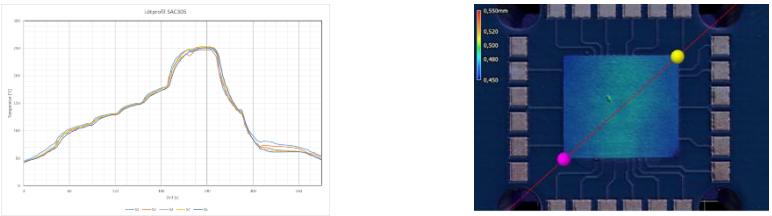


Abbildung 25: Lotprofil für das ausgewählte SAC305 Lot (links) und Packageverwölbung nach Reflow und Underfill (rechts).

Zusätzliche mechanische Stabilität wird durch den Einsatz eines Underfillers erreicht, der bei 100 °C Substrattemperatur mit einem Handdispenser EFD 1500 DV durch eine 24 G Nadel aufgebracht und 120 min bei 165 °C ausgehärtet wird. Das Ergebnis der Packageverwölbung von unter 20 µm nach Montage, Reflow und Underfill ist in Abbildung 25 rechts dargestellt.

Zuverlässigkeitstests

Für die Zuverlässigkeitsbewertung sind die folgenden Tests auf Package Level (PL) und auf Board Level (BL) durchgeführt worden:

- PL: Initiale Untersuchungen
- PL: Moisture Sensitivity Level 1 (MSL1)
- PL: Temperaturwechseltest, TWT: -55°C/150°C, 20 min Zykluszeit
    - Intermittierender E-Test bei 50, 125, 250, 500, 750, 1000 TW
- PL: Unbeschaltete Feuchtelagerung 85°C/85 % r.F.
    - Intermittierender E-Test bei 125, 250, 500, 750, 1000 h

- BL: -55°C/125°C, 30 min Zykluszeit
    - Intermittierender E-Test bei 50, 125, 250, 500, 750, 1000 TW

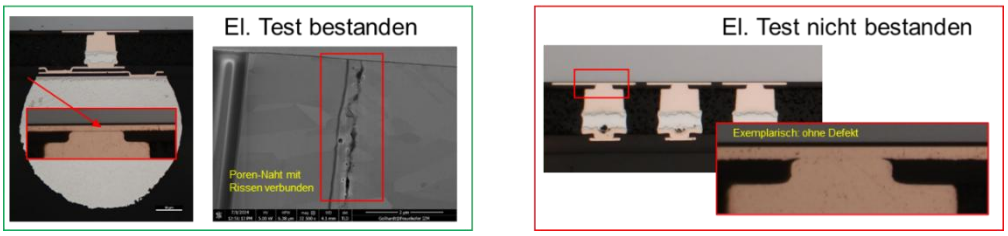


Abbildung 26: Probe mit erfolgreichem Test und verbundener Porennaht (links); Probe ohne optisch sichtbaren Defekt und nicht bestandenem Test (rechts).

Im Initialzustand wurden die elektrischen Tests bestanden und keine relevanten Defekte erkannt. Im Moisture Sensitivity Test (MSL1) wurden nur zwei Ausfälle beobachtet, bei denen keine optischen Defekte darstellbar waren. Die beobachtete Verbindung einer Porennaht durch Risse wurde auch bei Proben mit bestandenem Test beobachtet und kann daher hier nicht als ursächlich betrachtet werden.

Nach den Zykel-Tests lässt sich ebenfalls eine durch Rissfortschritt verbundene Probennaht beobachten, wobei der Riss teilweise auch in die Passivierung propagiert (Abbildung 27). Nur geringe Ausfallzahlen wurden auch nach unbeschalteter Feuchtelagerung beobachtet, wobei dadurch die Zuordnung zur Variation nicht vorgenommen werden konnte und auch keine optische Defektdetektion möglich war (keine Porennaht o.ä., siehe Abbildung 27).

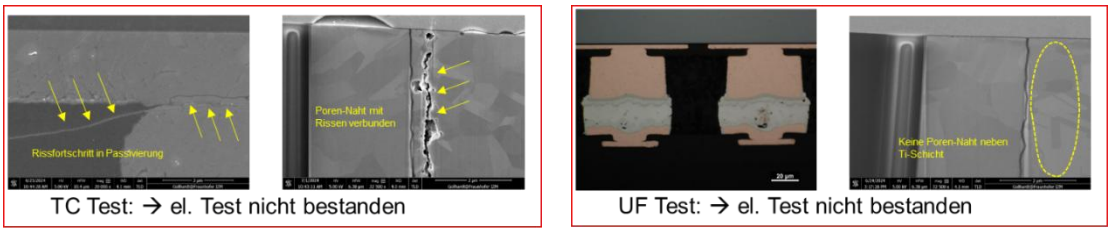


Abbildung 27: Rissfortschritt in Passivierung und Porennaht (links) sowie Ausfall nach unbeschalteter Feuchtelagerung (UF) ohne optische Defektidentifizierung (rechts).

Auf Board Level sind thermische Wechseltests durchgeführt worden. Von Ausfällen betroffen waren ausschließlich Packages des EMC3 und überwiegend unterfüllte Packages. Die Dicke hatte keinen signifikanten Einfluss. Während die CSP Lotverbindung keine Defekte nach Ausfällen aufwies, konnte die Ausfallursache auf einen massiven Riss in der Porennaht zurückgeführt werden, die schon in den Untersuchungen auf Package Level beobachtet wurden, dort jedoch nicht sicher die Ausfälle verursacht hat.

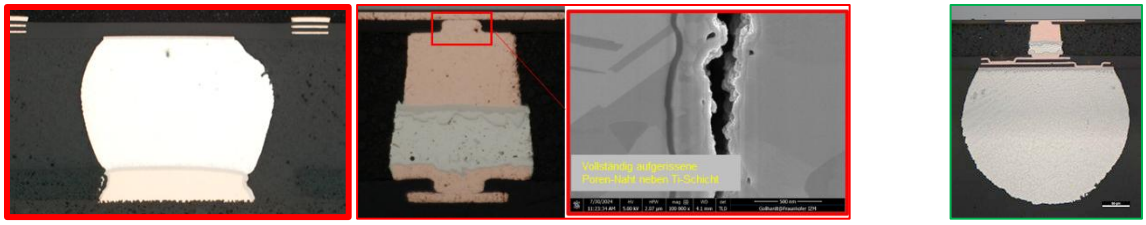


Abbildung 28: CSP Lotverbindung ohne Defekt aus nicht bestandenem Test (links) und Ausfallbild mit massivem Riss in Porennaht (Mitte); erfolgreicher Aufbau im Querschliff nach bestandenem MSL1 Test (rechts).

Zusammenfassend kann festgestellt werden, dass die Ergebnisse der Zuverlässigkeitstests vielversprechend sind. Auch wenn in den Package Level Tests die Ausfälle nicht sicher auf die beobachtete Porennaht in der Nähe der Titan-Seed-Schicht zurückgeführt werden konnten, verbindet sich diese unter Belastung zu einem Riss und bricht in den Board Level Tests komplett auf und führt zu den beschriebenen Ausfällen. Hier liegt also eine Schwachstelle vor, die durch eine Optimierung im Elektroplating-Prozess noch zu beheben ist.

1.13. Substratverwölbung & thermomechanische Simulation

Für die Realisierung von Chiplet Packages ist es wichtig, die Verwölbung der Struktur im Prozess und in der Anwendung zu kontrollieren. Ein wesentliches Mittel, um den Einfluss von Geometrie und Werkstoff zu quantifizieren, kann die Simulation darstellen, da auf diese Weise virtuell Vorversuche durchgeführt werden können und aufwändige Fehlversuche an den Prototypen vermieden werden können. Ziel der Untersuchungen im Projekt war es, eine Vorgehensweise für die Simulation schrittweise zu entwickeln und zu validieren.

Erstellung und Verifikation von Simulationsmodellen zur Substratverwölbung

Für das Simulationsmodell wurden Mold- und RDL-Werkstoffe thermomechanisch charakterisiert. Dazu wurden drei Moldwerkstoffe und drei RDL-Werkstoffe (Polyimide) ausgewählt. Dynamisch-mechanische Analysen (DMA) bestimmten das mechanische Steifigkeitsverhalten, während thermisch-mechanische Analysen (TMA) die Wärmeausdehnungskoeffizienten und Glasübergangstemperaturen ermittelten. Aus den Versuchsdaten wurden Daten für die Finite-Elemente-Simulation abgeleitet, die das thermo-mechanische Materialverhalten zeit- und temperaturabhängig beschreiben können. Zur Validierung des Materialverhaltens wurden verschiedene Strukturen aufgebaut und temperaturabhängige Verwölbungsmessungen (Warpage) an Bi-Material-Proben (Polyimide und Mold mit Silizium- und Glasträgern) durchgeführt. Hierfür wurden eigens Versuchsaufbauten entwickelt, die das eliminieren eines Gravitationseffekt des Wafers ausschließen.[2] Diese Messungen dienten auch zur Untersuchung des effektiven Schrumpfverhaltens der Werkstoffe. Alle Strukturen wurden in einem Finite-Elemente-Modell abgebildet, um das Verwölbungsverhalten zu simulieren und die Ergebnisse abzugleichen.

Thermomechanische Simulation

Das Simulationsmodell wurde erweitert, um die RDL-first Herstellung zu modellieren (Abbildung 29 links). Die RDL-Schichten wurden beschrieben, wobei ein Homogenisierungsansatz zur Vereinfachung der Berechnungen verwendet wurde.[3] Auffällig war hierbei, dass eine wesentlich genauere Bewertung der Verformung durch die Verwendung des effektiven Elastizitätsmoduls erreicht werden kann. Dabei ist die genauste Korrelation mit den Messungen für die erste RDL-Schicht, wird aber für zusätzliche RDL-Schichten mit einem Fehler von etwa 30 % schlechter (Abbildung 29 rechts). Im Vergleich zum linear-elastischen Modell ist dies eine signifikante Verbesserung.

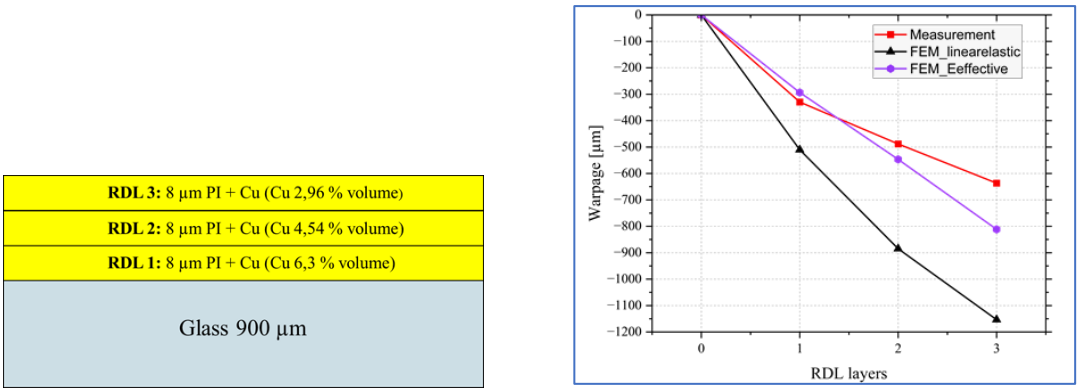


Abbildung 29: RDL Schichtaufbau (links). Verwölbung des RDL Schichtaufbau (rechts).

Ein vereinfachtes Simulationsmodell der gesamten WLP (Wafer Level Packaging) Prozesskette wurde erstellt, um Einflussfaktoren auf das Verwölbungsverhalten zu untersuchen, einschließlich der Wahl der Moldwerkstoffe, Molddicke und Chipbelegungsdichte.

Der komplette Demonstrator wurde modelliert, wobei Chips implementiert und Produktionsschritte berücksichtigt wurden. Zwei unterschiedlich dicke Moldschichten und Materialien wurden hierfür

[2] Huber, S., Stegmaier, A., van Dijk, M., Nguyen, N., Hölck, O., Wittler, O. and Schneider-Ramelow, M., 2023, May. Improving Warpage Characterization of Large Wafers in Fan-Out Packaging Technology. In *2023 IEEE 73rd Electronic Components and Technology Conference (ECTC)*

[3] Huber, S., Scheibe, P., Mutlu, S., Wittler, O. and Schneider-Ramelow, M., 2024, May. Analyzing the Influence of RDL Stack-up on Wafer Warpage in FOWLP through Experimental and Numerical Investigations. In *2024 IEEE 74th Electronic Components and Technology Conference (ECTC)*

ausgewählt. Die Verwölbung wurde nach dem Prozessschritt „Carrier Release“ ausgewertet (Abbildung 30 links).

Die Herausforderungen bei der Erstellung und Auswertung umfassten:

- Schwierigkeiten bei der direkten Vergleichbarkeit der Ergebnisse aufgrund großer Verwölbungen der Wafer. Diese führten im Experiment zu Verwölbungsformen, die nicht im Modell abgebildet werden konnten.
- Numerische Konvergenzprobleme der Simulation traten aufgrund großer Deformationen auf, so dass nicht sämtliche Parameterkombinationen virtuell getestet werden können.

Abschließend wurden Verwölbungsmessungen am Demonstrator vorgenommen. Proben mit dünnem Mold (250 µm) wiesen bei Raumtemperatur eine höhere Verwölbung auf als die Proben mit einer Molddicke von 450 µm. Mit steigender Temperatur nahm die Verwölbung der Proben mit dünnem Mold ab. Ein Unterschied zwischen den Moldmaterialien war nicht eindeutig feststellbar. Jedoch zeigte sich, dass sich das EMC1-Material nach dem Aufheizen auf 210 °C veränderte und in der Folge die Verwölbung nach der Belastung niedriger war (Abbildung 30 rechts).

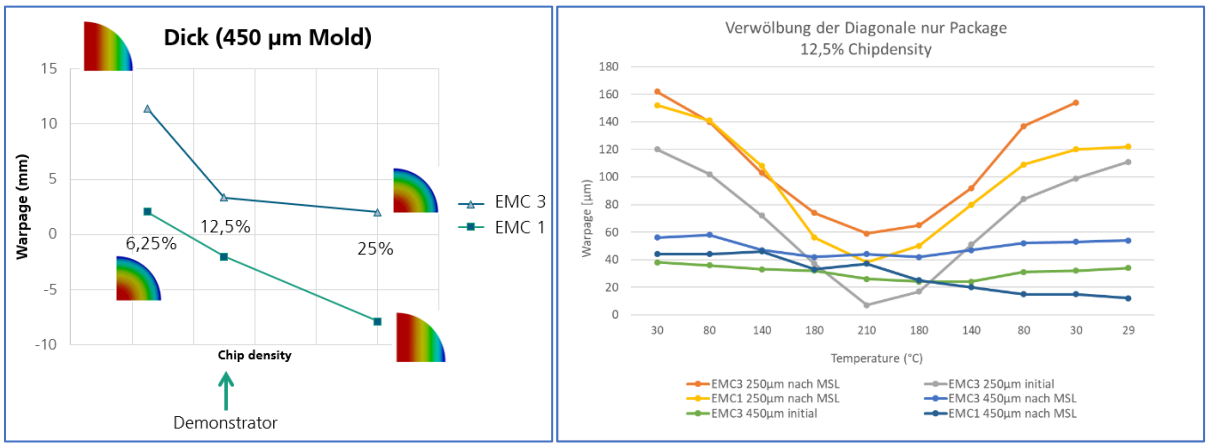


Abbildung 30: Ergebnisse simulierte Verwölbung eines Wafers mit fester Molddicke nach Carrier-Release (links); Ergebnisse Verwölbungsmessung einzelner Demonstrator-Packages (rechts).

Es kann keine eindeutige Aussage darüber getroffen werden, ob der MSL-Test einen Einfluss auf die Verwölbung hat.

Zusammenfassend kann jedoch geschlossen werden, dass die simulierte Verwölbung eines ganzen Wafers zeigt, dass sie bei einer Chipbelegungsdichte von 12,5 % und einer Molddicke von 450 µm am niedrigsten ist (Abbildung 30 links). Dies bestätigt sich in den Messungen der einzelnen Packages, da auch dort eine geringe Verwölbung des Demonstatorpackages mit einem Mold von 450 µm Dicke zu verzeichnen ist (Abbildung 30 rechts).

Abschließend kann gesagt werden, dass die Simulation einzelner Schichtaufbauten quantitativ und qualitativ mit den realen Versuchen korrelieren. Der Ansatz kann also eingesetzt werden, um einzelne Abschnitte des WLP Prozesses virtuell bezüglich der Designeinflüsse zu bewerten. Auch eine grundsätzliche Vergleichbarkeit mit den Demonstratorpackages scheint gegeben zu sein. Um hier in Zukunft auch eine quantitative Korrelation zu ermöglichen, sind weitere Untersuchungen der prozessbedingten Einflüsse nötig.

Vergleich Glas vs. Keramik-Träger

Da die Verwölbung der Träger-Substrate eine der größten Herausforderung beim Aufbringen mehrerer RDL-Lagen beim RDL-First-Ansatz hinsichtlich der Prozessierbarkeit in den Anlagen mit automatischem Handling-System darstellt, wurden die alternativen aus Keramik bestehenden Substrate in Hinsicht auf ihr Verwölbungs- bzw. Bow-Verhalten untersucht. Der größte Vorteil der Keramik-Träger besteht in ihrer höheren Steifigkeit im Gegensatz zu Glas-Trägern. Des Weiteren eignen sich die Keramik-Substrate trotzt ihrer moderaten Opazität sehr gut für den Laser-Debond-Prozess. Im Rahmen dieser Untersuchung wurde der komplette RDL-Aufbau sowohl auf Keramik-, als auch auf Glas-Substraten gleicher Dicke realisiert und deren Verwölbungsverhalten vergleichend untersucht. Dabei wurde nach

jeder Umverdrahtungslage die Verwölbung vermessen. Abbildung 31 zeigt zusammenfassend das Bow-Verhalten, wobei ersichtlich ist, dass die Keramik-Substrate aufgrund ihrer höheren Steifigkeit eine geringere Bow-Änderung im Vergleich zu Glas-Substraten zeigen. Bei Keramik-Substraten beträgt die gesamte Bow-Änderung ca. 100 µm, bei Glas-Substraten ca. 400 µm. Daraus lässt sich schließen, dass Keramik-Substrate als Träger auch für eine höhere Anzahl an Umverdrahtungslagen hinsichtlich der automatisierten Prozessierbarkeit geeigneter sind.

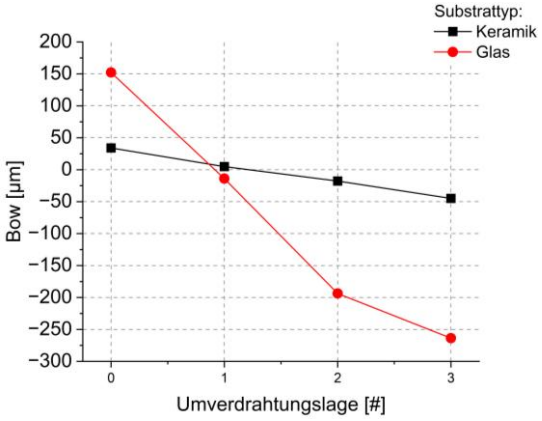


Abbildung 31: Vergleich Glas- vs. Keramik-RDL.

1.14. Funktionstest & Debugging

Die gefertigten Funktionsdemonstratoren wurden anschließend von der RUB auf ihre Funktion getestet. Leider zeigte sich, dass die im ersten Fertigungsdurchlauf hergestellten Packages nicht funktionierten. Der Fehler konnte auf die einzelnen Radar-Chiplets eingegrenzt werden, die umfassend mittels REM-Schliffbildern untersucht wurden, um die Ursachen des Problems zu identifizieren. Dabei stellte sich heraus, dass es am Die-Rand zu leichten Delaminationen durch das Dicing gekommen war. Ein Fehler im Front-End von IFX konnte nicht nachgewiesen werden. Ob der Defekt durch die Delamination oder durch elektrostatische Entladungen verursacht wurde, blieb unklar. Daraufhin wurde ein zweiter Fertigungsdurchlauf mit kleinen Design- und Prozessänderungen im Cu-Pillar-Prozess durchgeführt. Zudem wurden elektrische Inline-Messungen nach kritischen Prozessschritten eingeführt. Die neuen Packages wurden ebenfalls der RUB übergeben und erfolgreich auf ihre Funktion getestet.

2. Wissenschaftlich-technische Ergebnisse Viconnis

2.1. Zusammenfassung

Viconnis ist ein KMU mit Sitz in Hamburg, spezialisiert auf die Planung, Entwicklung und Generierung regelbasierter Testinhalte für das elektrisch funktionale Testen (analog, digital, mixed-signal) von IC-Bausteinen, Varianten und Familien von Einzel IC's.

Im Rahmen des Projekts wurden umfassende Testkonzepte aufbauend auf Analysen von insbesondere zeitlichen Abhängigkeiten entwickelt, um die Funktionalität, Vertrauenswürdigkeit und Sicherheit eines partitionierten Radarsystems abzusichern. Der Fokus lag sowohl auf der Kommunikation zwischen den Chiplets als auch auf der internen Validierung einzelner Chiplets, unter besonderer Berücksichtigung von Echtzeit- und Sicherheitsanforderungen, basierend auf dem VE-REWAL Algorithmendemonstrator. Zentrale Ergebnisse sind ein Integrationstestkonzept, BoW-Testkonzept, BIST-Konzept und RoT-Konzept (Bunch of Wires, Built-in Selftest, Root of Trust). Darüber hinaus wurden alternative Sicherheitsmechanismen ausgearbeitet mit Hardware-Sicherheitsmodulen, Schlüsselmanagementketten, digitalen Signaturen und Hash-Funktionen.

2.2. Analyse der Auswirkungen von Laufzeiten auf partitionierte Funktionen

Basis für die Untersuchungen und Entwicklungen zur Vertrauenswürdigkeit im Projekt VE-REWAL ist ein Radarsystem zur Erfassung von Position und Annäherungsgeschwindigkeit von Objekten.

Am Modell des Algorithmendemonstrators wurden Untersuchungen durchgeführt bezüglich Auswirkungen von Veränderungen auf das System. Jede Veränderung (Partitionierung, Verschleierung oder

Verschlüsselung) hat unterschiedliche zeitliche Verzögerungen im System zur Folge (siehe Abbildung 32). Untersucht wurde, ob eine begrenzte Verzögerung im Gesamtsignalkontext erreicht werden kann, die weiterhin die echtzeitnahen Anforderungen des Radarsystems gewährleistet.

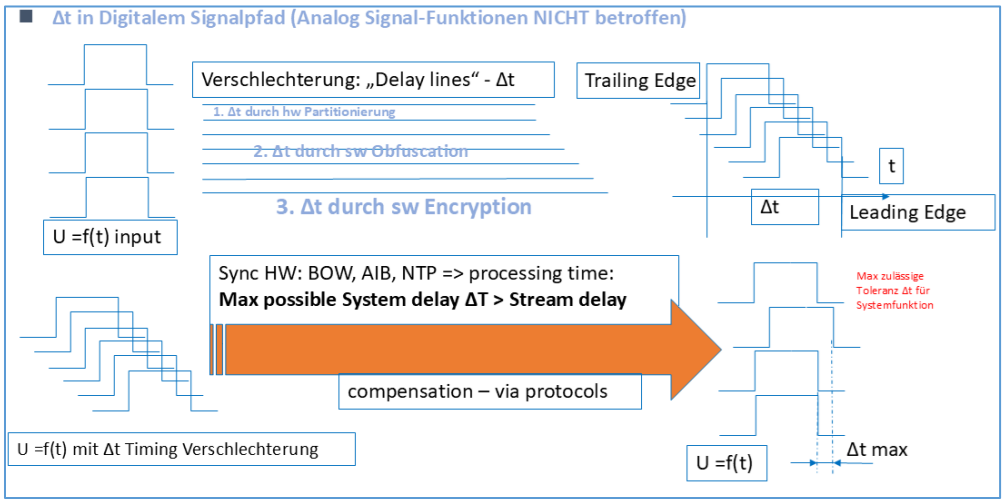


Abbildung 32: Laufzeitveränderungen Δt (delay lines) durch Verschlüsselungen, Verschleierung und Partitionierung.

2.3. Analyse und Bewertung des Algorithmendemonstrators

Ein VE-REWAL Demonstrator basierend auf einer FPGA-Plattform wurde von Projektpartnern entwickelt, um das Gesamtkonzept des Projekts funktional zu demonstrieren. Dieser nutzt eine 20-Bit breite "Bunch of Wires" (BoW) Verbindung, die in einer Peer-to-Peer Ring-Netzwerk-Topologie angeordnet ist. Das Mainboard dient als Basis für die Verbindung der verschiedenen Tochterplatinen, die die Chiplets repräsentieren (mit FPGA). Diese Chiplets sind durch den BoW-Bus miteinander verbunden (siehe Abbildung 33).

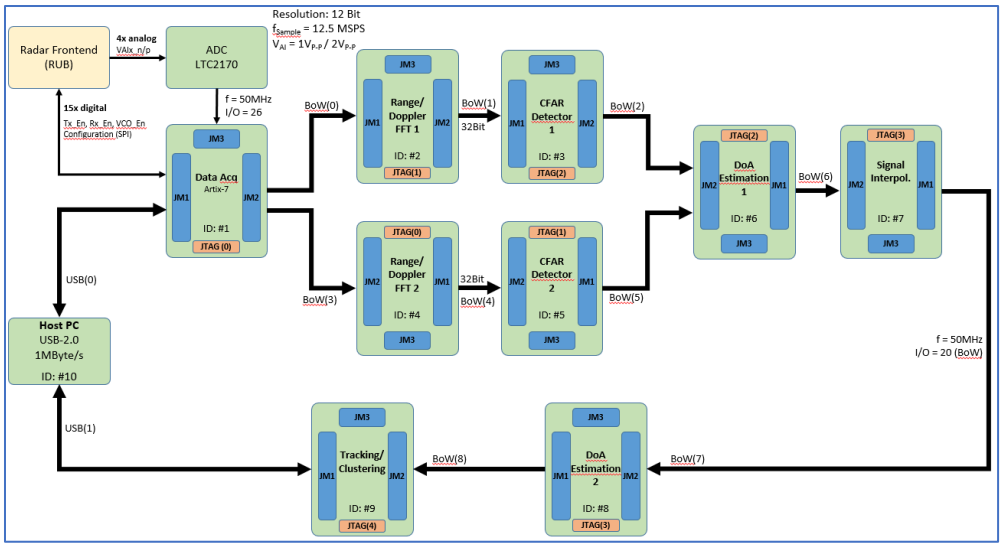


Abbildung 33: Algorithmendemonstrator (REDMB-1A).

Die Gesamtsystemteststeuerung verwendet JTAG vom „(Test-)Host PC“ aus, um die algorithmische Wirkkette der Modul-Datenverarbeitung zu validieren. Um trotz Bandbreiten-Limitation von JTAG unverschlüsselte Daten aus dem Speicher performant auslesen und Stimuli einschleusen zu können, hat Viconnis einen Hash-Mechanismus erarbeitet, der einen Hash-Wert über die Daten im Speicher bildet.

2.4. Stärkung der Vertrauenswürdigkeit durch getriggerte Authentifizierung

Um die Vertrauenswürdigkeit des Radarsystems weiter zu stärken, wurde zunächst mit Partnern ein Konzept für die Authentifizierung der Chiplets durch ein „verstecktes“ kodiertes Signal im Analogsignal des Radarchips ausgearbeitet. Hierbei werden die Kontrollparameter, die normalerweise zur

Optimierung der Signalkette verwendet werden, durch Parameterveränderungen absichtlich verschlechtert. Diese Verschlechterung ist vom System identifizierbar und kann eine Authentifizierung auslösen. Zudem wurde ein schlüsselbasiertes Authentifizierungssystem untersucht und im Konsortium weiterverfolgt.

2.5. Konzept für einen Integrationstest

Das Konzept für Integrationstests wurde von Viconnis speziell für den Algorithmendemonstrator entwickelt. Es umfasst verschiedene Testfälle zur Validierung und Prüfung der einzelnen Komponenten und Funktionen, die für die Durchführung der Testfälle der BIST und Schnittstellentest/BoW Testkonzepte notwendig sind. Das ADC-Applikationssetup beinhaltet die Kommunikation zwischen dem **Host PC** und **Block #1** (Data Acquisition) sowie die Verbindung zum ADC (Analog/Digital Converter, siehe Abbildung 33). Dieses Setup bildet die Grundlage für die Integrationstests und die Validierung der verschiedenen Systemfunktionen. Dieses Testkonzept für Integrationstests deckt die für einen partitionierten Radarchip besonders wichtigen Schnittstellen zwischen den verschiedenen Chiplets sowie die Synchronisation und Kommunikation im Gesamtsystem ab.

2.6. Konzept für Schnittstellentest / Bunch of Wires

Die durch die Partitionierung neu entstandenen veränderten und zusätzlichen Schnittstellen (BoW) erfordern neue Tests, die durch die Spezifikation der Teil-Chiplets und den Verschleierungsverfahren für die Schnittstellen bestimmt werden. Dazu wurde von Viconnis ein Testkonzept entwickelt. Die hierfür nötigen Parameter werden erfasst, und es wurden Möglichkeiten untersucht, diese Tests aus den Partitionierungsdaten und Verbindungslisten abzuleiten. Das Testkonzept für Schnittstellentests / BoW stellt sicher, dass die Datenübertragung zwischen den partitionierten Chiplets getestet, synchron und performant erfolgt. Die Tests umfassen die Überprüfung der Header-Verarbeitung, Fehlererkennung und -korrektur, Timing-Synchronisation sowie Bus-Management und Flusskontrolle. Zusätzlich wird das Verhalten des Systems bei Überlastung, Priorisierung von Datenströmen und Paketverlusten validiert.

2.7. Konzept für BIST Tests

Ein Testkonzept für BIST-Tests ist von Viconnis speziell für die Chiplets des partitionierten Radarchips entwickelt worden. In diesem Testkonzept verfügt jeder Chiplet über dedizierte BIST-Funktionalitäten. Das Testkonzept verfolgt einen systematischen Ansatz, bei dem BIST-Tests nicht nur zur individuellen Validierung einzelner Chiplets eingesetzt werden, sondern auch als Teil eines übergreifenden Integrationstests. Dabei werden Testmuster durch das gesamte System geleitet, und die generierten Ergebnisse sowie Prüfsummen über JTAG ausgelesen und analysiert. Die Implementierung eines BIST kann in unterschiedlichen Umfängen erfolgen, von minimalen Grundfunktionen bis hin zu einem vollständigen Selbsttest aller Systemkomponenten. Je nach Anwendungsfall und Systemanforderung ergeben sich spezifische Vor- und Nachteile, die bei der Umsetzung berücksichtigt werden müssen (Tabelle 1).

Tabelle 1: Vergleich BIST Varianten

BIST-Umfang	Testtiefe	Test-dauer	Ressourcen-verbrauch	Zuverlässigkeit	Eignung für Echtzeitsysteme
Minimaler BIST	Niedrig	Kurz	Gering	Basisabsicherung	Sehr gut
Mittelgroßer BIST	Mittel	Moderat	Mittel	Gut	Gut
Vollständiger BIST	Hoch	Lang	Hoch	Sehr hoch	Eingeschränkt

2.8. Root of Trust

Das Konzept eines Root of Trusts (RoT) wurde entwickelt, der die Sicherheit und Integrität des Systems verbessern soll. Der RoT ist einem Verfahren ähnlich dem von PGP (Pretty Good Privacy) konzipiert worden, dass die Kommunikation zwischen den einzelnen Chiplets absichert. Dieses gewährleistet, dass nur autorisierte Kommunikation zwischen den Chiplets möglich ist und schützt das System vor unbefugtem Zugriff oder Manipulation. Im VE-REWAL Algorithmendemonstrator wird für die Verschlüsselung ein Schlüssel für alle Chiplets verwendet (alternativ ein Schlüssel pro Chiplet-Paar). Dieses

Konzept soll den initialen Sicherheitsansatz von VE-REWAL um eine weitere Sicherheitsebene erweitern.

Im Gegensatz zu klassischen Ansätzen, die Angriffe reaktiv abwehren, verfolgt das RoT-Konzept einen proaktiven Ansatz zur Absicherung gegen mögliche Angriffe. Dabei werden bereits in der Entwicklungs- und Produktionsphase Schutzmaßnahmen konstruktiv eingebunden, einschließlich der Zusammenarbeit mit Herstellern. Das RoT-Konzept basiert auf einer ganzheitlichen Sicherheitsarchitektur für das System, die über die gesamte Fertigungsprozesskette reicht:

- **Partitionierung der elektronischen Komponenten in Module mit jeweils klar definiertem Funktionsumfang:** Diese Module sind so konzipiert, dass jedes einzelne Modul allein keinen kritischen Wert besitzt und für sich genommen funktional bedeutungslos ist. Dabei erfolgt die Partitionierung sowohl auf Hardware- als auch auf Software-Ebene.
- **Herstellung einzelner Module mit unkritischer Funktionalität bei externen Herstellern:** Es wird dabei davon ausgegangen, dass diese Fertigung weltweit erfolgen kann, selbst bei Herstellern mit unklarer Vertrauenswürdigkeit. Jeder externe Hersteller (auch außerhalb Deutschlands bzw. der EU) erhält nur den Schlüssel für das eigene Modul. Der Besitz eines einzelnen Schlüssels stellt dabei kein Sicherheitsrisiko dar.
- **Integration der einzeln gefertigten Module durch einen vertrauenswürdigen Integrator (typisch innerhalb Deutschlands oder der EU):** Nur der Integrator besitzt das umfassende Wissen, wie die extern produzierten Module zum sicheren und funktionierenden Gesamtsystem zusammengefügt werden können. Ausschließlich beim Integrator befindet sich der letzte, zentrale Schlüssel, welcher die Integration aller Module mit einem Hardware-Sicherheitsmodul ermöglicht und gleichzeitig die Sicherheit und Integrität des Gesamtsystems sicherstellt.
- **Betrieb des RoT zur kontinuierlichen Authentifizierung und Verifikation der einzelnen Chiplets im laufenden Betrieb:** Der RoT stellt sicher, dass nur authentifizierte und autorisierte Chiplets miteinander kommunizieren können, wodurch die fortwährende Integrität und Sicherheit des Gesamtsystems gewährleistet wird.

Der RoT ist für ein verteiltes Chiplet-Netzwerk konzipiert, wie im Algorithmendemonstrator durch mehrere FPGA-Module realisiert. Die Chiplets kommunizieren über ein „Bunch of Wires“-Interface in einer Ring-Topologie und tauschen dabei sensible Daten untereinander aus. Der RoT übernimmt in diesem Szenario eine übergeordnete Kontrollfunktion. Das BoW-Interface ist in seiner aktuellen Form primär für die Übertragung von Sensordaten und Verarbeitungsergebnissen zwischen den Chiplets konzipiert. Die Erweiterung dieses Kanals um Authentifizierungsverkehr – einschließlich Signaturen, „Challenges“, Schlüsselprüfungen und Statusmeldungen – würde zu einer unnötigen Belastung und potenziellen Verzögerung im regulären Datenfluss führen. Zudem könnte eine Überladung des BoW-Kanals sicherheitskritische Prozesse stören oder angreifbar machen. Daher wurde ein dedizierter Authentifizierungskanal vorgeschlagen.

Des Weiteren wurden etablierte kryptographische Verfahren analysiert und im Hinblick auf ihre Eignung für partitionierte Chiplet-Systeme bewertet. Im Zentrum standen symmetrische und asymmetrische Verschlüsselungsverfahren, ergänzt durch digitale Signaturen und Hash-Funktionen. Ziel war es, ein Sicherheitskonzept zu entwerfen, das hohe Datenraten, Echtzeitanforderungen und modulare Vertrauensmechanismen miteinander vereint.

Im Ergebnis wird ein hybrides Sicherheitskonzept verfolgt, das beide Ansätze kombiniert: Der initiale Schlüsselaustausch erfolgt asymmetrisch, während die eigentliche Kommunikation im Betrieb über symmetrische Sitzungsschlüssel abgewickelt wird. Der RoT verwaltet die öffentlichen Schlüssel, koordiniert die Authentifizierung und überwacht die Integrität der Chiplets.

Insgesamt wurde ein skalierbarer Sicherheitsmechanismus konzipiert, der eine klare Trennung von Daten- und Authentifizierungspfad vorsieht und durch kontinuierliche Vertrauensüberprüfung eine belastbare Vertrauensarchitektur für verteilte, sicherheitskritische Systeme schafft.

3. Ergebnistransfer/Veröffentlichungen

Das Fraunhofer IZM hat während der Projektlaufzeit folgende Veröffentlichungen initiiert:

- **Conference Paper**: S. Huber et al., "Improving Warpage Characterization of Large Wafers in Fan-Out Packaging Technology," 2023 IEEE 73rd Electronic Components and Technology Conference (ECTC), Orlando, FL, USA, 2023, pp. 1332-1338, doi: 10.1109/ECTC51909.2023.00227.
- **Conference Paper**: S. Huber et al., "Analyzing the Influence of RDL Stack-up on Wafer Warpage in FOWLP through Experimental and Numerical Investigations," 2024 IEEE 74th Electronic Components and Technology Conference (ECTC), Denver, CO, USA, 2024, pp. 1018-1024, doi: 10.1109/ECTC51529.2024.00163.
- **Online Artikel**: https://www.all-electronics.de/elektronik-fertigung/wie-eine-vertrauenswuerdige-elektronik-die-elektronikfertigung-in-deutschland-sichert-500.html (April 23)
- **Pressemitteilung**: https://www.izm.fraunhofer.de/de/ news_events/tech_news/vertrauenswuerdige-elektronik.html (Juni 21)

4. Vergleich des Vorhabens mit der Planung

Das Projekt musste aus verschiedenen Gründen um sechs Monate verlängert werden. Die Designerstellung dauerte vier Monate länger als ursprünglich geplant. Dies war bedingt durch die Komplexität und Vielfalt der verwendeten Packages sowie durch die zeitintensiven HF-Simulationen der RUB, die für den Funktionsdemonstrator unerlässlich waren. Trotz dieser Verzögerungen wurde ein Design entwickelt, das zahlreiche zu untersuchende Elemente integriert. Zudem gab es während der Projektlaufzeit mehrere Ausfälle von Vakuumtools. Die Ersatzteillieferung verzögerte sich aufgrund der Nachwirkungen der COVID-19-Pandemie. Dies und die Konkurrenzsituation mit anderen Projekten führte insgesamt zu einer Verzögerung des Projekts um etwa sechs Monate.

Zahlenmäßiger Nachweis

Die wichtigsten Positionen des zahlenmäßigen Nachweises sind in Tabelle 2 aufgeführt. Der vorliegende Bericht argumentiert die Notwendigkeit der entstandenen und abgerechneten Kosten.

Tabelle 2: Wichtigste Positionen des zahlenmäßigen Verwendungsnachweises

Position	Abgerechnete Kosten	Gesamtvorkalkulation
Materialkosten	186.591,00 €	189.000,00 €
Personalkosten	1.932.675,59 €	1.935.154,00 €
Reisekosten	13.447,87 €	16.000,00 €
Kosten UA Viconnis	205.137,00 €	205.107,00 €
Sonstige Kosten	19.105,67 €	61.000,00 €
Summe	**2.356.957,13 €**	***2.406.261,00 €***

5. Externe relevante FE-Ergebnisse

Es sind keine FE-Ergebnisse Dritter in der Projektlaufzeit bekannt geworden, die für das Vorhaben relevant gewesen wären.

6. Notwendigkeit der Förderung

Es hat sich gezeigt, dass die Risikoeinschätzung im Projektantrag korrekt war und dass eine erfolgreiche Bearbeitung des attraktiven, aber komplexen Forschungsthemas nur durch die Zusammenarbeit aller Projektpartner möglich war.

7. Fortschreibung des Verwertungsplans

7.1. Erfindungen & Schutzrechte

Es wurden im Rahmen des Projektes keine Erfindungen oder Schutzrechte initiiert.

7.2. Wirtschaftliche Erfolgsaussichten nach Projektende

Aufbauend auf dem im Projekt erarbeiteten Know-how sind gemeinsame Forschungs- und Entwicklungsprojekte zur Herstellung von Polymer-Interposern auf Basis der IZM RDL-1st FOWLP-Technologie geplant. Die Projektskizze QADK-HF wurde eingereicht, in der u. a. die exemplarische Herstellung von Multi-Project-Wafern unter Nutzung von Open-Source-Designtools für die 6G-Kommunikation vorgesehen ist. Kurzfristig werden die Ergebnisse und das gewonnene Know-how im zukunftsträchtigen Bereich Wafer Level Packaging potenziellen Interessenten aus Forschung und Industrie zur Verfügung gestellt. Mittel- und langfristig unterstützen die erzielten Ergebnisse die Akquise von Entwicklungsprojekten mit Industriepartnern, vor allem im Bereich des FOWL-Packaging.

7.3. Wiss. und/oder techn. Erfolgsaussichten nach Projektende

Das Fraunhofer IZM verfolgt mit dem Projekt die kontinuierliche Weiterführung seiner Forschungsaufgaben, insbesondere im Bereich des Fan-Out Wafer Level Packagings. Die Herausforderungen und Fehler, die in einem Projekt auftreten, helfen, neue Lösungsansätze zu entwickeln und auszuprobieren. Diese Innovationsprozesse führen häufig zu weiteren Projekten sowie zu neuen Produkt- und Technologieideen. Die generierten Ergebnisse werden durch Publikationen der wissenschaftlichen Öffentlichkeit zugänglich gemacht, wodurch das IZM zur Entwicklung innovativer Aufbaukonzepte und zum internationalen Wissenszuwachs in diesem Bereich beiträgt. Im Laufe des Projekts wurden die Ergebnisse bereits auf verschiedenen Wegen veröffentlicht (siehe Kapitel 3 „Ergebnistransfer/Veröffentlichungen“). Die anwendungsnahe Forschung und die enge Zusammenarbeit mit der Wirtschaft im Projekt VE-REWAL unterstützen das IZM auch in Zukunft bei der Bearbeitung innovativer und relevanter Themen. Zusätzlich werden die Ergebnisse intern präsentiert und diskutiert, wodurch das erlangte Wissen nachhaltig an die nächste Ingenieursgeneration weitergegeben wird. Insbesondere werden die gewonnenen Projektergebnisse in die Vorlesung "Materials for the 3D System Integration" an der TU Dresden integriert. Dies trägt zur optimalen Wertschöpfung im Rahmen der interdisziplinären Ausbildung mit Fokus auf angewandte Forschung bei. Darüber hinaus wird das Fraunhofer IZM die Erkenntnisse zur Herstellung von RDL-1st FOWLP insbesondere kleinen und mittleren Unternehmen (KMUs) als Dienstleistung für Demonstratoren und Musterserien anbieten.

7.4. Wissenschaftliche und wirtschaftliche Anschlussfähigkeit

Das Vorhaben leistet einen bedeutenden Beitrag zur Realisierung vertrauenswürdiger Elektronik und der erforderlichen Technologiesouveränität durch die Thematik der verteilten Fertigung. Die im Rahmen des Projekts entwickelte Aufbau- und Verbindungstechnik für HF-/HD-FOWLPs unter Verwendung von Chiplets spielt eine Schlüsselrolle bei der Schaffung vertrauenswürdiger Elektronik. Dies eröffnet nicht nur Kooperationsmöglichkeiten mit großen Unternehmen wie Infineon und Continental, sondern auch attraktive Lösungen für KMUs. Die Zusammenarbeit innerhalb des Projektverbunds erhöht die nationale und internationale Sichtbarkeit sowie die Konkurrenzfähigkeit des Fraunhofer IZM. Basierend auf dieser gesteigerten Sichtbarkeit und dem erweiterten Netzwerk hat VE-REWAL das Potenzial, Anschlussprojekte erfolgreich zu akquirieren. Aktuell liegt eine Projektskizze für das Vorhaben „QADK-HF“ beim Förderträger zur Begutachtung vor. Durch das Projekt hat das IZM seinen wissenschaftlichen Vorsprung im Bereich FOWLP weiter vertieft und ausgebaut, was die Akquise neuer Projekte auch in eng verwandten Themengebieten ermöglicht.