

Zuwendungsempfänger:  
TUC1/2

Förderkennzeichen:  
FKZ 16MEE0130

Vorhabenbezeichnung:  
Vertrauenswürdige europäische SiC-Lieferkette für energieeffiziente Leistungselektronik  
- TRANSFORM -

Laufzeit des Vorhabens: 01.05.2021 – 31.10.2024

Im Rahmen des TRANSFORM-Projekts passte TUC1 bestehende Zuverlässigkeitstestmethoden an SiC-spezifische Effekte an und stimmte Verifikationsbedingungen mit den Projektpartnern ab. Zur Bewertung der Lebensdauer führte TUC1 applikationsnahe Lastwechseltests durch und definierte Testparameter und Read-Out-Methoden zur Abschätzung des End-of-Life (EOL). Ein weiterer Schwerpunkt lag auf der Untersuchung des sicheren Arbeitsbereichs (SOA) von SiC-MOSFETs sowie der Identifikation und Validierung von Schwachstellen und Verbesserungen durch optimierte Chip- und Verbindungstechnologien. Fehleranalysen lieferten dabei wichtige Erkenntnisse zu Ausfallmechanismen und führten zur Erstellung von Fehlerkatalogen für die neue Aufbau- und Verbindungstechnik. In enger Zusammenarbeit mit TUC2 wurde ein einheitliches Lebensdauermodell entwickelt. Dabei entwickelte TUC2 ergänzend Simulationsmethoden zur thermomechanischen Zuverlässigkeitsanalyse weiter und nutzte digitale Zwillinge zur modellbasierten Lebensdauerabschätzung von Leistungshalbleitermodulen.

Im Projektverlauf wurde die in der JEDEC JEP-184 beschriebene Messroutine zur Erfassung der Gate-Thresholdspannung  $V_{GS(th)}$  erstmals erfolgreich in einen Lastwechselteststand integriert. Damit lässt sich  $V_{GS(th)}$  – positiv oder negativ vorkonditioniert – während des Tests erfassen, um BTI-Effekte zu analysieren. Erste Ergebnisse zeigen einen kontinuierlichen Anstieg von  $V_{GS(th)}$  über die Zyklen bis zum Erreichen des EOL-Kriteriums, mit direktem Einfluss auf  $R_{DS(on)}$ .

Prüflinge mit verbesserter AVT (Kupfermetallisierung und -sinterung) von Semikron-Danfoss wurden im Lastwechseltest auf Lebensdauer und Schwachstellen untersucht. Unter identischen Lastwechselbedingungen zeigten weder gemoldete noch ungemoldete Varianten signifikante Unterschiede im Verlauf von  $V_{DS}$  und  $R_{th,jhs}$  (siehe Abbildung 1). Nach 2,2 Millionen Zyklen trat kein Ausfall auf. Die anschließende Fehleranalyse zeigte keine kritischen Beschädigungen in der Aufbau- und Verbindungstechnik.

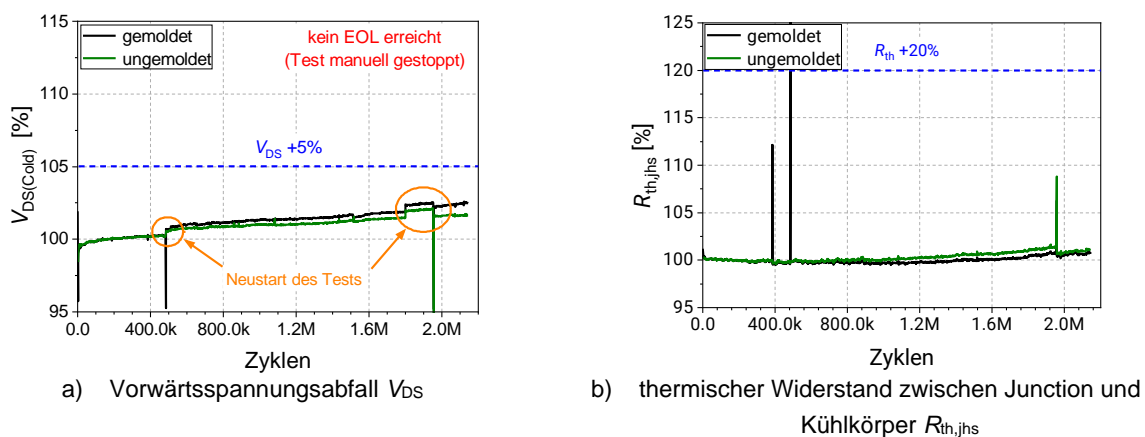
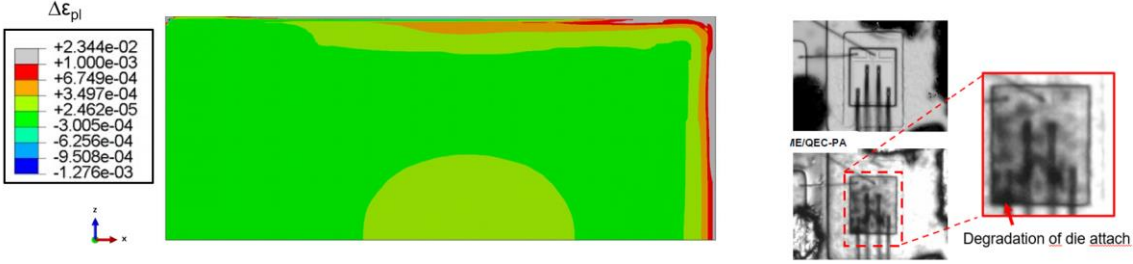


Abbildung 1: Verlauf von  $V_{DS}$  und  $R_{th,jhs}$  während des PCTs mit  $\Delta T = 110$  K für ungemoldete und gemoldete Prüflinge basierend auf Kupfer AVT

Zusätzlich wurden Lastwechseltests an Prüflingen mit Kupfermetallisierung und Silbersinterung auf der Rückseite durchgeführt. Die in Abbildung 2 dargestellte Fehleranalyse und thermomechanische Simulation zeigen eine erhöhte zyklische äquivalente plastische Dehnung in der rückseitigen Chipkontaktierung. Dies korreliert mit den im Rahmen der Fehleranalyse (siehe Abbildung 2) beobachteten Fehlerbild in diesem Bereich.

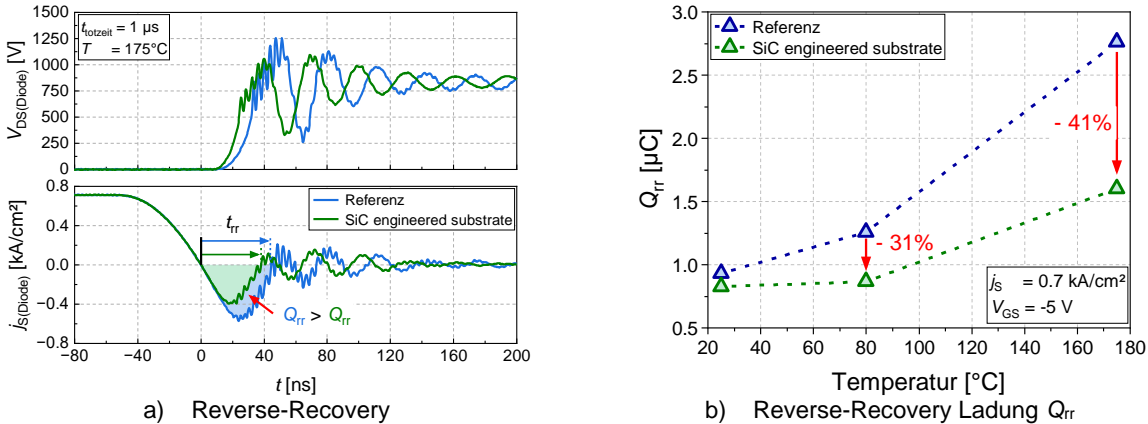


(a) Zyklische äquivalente plastische Dehnung - Schwerpunkt an der Chip Kontaktierung

(b) Zerstörungsfreie Fehleranalyse durch SAM

Abbildung 2: Thermomechanische Simulationsergebnisse und Fehleranalyse

Dynamische Untersuchungen im Rahmen des Projekts wurden an drei Prüflingsvarianten durchgeführt: der Referenz (DTS mit monokristallinem Substrat), einer Variante mit einem SiC-engineered Substrate (Smart-SiC™) sowie einer Kupfervariante mit Kupfermetallisierung. Alle Varianten basieren auf einem 1200 V Trench-Gate-Design. Beim Kurzschluss zeigten sich keine signifikanten Unterschiede; auch die Kupfermetallisierung führte zu keiner Verbesserung. Im Stoßstromtest erzielten die Kupfervarianten eine bis zu 17 % höhere Festigkeit, während Prüflinge mit einem SiC-engineered Substrate aufgrund ihres höheren thermischen Widerstands eine reduzierte Ausfallenergie gegenüber der Referenz aufwiesen. Beim Reverse-Recovery-Verhalten zeigte die Variante basierend auf dem SiC-engineered Substrate bei 175°C eine um 40 % geringere Reverse-Recovery Ladung  $Q_{rr}$ . Es wird angenommen, dass im SmartCut-Prozess eingeführte defektinduzierende Wasserstoffionen die Ladungsträgerlebensdauer in der Nähe der  $n^+$ -Drain-Region reduzieren. Dies mindert die  $n^+$ -Emitter-Effizienz und führt zu einer verringerten Plasmadichte in der  $n^-$ -Driftregion, was wiederum zu geringeren Schaltverlusten führt.



a) Reverse-Recovery

b) Reverse-Recovery Ladung  $Q_{rr}$

Abbildung 3: Vergleich des Reverse-Recovery Verhaltens und Ladung für  $V_{DC(Link)} = 850 V$ ,  $t_{totzeit} = 1 \mu s$ , und  $V_{GS} = -5 V$

Das Projekt ermöglichte einen substantiellen Erkenntnisgewinn in den Bereichen Aufbau- und Verbindungstechnik sowie Chiptechnologie, was sich in mehreren wissenschaftlichen Publikationen widerspiegelt. Besonders die Ergebnisse zu engineered Substrates bilden eine tragfähige Grundlage für das EU-Anschlussvorhaben *FastLane*, in dem die TUC ihre im TRANSFORM-Projekt entwickelten Kompetenzen gezielt weiterführt.

KDT-Verbundvorhaben



## **Vertrauenswürdige europäische SiC-Lieferkette für energieeffiziente Leistungselektronik**

### **Schlussbericht Teilvorhaben TUC1/2 (eingehende Darstellung)**

Laufzeit des Vorhabens:	01.05.2021 – 31.10.2024
Zuwendungsempfänger:	Technische Universität Chemnitz (TUC)
Förderkennzeichen:	16MEE0130
Fälligkeitsdatum:	30.04.2025
Ansprechpartner:	Prof. Dr.-Ing. Thomas Basler M. Sc. Mohamed Alaluss M. Sc. Anu Mathew M. Sc. Patrick Heimler

Projekträger: VDI/VDE Innovation + Technik GmbH

## INHALTSVERZEICHNIS

<b>1</b>	<b>Aufgabenstellung und Zielsetzung .....</b>	<b>4</b>
<b>2</b>	<b>Durchgeführte Arbeiten und erreichte Ergebnisse.....</b>	<b>4</b>
2.1	Übersicht .....	4
2.2	WP2 – Anforderungen und Methoden entlang der Wertschöpfungskette .....	5
2.3	WP3 – Material- und Substratoptimierung.....	7
2.4	WP5 – Leistungsmodul- und Systementwicklung .....	7
<b>3</b>	<b>Wichtigste Positionen des zahlenmäßigen Nachweises .....</b>	<b>17</b>
<b>4</b>	<b>Notwendigkeit und Angemessenheit der geleisteten Arbeiten ....</b>	<b>17</b>
<b>5</b>	<b>Nutzen und Verwertbarkeit des Ergebnisses .....</b>	<b>18</b>
<b>6</b>	<b>Fortschritt bei anderen Stellen .....</b>	<b>19</b>
<b>7</b>	<b>Veröffentlichungen .....</b>	<b>19</b>

## ABBILDUNGSVERZEICHNIS

Abbildung 1: Methodik für die Erstellung des digitalen Zwillings.....	6
Abbildung 2: Lebensdauerabschätzung von Leistungsmodulen basierend auf der Methodik des digitalen Zwillings.....	6
Abbildung 3: Blockdiagramm für das digitale Zwillingsmodell und Ergebnisse .....	7
Abbildung 4: Read-Out-Methodik der Gate-Thresholdspannung $V_{GS(th)}$ während eines Lastwechseltests .....	8
Abbildung 5: Lebensdauerabschätzung in Abhängigkeit von $\Delta T_j$ .....	8
Abbildung 6: Verlauf von $V_{DS}$ und $R_{th,jhs}$ während des PCTs mit $\Delta T = 110$ K für ungemoldete und gemoldete Prüflinge basierend auf Kupfer AVT .....	9
Abbildung 7: Fehleranalyse nach dem Lastwechseltest für gemoldete und ungemoldete Prüflinge mit verbesserter AVT – kleine Risse erkennbar (roter Pfeil) .....	10
Abbildung 8: Lastwechselergebnisse für Prüflinge basierend auf einem SiC-engineered Substrat im Vergleich zur Referenz.....	10
Abbildung 9: Zerstörungsfreie Schadensanalyse mit dem akustischen Rastermikroskop (SAM) .....	11
Abbildung 10: Thermomechanische Ergebnisse numerischer Simulationen .....	11

Abbildung 11: Temperaturverteilung auf dem Chip von DTS- und Cu-AIT-Leistungsmodulen .....	12
Abbildung 12: Thermomechanische Simulationsergebnisse und Fehleranalyse eines Cu-Leistungsmoduls.....	12
Abbildung 13: Vergleich der Lebensdauer von DTS- und Cu-AIT-Leistungsmodulen durch numerische Simulation und Experiment .....	13
Abbildung 14: Vergleich des Kurzschluss Typ I Verhalten sowie der Robustheit für $V_{DC(Link)} = 800\text{ V}$ und $V_{GS} = -5\text{ V}/18\text{ V}$ zwischen Referenz und SiC-engineered Substrat .....	14
Abbildung 15: Vergleich der kritischen Kurzschlussdauer und -energie zwischen Referenz und kupferbasierten Prüflingen für $V_{DC(Link)} = 800\text{ V}$ und $V_{GS} = -5\text{ V}/18\text{ V}$	14
Abbildung 16: Vergleich des Stoßstromverhaltens sowie der Robustheit im 3. Quadranten für $V_{GS} = -5\text{ V}$ und $t_{Stoßstrom} = 10\text{ ms}$ .....	15
Abbildung 17: Vergleich der kritischen Stoßstromamplitude und -energie zwischen Referenz und kupferbasierten Prüflingen für $t_{Stoßstrom} = 10\text{ ms}$ und $V_{GS} = -5\text{ V}$ .....	16
Abbildung 18: Vergleich des Reverse-Recovery Verhaltens und Ladung für $V_{DC(Link)} = 850\text{ V}$ , $t_{totzeit} = 1\text{ }\mu\text{s}$ , und $V_{GS} = -5\text{ V}$ .....	16

## TABELLENVERZEICHNIS

Tabelle 1: Prüflinge für dynamische Untersuchungen.....	13
Tabelle 2: Kostenübersicht.....	17
Tabelle 3: Erfolgte und geplante Veröffentlichungen von Projektergebnissen.....	19

## **1 Aufgabenstellung und Zielsetzung**

Der Aufgabenbereich der TUC1 umfasst die Erweiterung und Anpassung bestehender Zuverlässigkeitstestmethoden an SiC-spezifische Effekte. Dazu gehört die Abstimmung der Methoden und Definitionen mit den TRANSFORM-Partnern, um einheitliche Verifikationsbedingungen für verschiedene Technologien zu schaffen.

Zusätzlich leistet die TUC1 einen Beitrag zur Bewertung und Untersuchung des sicheren Arbeitsbereichs (Safe Operating Area, SOA) von SiC-MOSFETs für Kurzschluss und Stoßstrom. Dabei werden Schwachstellen bestehender Technologien identifiziert und mögliche Verbesserungen durch optimierte Chip- und Verbindungstechnologien, wie z. B. eine verbesserte Vorderseitenmetallisierung, validiert. Diese Untersuchungen werden durch Fehleranalysen begleitet, um die Ausfallursachen zu verstehen.

Im Rahmen des TRANSFORM-Projekts unterstützt die TUC1 die Technologieentwicklung durch umfangreiche Zuverlässigkeitstests, insbesondere durch angepasste Lastwechseltests, die applikationsrelevante Stressprofile berücksichtigen. Auf dieser Grundlage werden Testparameter sowie Read-Out-Methoden zur Abschätzung des „End of Life“ (EOL) definiert. Detaillierte Fehleranalysen begleiten diese Tests, um die physikalischen Ursachen von Ausfällen zu verstehen.

In enger Zusammenarbeit mit TUC2 wird basierend auf den Ergebnissen der Zuverlässigkeitstests ein einheitliches Lebensdauermodell zur EOL-Abschätzung entwickelt, noch bevor erste physische Technologiemuster gefertigt werden. Dies soll zu verkürzten Entwicklungszyklen und schnellen Feedback-Schleifen führen.

Das Hauptziel von TUC2 in diesem Projekt ist die Weiterentwicklung von Simulationsmethoden zur thermomechanischen Zuverlässigkeitsanalyse und Lebensdauermodellierung sowie deren konkrete Anwendung zur Bewertung und Optimierung der im Projekt von den Projektpartnern entwickelten Leistungshalbleiterbauelemente und Module. Ein weiteres Hauptziel des Projekts ist, auf digitalen Zwillingen der verschiedenen Leistungsmodule basierende Lebensdauermodelle zu entwickeln, um die Lebensdauer verschiedener Leistungsmodule abzuschätzen.

## **2 Durchgeführte Arbeiten und erreichte Ergebnisse**

### **2.1 Übersicht**

Die TUC1 ist im Rahmen des Projekts TRANSFORM in den Arbeitspaketen 2, 3 und 5 involviert. Im Rahmen des Projekts TRANSFORM ist TUC2 an den Arbeitspaketen 2 und 5 beteiligt.

Im Arbeitspaket 2 wird die Wertschöpfungskette innerhalb des Projekts adressiert. In diesem Zusammenhang wurden spezifische Anforderungen an die Bauelemente definiert.

Das Arbeitspaket 3 befasst sich mit der Optimierung von Materialien und Substraten. Die TUC1 leistete hier einen wesentlichen Beitrag zur Validierung der Materialeigenschaften, insbesondere der Substrateigenschaften.

Der Hauptfokus der TUC1 lag auf Arbeitspaket 5, das sich mit der Entwicklung von Leistungsmodulen und -systemen befasst. Im Rahmen dieses Arbeitspakets übernahm die TUC1 die Leitung der Teilaufgabe T5.1 („Robustheits- und Zuverlässigkeitsuntersuchungen“) und war zudem an der Teilaufgabe T5.3 („Untersuchungen an einer verbesserten Chip-Vorderseite“) beteiligt.

## **2.2 WP2 – Anforderungen und Methoden entlang der Wertschöpfungskette**

Im Arbeitspaket 2 ist TUC2 an den Teilaufgaben T2.3 und T2.6 beteiligt. Das Arbeitspaket T2.3 konzentriert sich auf die Anforderungen an die Leistungsmodule, während sich T2.6 auf die Simulation zur Unterstützung der technischen Anforderungen fokussiert.

Die Teilaufgabe T2.3 befasst sich mit der Aufstellung der grundlegenden Anforderungen für die in T2.6 und T5.1 geplanten experimentellen sowie simulationsbasierten Untersuchungen, welche die Bewertung und Optimierung der thermo-mechanischen Zuverlässigkeit adressieren. Dazu wurden schwerpunktmäßig die Anforderung zur Erstellung von digitalen Zwillingen auf Basis von Kompaktmodellen für die von den Projektpartnern zur Verfügung gestellten Leistungsaufbauten definiert. Dies beinhaltet unter anderem Anforderungen zu den geometrischen Daten, den Werkstoffdaten sowie zu den Belastungsszenarien. Die im Rahmen der Simulationen zu untersuchenden Belastungsbedingungen werden wiederum von den Testbedingungen abgeleitet, wozu der Fokus sowohl auf Lastwechseltests (durchgeführt durch TUC1) als auch auf Temperaturschocktests liegt. Schließlich gilt es noch geeignete Schädigungskriterien zu definieren. Hierzu sollen zunächst vorhandene Kriterien genutzt und diese entsprechend der im Projekt erzielten Test- und Simulationsergebnissen angepasst und weiter optimiert werden.

Der Fokus von TUC2 in T2.6 liegt in der Entwicklung verbesserter Simulationsmethoden mit dem Ziel, die elektro-thermo-mechanischen Effekte auf Bauelement-, Komponenten-, Modul- bzw. Systemebene für die zu untersuchenden Leistungsaufbauten durch detaillierte digitale Zwillinge möglichst genau zu beschreiben und basierend darauf eine universellere und genauere Lebensdauermodellierung aufstellen zu können, wozu insbesondere auch neue Schadensmodellansätze untersucht werden sollen. Dazu wurde zunächst mit der Analyse der relevanten Fehlermodi und Einflussparameter begonnen. Dies beinhaltet die Untersuchung der zuverlässigkeitsbeeinflussenden multimodalen Ausfallmodi (thermisch, thermomechanisch, elektrisch) der im Projekt entwickelten Leistungsmodultechnologien sowie die Identifizierung der relevanten Einflussgrößen und Variationsbereiche.

Die digitalen Zwillinge wurde mit Hilfe der Finite-Elemente-Software ABAQUS und der Software OptiSLang entwickelt (siehe Abbildung 1). Zur Untersuchung der Lebensdauer können verschiedene Parameter variiert werden und zur Vorhersage der Lebensdauer wird ein Prognoseverhaltensmodell erstellt. Die Implementierung der Methodik wurde an verschiedenen Proben durchgeführt und mit Experimenten von TUC1 verifiziert. Die kritischsten Versagensbereiche werden von AP5 beobachtet und in der numerischen Simulation definiert.

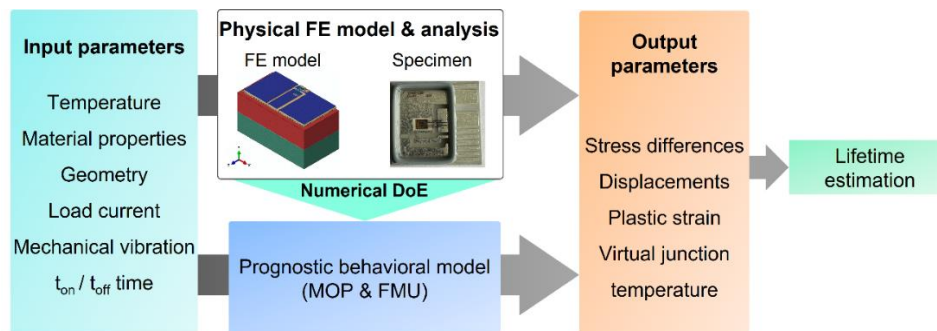
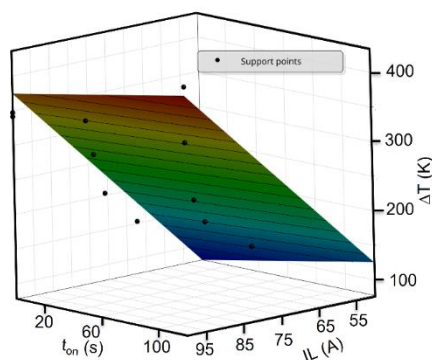
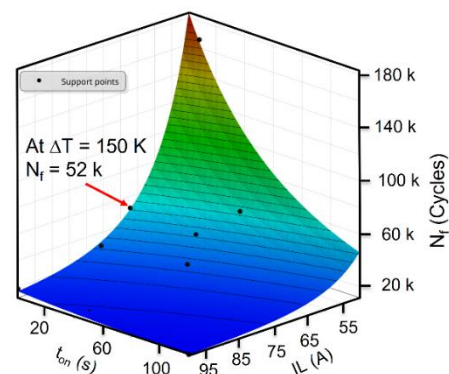


Abbildung 1: Methodik für die Erstellung des digitalen Zwillings

Gekoppelte elektro-thermo-mechanische Simulationen wurden durchgeführt, um die Lebensdauer des Leistungsmoduls abzuschätzen. Es wurde festgestellt, dass der Laststrom ( $I_L$ ) einen größeren Einfluss auf die Temperaturverteilung auf dem Chip und auch auf die mittlere Anzahl der Zyklen bis zum Ausfall des Leistungsmoduls hat, wie in Abbildung 2 dargestellt. Abbildung 2a lässt den Schluss zu, dass die Delta-Temperatur mit zunehmendem  $I_L$  und kleineren  $t_{on}$  steigt. Abbildung 2b zeigt, dass die Lebensdauer des Leistungsmoduls mit zunehmender  $I_L$  und  $t_{on}$  auf der Grundlage von Sinter-Silber Chip-Kontakt auf der Rückseite abnimmt. Für die Entwicklung eines digitalen Zwillingsmodells ist ein umfangreicher Datensatz erforderlich. Daher wurden die Eingabeparameter in einem weiten Bereich über die Standard-Testbedingungen hinaus variiert (Temperaturdifferenz  $> 200$  K), um eine große Vielfalt an Daten zu generieren und somit die Qualität des numerischen Zwillingsmodells zu erhöhen.



a) MOP der Temperaturdifferenz



b) Abschätzung der Lebensdauer Rückseitenkontakt - gesintertes Silber

Abbildung 2: Lebensdauerabschätzung von Leistungsmodulen basierend auf der Methodik des digitalen Zwillings

Das digitale Zwillingsmodell wird als Metamodel für Optimal Prognosis (MOP) erstellt. Dieses MOP kann verwendet werden, um eine funktionale Mock-up Unit (FMU) zu erstellen, die als kompaktes Modell zur Schätzung von Ausgabeparametern auf der Grundlage benutzerdefinierter Eingaben (siehe Blockdiagramm in Abbildung 3) betrachtet wird. Darüber hinaus kann auf die FMU mit verschiedenen Programmiersprachen zugegriffen werden (z. B. Python, C++, C#, Excel usw.). Der Hauptvorteil dieses digitalen Zwillingsmodells besteht darin, dass es von jedem Endbenutzer verwendet werden kann, und keine Vorkenntnisse in der FE-Simulation benötigt werden, um die Lebensdauer von Leistungsmodulen abzuschätzen. Außerdem hilft es den Modulentwicklern, die auch die geometrischen Parameter variieren können, die Auswirkungen von Parametervariationen zu beobachten, die eine entscheidende Rolle bei der Lebensdauer von Leistungsmodulen spielt.

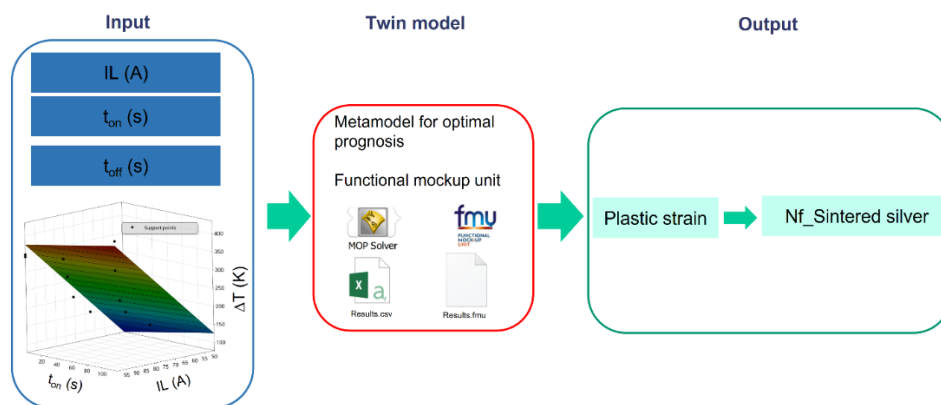


Abbildung 3: Blockdiagramm für das digitale Zwillingsmodell und Ergebnisse

## 2.3 WP3 – Material- und Substratoptimierung

Die gewonnenen Erkenntnisse über das SiC-engineered Substrat – sowohl hinsichtlich seiner Lastwechselfestigkeit als auch seines Verhaltens in Überlastszenarien und unter dynamischen Bedingungen – wurden direkt an den Hersteller SOITEC übermittelt, um mögliche Schwachstellen aufzuzeigen. Die Ergebnisse sind in Abschnitt 2.4 zusammengefasst.

## 2.4 WP5 – Leistungsmodul- und Systementwicklung

Zunächst wurde die Messroutine (siehe Abbildung 4a) für die Bestimmung der Thresholdspannung ( $V_{GS(th)}$ ) von SiC MOSFETs, wie sie in der JEDEC JEP-184 beschrieben ist, erfolgreich an einen der Lastwechselfeststände implementiert. Mit diesem neuen Ablauf kann neben den klassischen Parametern, wie Laststrom, minimale und maximale virtuelle Temperatur des Prüflings etc. auch die Thresholdspannung (positive Vorkonditionierung:  $V_{GS(th)}^{down}$  oder negative Vorkonditionierung  $V_{GS(th)}^{up}$  mit einem variable einstellbaren Messstrom) während des Lastwechselfests (jeder Zyklus ist möglich) bestimmt werden. Ziel ist es, etwaige Veränderungen in der  $V_{GS(th)}$  infolge von BTI (Bias Temperature Instability) Effekten zu erkennen.

Ein Beispiel für  $V_{GS(th)down}$  und  $V_{GS(th)up}$ , während des Lastwechseltests ist in Abbildung 4b dargestellt. Man kann erkennen, dass sich diese von Anfang an erhöht bis das EoL (End of Life) Kriterium erreicht ist. Dabei ist zu beachten, dass eine Veränderung in  $V_{GS(th)}$  einen Einfluss auf den  $R_{DS(ON)}$  des SiC MOSFETs hat, was bei der Beurteilung des Ausfalls berücksichtigt werden muss. Insgesamt ist der Drift in der  $V_{GS(th)}$  bei den untersuchten Prüflingen aber als gering einzustufen.

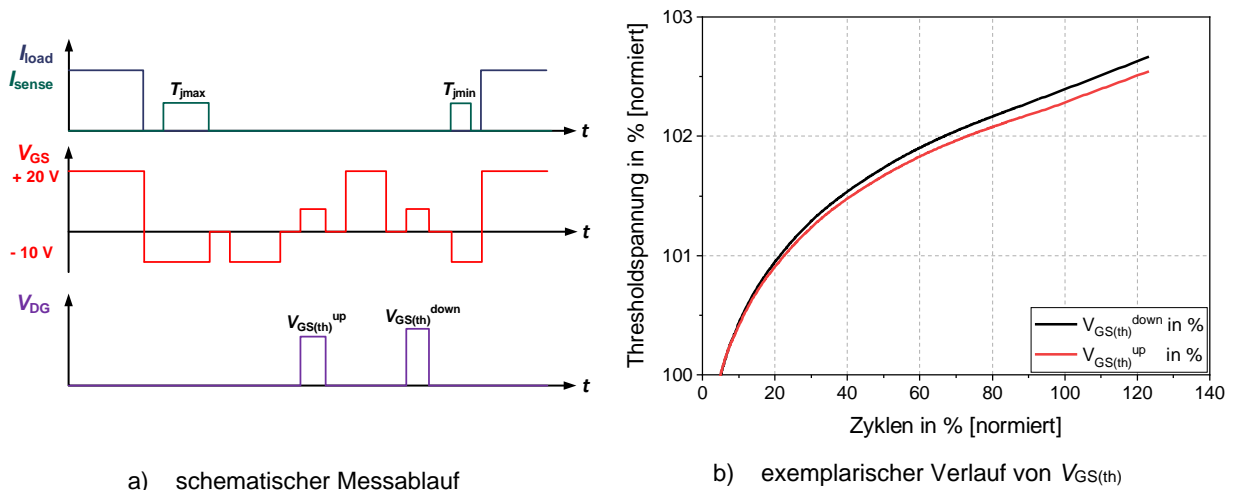


Abbildung 4: Read-Out-Methodik der Gate-Thresholdspannung  $V_{GS(th)}$  während eines Lastwechseltests

Es wurden zwei Lastwechseltests mit unterschiedlichen Temperaturhüben, jedoch gleicher maximaler Temperatur durchgeführt. Nach der Normierung ist kein Unterschied in den Lebensdauern der Standard Aufbau- und Verbindungstechnik (AVT) zum CIPS2008 Model erkennbar, und die Lebensdauern liegen annähernd auf der Lebensdauerkurve des Modells (siehe Abbildung 5).

Verschiedene negative Gatespannungen (-8 V bis -12 V), die für die Temperaturbestimmung mittels  $V_{SD}(T)$ -Methode im Lastwechseltest essenziell sind, wurden genutzt, um einen möglichen Einfluss auf die Lebensdauer zu untersuchen. Man kann erkennen, dass dies nicht zutrifft und die Gatespannung während der Ausschaltphase in diesem Fall keinen Einfluss auf die Lebensdauer hat (siehe Abbildung 5).

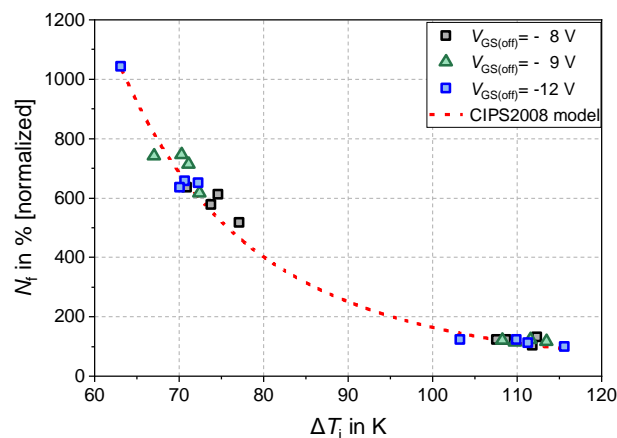
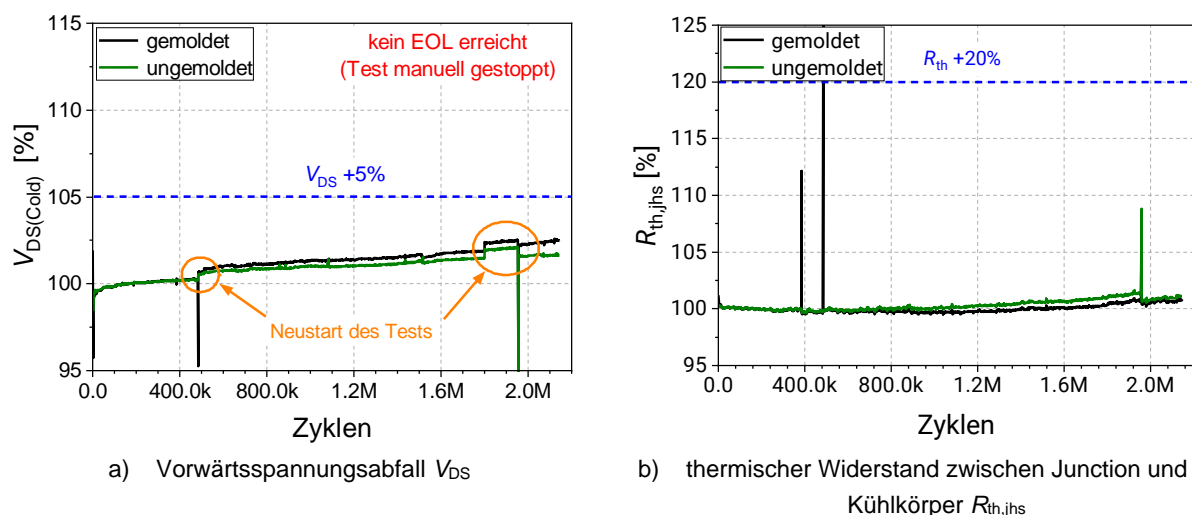


Abbildung 5: Lebensdauerabschätzung in Abhängigkeit von  $\Delta T_j$

Auch wurden Prüflinge mit verbesserter AVT wurden im Lastwechseltest hinsichtlich ihrer Lebensdauer und möglichen Schwachstellen untersucht. Die verbesserter AVT bestand darin, dass die Prüflinge über Kupfersinterung sowie Kupferbonddrähte und -metallisierung verfügten. Im Test wurden sowohl gemoldete als auch ungemoldete Prüflinge untersucht.

Die Testbedingungen, wie die maximale virtuelle Temperatur  $T_{jmax}$  von  $175^{\circ}\text{C}$  bei einem Temperaturhub  $\Delta T_j$  von 110 K sowie einer Einschaltzeit  $t_{on}$  von 1 s waren für alle Bauteile im Test identisch. Der Test wurde nach 2,2 Millionen Zyklen manuell gestoppt und als beendet erklärt.

Es ist kein signifikanter Unterschied zwischen den gemoldeten und ungemoldeten Prüflingen in den Verläufen von  $V_{DS}$  bzw.  $R_{th}$  (siehe Abbildung 6) erkennbar. Zusätzlich zeigte der Versuch, dass keines der klassischen EoL-Kriterien erreicht wurde, sodass kein Ausfall der Prüflinge detektiert werden konnte.



**Abbildung 6: Verlauf von  $V_{DS}$  und  $R_{th,jhs}$  während des PCTs mit  $\Delta T = 110$  K für ungemoldete und gemoldete Prüflinge basierend auf Kupfer AVT**

Nach dem Lastwechseltest wurde eine Fehleranalyse der gemoldeten sowie ungemoldeten Prüflinge mit verbesserter AVT durchgeführt. Es zeigt sich, dass keine signifikante Schädigung an den verschiedenen Verbindungen erkennbar ist (siehe Abbildung 7). Trotz erster kleiner Risse an der Verbindung zwischen Cu-Bonddraht und Metallisierung wären die Prüflinge weiterhin im Lastwechseltest einsetzbar.

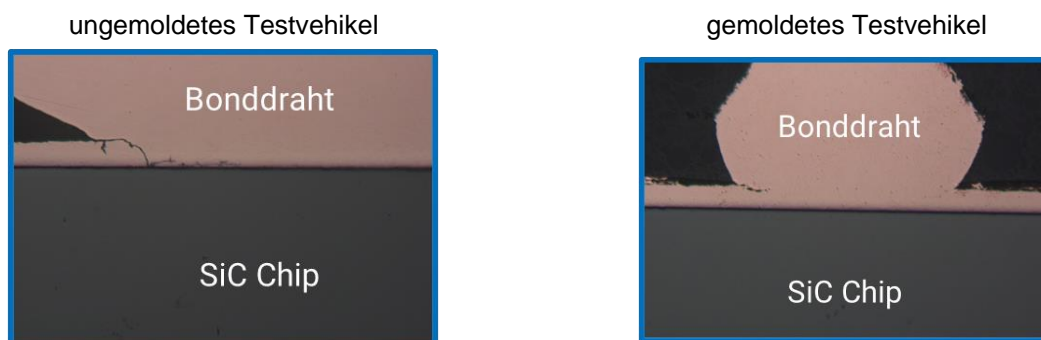




Abbildung 7: Fehleranalyse nach dem Lastwechseltest für gemoldete und ungemoldete Prüflinge mit verbesserter AVT – kleine Risse erkennbar (roter Pfeil)

Zusätzlich wurden Vergleichstests im Hinblick auf das verwendete Substrat bei unterschiedlichen Temperaturhüben durchgeführt. Dabei kamen sowohl eine Referenz basierend auf einem monokristallinen Substrat als auch MOSFETs mit einem SiC-engineered Substrat zum Einsatz. Als Ausfallursache wurde bei allen Prüflingen ein Anstieg der  $V_{DS}$  um 5% identifiziert (siehe Abbildung 8a). Die in Abbildung 8b dargestellten Rohdaten zur erreichten Zyklenzahl im Lastwechseltest zeigen keinen Unterschied zwischen den beiden Substratvarianten.

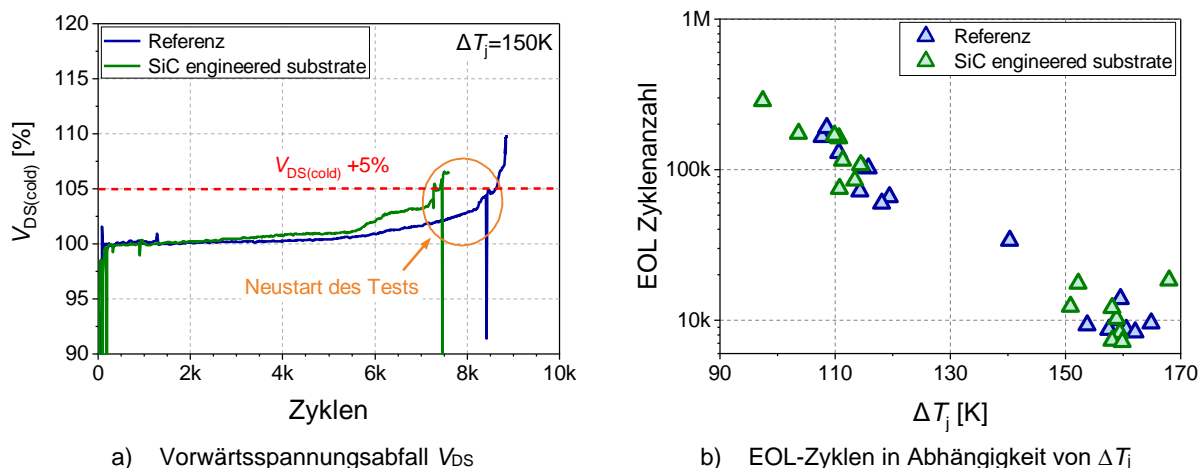
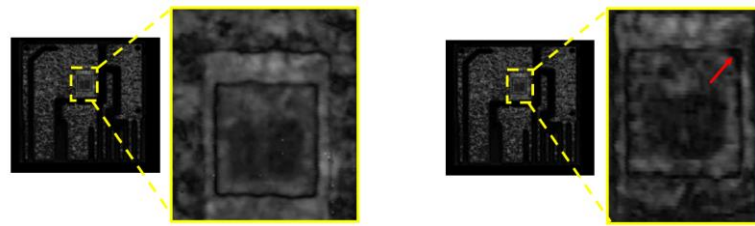


Abbildung 8: Lastwechselergebnisse für Prüflinge basierend auf einem SiC-engineered Substrat im Vergleich zur Referenz

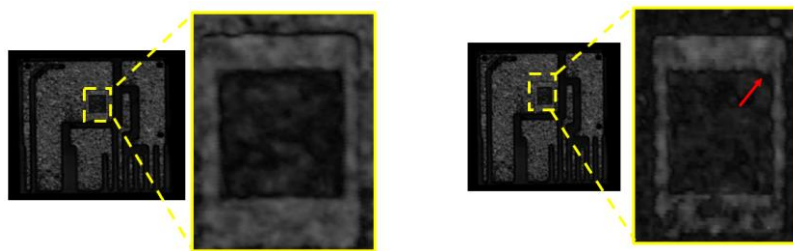
TUC2 untersuchte die thermomechanischen Aspekte von Leistungsmodulen auf der Basis von Die-Top-Systemen (DTS) und Cu-Bondpad-metallisierten Leistungsmodulen (Cu-AIT) durch Finite-Elemente-Analyse und Experimente. Beide Leistungsmodulen (jeweils 9 Proben) wurden einem Thermoschocktest ( $-40^{\circ}C/150^{\circ}C$ ) mit bis zu 1000 Zyklen unterzogen. Die Versagensanalyse der Proben wurde mit dem akustischen Rastermikroskop (SAM) in einem Intervall von 200 Zyklen ausgewertet. Die TST-Ergebnisse beider Leistungsmodulen zeigen, dass von 9 Proben nur eine Probe nach 1000 Zyklen eine geringfügige Delamination im Eckbereich der Chip-Kontakt Schicht aufweist, wie in Abbildung 9a und Abbildung 9b dargestellt. Der rote Pfeil in Abbildung 9a und Abbildung 9b stellt den Beginn der Delamination im rückseitigen Chip-Kontakt dar, die am äußeren Rand beginnt und sich zur Mitte des Chip-Kontakts ausbreitet.



Vor dem Thermoschocktest

Nach dem Thermoschocktest

a) SAM-Analyse des Die Top Systems (DTS) vor und nach dem Thermoschocktest. Der rote Pfeil zeigt die Delamination an der Die Attach-Schicht.



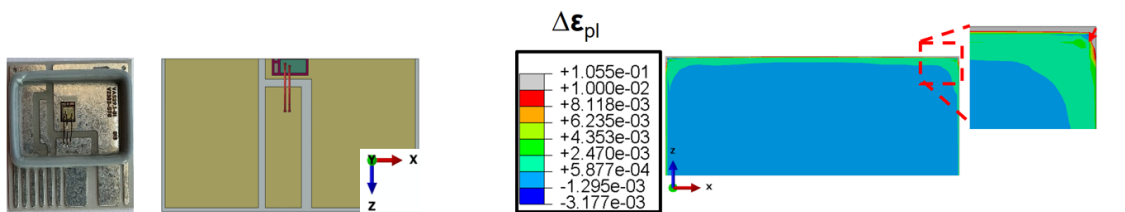
Vor dem Thermoschocktest

Nach dem Thermoschocktest

b) SAM-Analyse des Cu AIT vor und nach dem Thermoschocktest. Der rote Pfeil zeigt die Delamination an der Die Attach-Schicht.

**Abbildung 9: Zerstörungsfreie Schadensanalyse mit dem akustischen Rastermikroskop (SAM)**

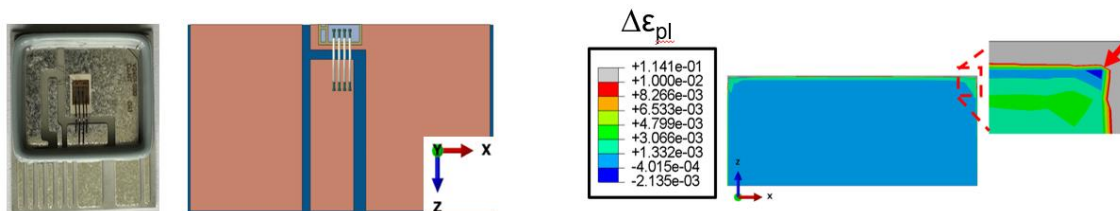
Die numerischen Simulationsergebnisse zeigen auch, dass sich in beiden Leistungsmodulen eine höhere zyklische äquivalente plastische Dehnung im Eckbereich des rückseitigen Chip-Kontakts (roter Pfeil in Abbildung 10a und b) akkumuliert, wo die Schädigung des Chip-Kontakts aus den in Abbildung 10a und Abbildung 10b gezeigten Experimenten zu beobachten ist.



DTS - Probe und FE-Modell

Zyklische äquivalente plastische Dehnung - Schwerpunkt an der Die Attach

a) Finite-Elemente-Modell und seine zyklische äquivalente plastische Dehnung in der Die Attach - DTS power module



Cu AIT - Probe und FE-Modell

Zyklische äquivalente plastische Dehnung - Schwerpunkt an der Die Attach

b) Finite-Elemente-Modell und seine zyklische äquivalente plastische Dehnung in der Die Attach – Cu AIT power module

**Abbildung 10: Thermomechanische Ergebnisse numerischer Simulationen**

Die gekoppelte elektro-thermo-mechanische Simulation wurde für beide Leistungsmodulare für einen Temperaturhub von 110 K und 150 K für das Die-Top-System und die Cu-AIT-Leistungsmodulare durchgeführt. Die Simulation wurde entsprechend den im Experiment verwendeten Testbedingungen durchgeführt. Die Temperaturverteilung (150 K) auf dem Chip der beiden Leistungsmodulare ist in Abbildung 11 dargestellt.

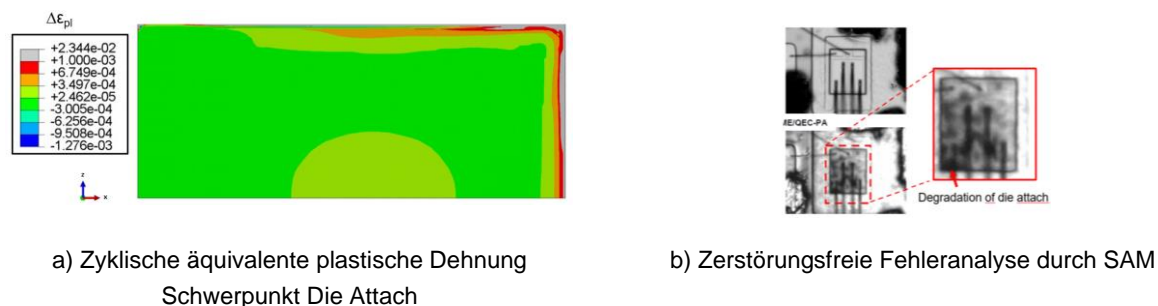


**Abbildung 11: Temperaturverteilung auf dem Chip von DTS- und Cu-AIT-Leistungsmodulen**

Das Lebensdauermodell dieser Leistungsmodulare wird auf der Grundlage des Coffin-Manson-Gesetzes geschätzt, wobei die zyklische äquivalente plastische Dehnung ( $\Delta\varepsilon_{pl}$ ) der wichtigste Parameter für die Lebensdauerabschätzung ist. C1 und C2 sind die Coffin-Manson-Konstanten. Die zyklische äquivalente plastische Dehnung verursacht Verformungen des Werkstoffs, die zu einer Schädigung des Werkstoffs führen, was wiederum Versagen wie z. B. Delamination, Risse usw. zur Folge hat.

$$N_f = C_1 * (\Delta\varepsilon_{pl})^{-C_2}$$

Die auf numerischen Simulationen basierende Lebensdauerabschätzung wird für verschiedene Fehlerarten wie rückseitige Chip-Kontakt-Fehler, Die-Metallisierungs-Fehler und Drahtbond-Lift-Off-Fehler betrachtet. Im Rahmen dieser Untersuchung tritt beim Cu-AIT-Leistungsmodul ein Chip-Kontakts-Fehler an der Rückseite und beim DTS-Leistungsmodul ein Riss in der oberen Metallisierung des SiC-Chips auf. Die Fehleranalyse des Cu-AIT-Leistungsmoduls aus dem aktiven Lastwechseltest und seine thermomechanische Analyse aus der numerischen Simulation sind in der Abbildung 12 dargestellt. Der rückseitige Chip-Kontakt hat eine höhere zyklische äquivalente plastische Dehnung, bei der eine die Chip-Kontakt-Materialschädigung während der Versagensanalyse in Abbildung 12 beobachtet wird.



**Abbildung 12: Thermomechanische Simulationsergebnisse und Fehleranalyse eines Cu-Leistungsmoduls**

Abbildung 13 zeigt den Vergleich der geschätzten Lebensdauer der Leistungsmodule mit verschiedenen Ausfallmodi, basierend auf numerischer Simulation und Experiment. Es wurde festgestellt, dass das Cu-AIT Modul eine höhere Lebensdauer als das DTS-Leistungsmodul hat.

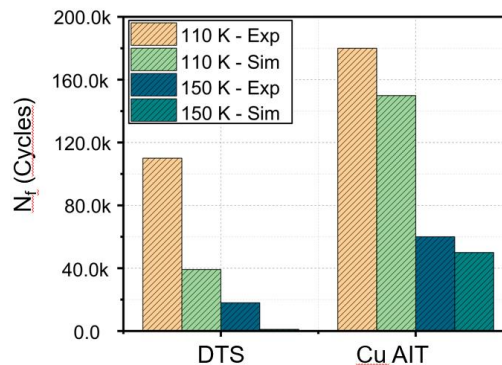


Abbildung 13: Vergleich der Lebensdauer von DTS- und Cu-AIT-Leistungsmodulen durch numerische Simulation und Experiment

### dynamische Untersuchungen:

Die dynamischen Untersuchungen wurden an zwei unterschiedlichen Innovationsstufen im Vergleich zur Referenz durchgeführt. Dies umfasst die Überlastfähigkeit (Kurzschluss- und Stoßstromfestigkeit) sowie das Verhalten während des Reverse-Recovery Prozesses. Hierzu wurden von Bosch speziell entwickelte Prüflinge eingesetzt, deren Eigenschaften in Tabelle 1 zusammengefasst sind. Das Chip-Layout, die Gatetechnologie (Trench-Gate) und die Spannungsklasse (1200 V) sind in allen betrachteten Varianten identisch.

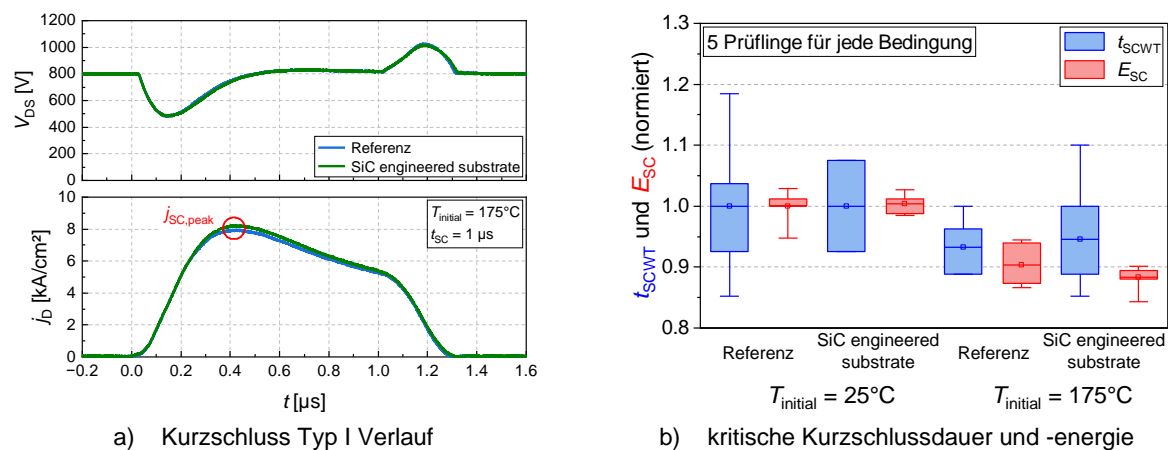
Tabelle 1: Prüflinge für dynamische Untersuchungen

Innovationsstufe	Substrat	Chipdicke	Bonding Interface auf dem Chip	Rückseitenverbindung
Referenz	monokristallines SiC	nominal	Die Top System (DTS)	Silbersinterung auf DBC
SiC-engineered substrate	SmartSiC™	nominal +30%	Die Top System (DTS)	Silbersinterung auf DBC
Kupfer	monokristallines SiC	nominal +50%	Kupfermetallisierung	Silbersinterung auf DBC

### *Kurzschlussverhalten:*

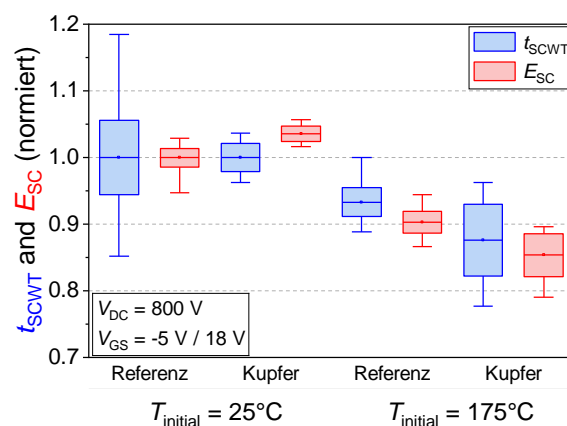
Es wurde kein signifikanter Unterschied im Kurzschlussverhalten zwischen der Referenz und den SiC-engineered Substrat Prüflingen festgestellt (siehe Abbildung 14a). Der Kurzschlussstrom wird primär durch den n-Kanal und somit durch das Zelldesign bestimmt. Daher hat der Widerstand des Substrats und damit das Substratdesign keinen Einfluss auf den Kurzschlussstrom. Zudem tritt der Kurzschluss innerhalb des einstelligen Mikro-

sekundenbereichs auf, wodurch lediglich die obersten Mikrometer des SiC Materials sowie die Metallisierung auf der Vorderseite zur Aufnahme der Kurzschlussenergie beitragen. Dadurch konzentriert sich ein Großteil der erzeugten Wärme in der Nähe der Vorderseitenmetallisierung. Der thermische Widerstand des Substrats hat daher nur einen geringen Einfluss auf die Kurzschlussfestigkeit. Betrachtet man sowohl die mittlere kritische Kurzschlussdauer  $t_{SCWT}$  als auch die entsprechende Energie  $E_{SC}$  in Abbildung 14b, so lassen sich keine signifikanten Unterschiede zwischen beiden Technologien feststellen.



**Abbildung 14: Vergleich des Kurzschluss Typ I Verhalten sowie der Robustheit für  $V_{DC(Link)} = 800\text{ V}$  und  $V_{GS} = - 5\text{ V}/18\text{ V}$  zwischen Referenz und SiC-engineered Substrat**

Eine Verbesserung der Kurzschlussfestigkeit mit einer Vorderseitenmetallisierung aus Kupfer im Vergleich zur Referenz wurde erwartet, jedoch in den durchgeführten Untersuchungen nicht festgestellt. Die mittlere kritische Kurzschlussdauer  $t_{SCWT}$  und -energie  $E_{SC}$  in Abbildung 15 zeigt keinen signifikanten Unterschied zwischen beiden Technologien.

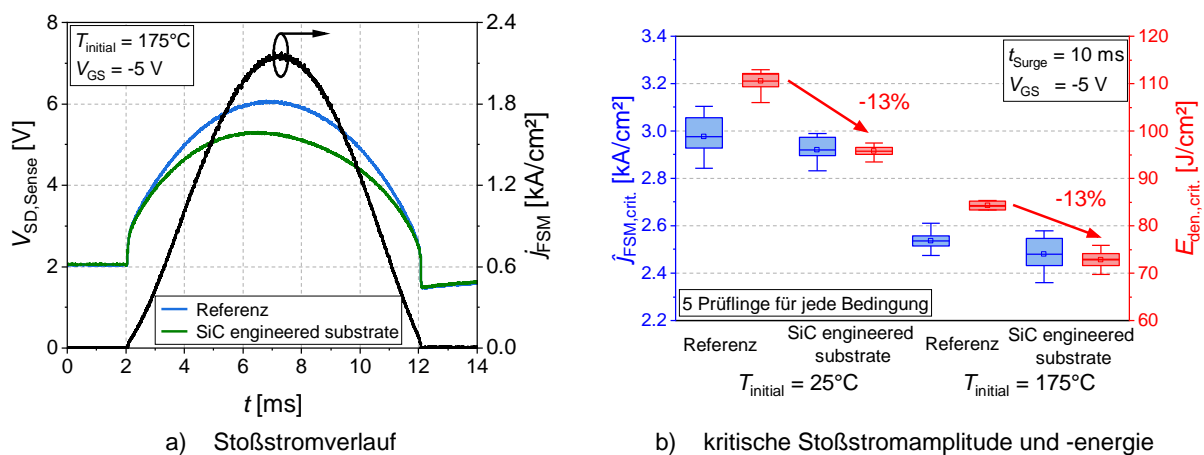


**Abbildung 15: Vergleich der kritischen Kurzschlussdauer und -energie zwischen Referenz und kupferbasierten Prüflingen für  $V_{DC(Link)} = 800\text{ V}$  und  $V_{GS} = - 5\text{ V}/18\text{ V}$**

Auf den ersten Blick deutet dies darauf hin, dass das Schmelzen der Vorderseitenmetallisierung nicht der einzige limitierende Faktor während des Kurzschlusses ist, sondern dass eine Wechselwirkung mit dem darunterliegenden Gate-Oxid auftritt.

### Stoßstrom:

Der reduzierte Widerstand des SiC-engineered MOSFETs durch das hochleitfähige polykristalline SiC im Substrat führt zu einem verringerten Spannungsabfall im Vergleich zur Referenz während eines 10 ms Stoßstromereignisses im dritten Quadranten in Abbildung 16a. Dies führt zu einer Verringerung der während des Stoßstroms dissipierten Energie. Betrachtet man jedoch die kritische Stoßstromamplitude und die entsprechende Energie in Abbildung 16b, so zeigt sich, dass die kritische Stoßstromamplitude durch die Modifikation des Substrats unverändert bleibt. Allerdings nimmt die erforderliche Energie für den Ausfall beim Prüfling mit SiC-engineered Substrat um 13% ab, sowohl bei Raumtemperatur als auch 175°C.



**Abbildung 16: Vergleich des Stoßstromverhaltens sowie der Robustheit im 3. Quadranten für  $V_{GS} = -5\text{ V}$  und  $t_{\text{Stoßstrom}} = 10\text{ ms}$**

Die Ergebnisse deuten auf Unterschiede im thermischen Verhalten der beiden Substrattechnologien hin. Im Gegensatz zum Kurzschluss erstreckt sich ein Stoßstrom über den Millisekundenbereich und bewirkt eine Erwärmung der gesamten Chipdicke. Das polykristalline SiC weist eine geringere thermische Leitfähigkeit auf als monokristallines SiC. Zudem führt die größere Chipdicke des Prüflings mit einem SiC-engineered Substrat zu einem höheren thermischen Widerstand und erhöht dadurch zusätzlich die Chiptemperatur während des Stoßstromereignisses. Daher ist die für einen Ausfall erforderliche Energie bei Prüflingen auf SiC-engineered Substraten während eines Stoßstromereignisses geringer als bei der Referenz.

Im Gegensatz zum Kurzschluss lässt sich für Prüflinge mit Kupfermetallisierung im Vergleich zur Referenz eine höhere Stoßstromfestigkeit feststellen (siehe Abbildung 17). Die kritische Stoßstromamplitude erhöht sich dabei um etwa 17% bei  $T_{\text{initial}} = 25^\circ\text{C}$  und um 9% bei  $T_{\text{initial}} = 175^\circ\text{C}$ .

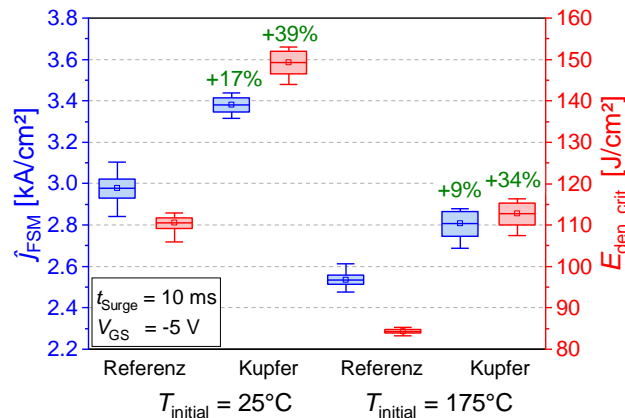


Abbildung 17: Vergleich der kritischen Stoßstromamplitude und -energie zwischen Referenz und kupferbasierten Prüflingen für  $t_{Stoßstrom} = 10\text{ ms}$  und  $V_{GS} = -5\text{ V}$

Es gibt keinen erkennbaren Unterschied im Fehlermodus zwischen der Referenz und SiC-engineered Substrat basierten Prüflingen. Am Rand des Die-Top-Systems (DTS) wurde ein Aufschmelzen der Aluminiummetallisierung festgestellt. Da diese Zellen nicht vom Kupferblättchen des DTS abgedeckt sind, profitieren sie nicht von der zusätzlichen thermischen Kapazität des Kupfers. Folglich stellen sie den Schwachpunkt auf der Vorderseite während des Stoßstroms dar.

Um diese Einschränkung zu überwinden, kann die gesamte Vorderseitenmetallisierung durch Kupfer ersetzt werden. Dadurch steigt der Schmelzpunkt der Metallisierung von etwa 660°C auf über 1000°C, und die Wärmekapazität aller Zellen wird erhöht. Infolgedessen wurde eine Verbesserung der Stoßstromfestigkeit festgestellt (siehe Abbildung 17).

*Reverse-Recovery Verhalten:*

Das Reverse-Recovery Verhalten der Referenz wurde mit dem eines Prüflings basierend auf einem SiC-engineered Substrat verglichen. Ein zusätzlicher Vergleich mit einem Prüfling, das eine Kupfer-Vorderseitenmetallisierung aufweist, wurde nicht durchgeführt, da das Reverse-Recovery Verhalten primär von der Chiptechnologie bestimmt wird.

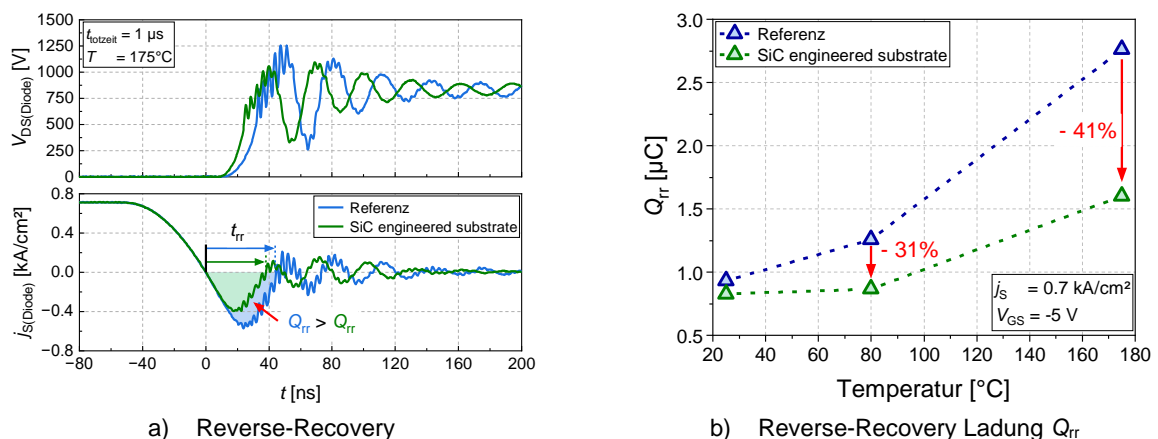


Abbildung 18: Vergleich des Reverse-Recovery Verhaltens und Ladung für  $V_{DC(Link)} = 850\text{ V}$ ,  $t_{fotzeit} = 1\text{ µs}$ , und  $V_{GS} = -5\text{ V}$ .

In Abbildung 18a ist ein Vergleich des Reverse-Recovery Verhaltens bei  $T = 175^{\circ}\text{C}$  für beide Technologien dargestellt. Eine Reduzierung sowohl der Rückstromspitze ( $I_{RRM}$ ) als auch der resultierenden Reverse-Recovery Ladung ( $Q_{rr}$ ) ist für den Prüfling basierend auf dem SiC-engineered Substrat ersichtlich.

Eine Zunahme der Reverse-Recovery-Ladung mit zunehmender Temperatur wurde für beide Technologien in Abbildung 18b festgestellt. Dies ist auf einen erhöhten Ionisationsgrad der p-dotierten Regionen sowie eine zunehmende Ladungsträgerlebensdauer bei erhöhter Temperatur zurückzuführen. Daher wird der Einfluss des Plasmas bei höheren Temperaturen dominanter.

Bei niedrigen Temperaturen ( $T = 25^{\circ}\text{C}$ ) ist kein wesentlicher Unterschied in der Ladung  $Q_{rr}$  zwischen beiden Technologien erkennbar. Mit steigender Temperatur nimmt der Unterschied jedoch zu, sodass bei  $T = 175^{\circ}\text{C}$  eine um 40% geringere Ladung  $Q_{rr}$  für den Prüfling auf dem SiC-engineered Substrat festgestellt wurde. Dies deutet darauf hin, dass das Plasma im Prüfling mit SiC-engineered Substrat geringer ist.

Eine erste Hypothese wurde aufgestellt, die auf der Existenz von Ladungsträgerlebensdauer reduzierende Defekte basiert. Diese Defekte konzentrieren sich in der Nähe der  $n^+$ -Region auf der Drain-Seite und führen zu einer Veränderung der  $n^+$ -Emitter-Effizienz, wodurch letztendlich die Plasmadichte in der  $n^-$ -Driftregion reduziert wird. Die Einführung der Defekte erfolgt im SmartCut-Prozess, wenn Wasserstoffionen für die spätere Wafer-Trennung implantiert werden.

### 3 Wichtigste Positionen des zahlenmäßigen Nachweises

Die wichtigsten Kostenpositionen des Projekts sind in Tabelle 2 zusammengefasst. Den größten Anteil an den Gesamtkosten nehmen dabei die Personalkosten ein.

Tabelle 2: Kostenübersicht

Kostenstelle	Kostenart	Kosten in €
0812+0817	Personalkosten (Wissenschaftler & Techniker)	790.940,78
0822	Hilfskräfte	109.339,71
0846	Reisekosten	15.859,38
0843+0850	allgemeine Verbrauchskosten & Geräte über 410,00 €	64.476,57
0835	Vergabe von Aufträgen	87.970,75

### 4 Notwendigkeit und Angemessenheit der geleisteten Arbeiten

Die im Rahmen des TRANSFORM-Projekts durchgeführten Forschungsarbeiten waren erforderlich, um die in der Vorhabensbeschreibung formulierten Ziele zu erreichen. Die im Zuge der Lastwechseltests zu erfassenden Parameter konnten durch die Implemen-

tierung einer  $V_{GS(th)}$  - Messroutine gemäß JEDEC JEP184 am Lastwechselteststand erweitert werden. Dadurch wurde eine Differenzierung des Anstiegs des Vorwärtsspannungsabfalls  $V_{DS}$  infolge thermomechanischer Alterung oder chipinterner Effekte ermöglicht.

Die durchgeführten Lastwechseltests verdeutlichten das Potenzial zur Steigerung der Lebensdauer durch eine optimierte Aufbau- und Verbindungstechnologie (AVT). Darüber hinaus konnte der Einfluss der verbesserten AVT auf die Kurzschluss- sowie Stoßstromfestigkeit untersucht werden. Die gewonnenen Erkenntnisse bilden die Grundlage für eine weiterführende Optimierung des Bauteils hinsichtlich identifizierter Schwachstellen.

Erste Erfahrungen wurden mit SiC MOSFETs auf Basis eines engineered Substrats gesammelt, indem deren Lastwechselfestigkeit, Robustheit sowie dynamisches Verhalten eingehend untersucht wurden. Dies führte zu einem vertieften Verständnis der zugrunde liegenden physikalischen Effekte, insbesondere im Zusammenhang mit den positiven Auswirkungen auf das Reverse-Recovery-Verhalten der internen Body-Diode.

Im Rahmen dieses Forschungsvorhabens wurde festgestellt, dass verschiedene Leistungsmodul unterschiedliche Ausfallmodi aufweisen, die durch Experimente und numerische Simulationen beobachtet wurden. Es wurden Lebensdauermodelle für verschiedene Leistungsmodultechnologien entwickelt, die für weitere öffentlich geförderte Projekte verwendet werden sollen.

## **5 Nutzen und Verwertbarkeit des Ergebnisses**

Im Rahmen des Projekts konnte ein deutlicher Erkenntnisgewinn erzielt werden, was sich unter anderem in der Anzahl der generierten wissenschaftlichen Veröffentlichungen widerspiegelt. Dieser Erkenntniszuwachs umfasst sowohl die Aufbau- und Verbindungstechnik als auch die Chiptechnologie. Zusätzlich ist ein erster Fehlerkatalog für die verbesserte AVT entstanden.

Die gewonnenen Erkenntnisse, insbesondere im Bereich der engineered Substrates, bilden zudem unter anderem die Grundlage für das neue EU-Projekt FastLane, in dem die TUC ihre im TRANSFORM-Projekt erworbenen Kompetenzen einbringt. Darüber hinaus konnte die Qualifizierung von Doktoranden und Studierenden gezielt vorangetrieben werden.

Des Weiteren konnten die vorhandenen Teststandskapazitäten durch den Aufbau eines Lastwechselteststands sowie eines dynamischen Teststands mit erweitertem Messequipment, insbesondere für Anwendungen mit Wide-Bandgap-Materialien, ausgebaut werden. Dies bildet eine Grundlage für die kontinuierliche Weiterentwicklung der Laborausstattung und die Stärkung der wissenschaftlichen Kompetenz des Lehrstuhls im Bereich der Leistungselektronik. Die Möglichkeiten zur Durchführung industriefinanzierter Drittmittelprojekte konnten dadurch erweitert werden. Eine wirtschaftliche Verwertung der

Projektergebnisse ist nicht vorgesehen, da die Technische Universität Chemnitz eine rein wissenschaftliche Nutzung der Ergebnisse verfolgt.

Im Rahmen dieses Forschungsprojektes wurde eine physikalisch basierte Lebensdauerabschätzung der betrachteten Leistungsmodule auf Basis der Digital Twin Methode entwickelt. Diese kann für verschiedene Forschungsprojekte (trustAE, All2GaN) im Bereich der Leistungselektronik weiterverwendet werden.

## 6 Fortschritt bei anderen Stellen

Während der Durchführung sind keine Fortschritte auf dem bearbeiteten Gebiet durch andere Stellen bekannt geworden.

## 7 Veröffentlichungen

**Tabelle 3: Erfolgte und geplante Veröffentlichungen von Projektergebnissen**

Autor(en) / Partner	Titel der Publikation	Publikation auf	Datum Veröffentlichung	Link
P. Heimler <sup>1</sup> , M. Alaluss <sup>1</sup> , C. Schwabe <sup>1</sup> , X. Liu <sup>1</sup> , J. Lutz <sup>1</sup> , T. Basler <sup>1</sup>	Online Threshold Voltage Monitoring at SiC Power Devices during Power Cycling Test and Possible Consequences	European Conference on Power Electronics and Applications (EPE 2023)	10/2023	<a href="https://ieeexplore.ieee.org/document/10264579">https://ieeexplore.ieee.org/document/10264579</a>
J. Rudzki <sup>2</sup> , H. Ströbel-Maier <sup>2</sup> , M. Becker <sup>2</sup> ,  P. Heimler <sup>1</sup> , D. Xie <sup>1</sup> , M. Alaluss <sup>1</sup> , T. Basler <sup>1</sup> ,  A. Mathew <sup>3</sup> , S. Rzepka <sup>3</sup>	Influence of the Transfer Molding on the Reliability of DCM SiC Power Modules	PCIM Europe 2024	06/2024	<a href="https://ieeexplore.ieee.org/document/10654112">https://ieeexplore.ieee.org/document/10654112</a>
A. Mathew <sup>3</sup> , J. Albrecht <sup>3</sup> , S. Rzepka <sup>3</sup> ,  P. Heimler <sup>1</sup> , D. Xie <sup>1</sup> , M. Alaluss <sup>1</sup> , T. Basler <sup>1</sup>	Digital Twin-Based Lifetime Estimation of SiC Power Modules	36 <sup>th</sup> International Symposium on Power Semiconductor Devices and ICs (ISPSD)	06/2024	<a href="https://ieeexplore.ieee.org/document/10579562">https://ieeexplore.ieee.org/document/10579562</a>
D. Xie <sup>1</sup> , P. Heimler <sup>1</sup> , R. Boldyrjew-Mast <sup>1</sup> , M. Alaluss <sup>1</sup> , S. Thiele <sup>1</sup> , J. Lutz <sup>1</sup> , T. Basler <sup>1</sup>	Threshold Voltage Hysteresis Investigation of SiC MOSFETs with Different Structures under Various Measurement Conditions	European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF23)	09/2024	<a href="https://www.sciencedirect.com/science/article/pii/S0026271425000708?dgcid=author">https://www.sciencedirect.com/science/article/pii/S0026271425000708?dgcid=author</a>

Autor(en) / Partner	Titel der Publikation	Publikation auf	Datum Veröffentlichung	Link
M. Alaluss <sup>1</sup> , C. Böhm <sup>1</sup> , P. Heimler <sup>1</sup> , T. Basler <sup>1</sup> , A. Elsayed <sup>4</sup> , K. Oberdieck <sup>4</sup> , S. Goel <sup>4</sup>	Dynamic Characterization and Robustness of SiC MOSFETs based on SmartSiC™ engineered Substrates	International Conference on Silicon Carbide and Related Materials (ICSCRM 2024)	09/2024	

<sup>1</sup>) Technische Universität Chemnitz / Professur Leistungselektronik (TUC1)

<sup>2</sup>) Semikron Danfoss Deutschland

<sup>3</sup>) Fraunhofer ENAS / Zentrum für Mikrotechnologien (TUC2)

<sup>4</sup>) Robert Bosch GmbH