

ECSEL-Verbundvorhaben



Energiesparende und vertrauenswürdige Höchstfrequenzelektronik aus Europa

Schlussbericht Teilvorhaben Fraunhofer EMFT (ausführliche Darstellung)

Laufzeit des Vorhabens:	01.06.2020 – 30.11.2024
Zuwendungsempfänger:	Fraunhofer EMFT
Förderkennzeichen:	16MEE0045K
Fälligkeitsdatum:	31.05.2025
Ansprechpartner:	Dr. ès sc. Erkan Isa

Gefördert durch:



Bundesministerium
für Forschung, Technologie
und Raumfahrt

Projekträger: VDI/VDE Innovation + Technik GmbH

INHALTSVERZEICHNIS

1	Aufgabenstellung und Zielsetzung	5
1.1	Gesamtziel des Vorhabens/Motivation	5
1.2	Bezug des Vorhabens zu den förderpolitischen Zielen	7
1.3	Wissenschaftliche und/oder technische Arbeitsziele des Teilvorhabens	8
1.4	Stand der Wissenschaft und Technik zu Projektbeginn	9
2	Durchgeführte Arbeiten und erzielte Ergebnisse	12
2.1	Projektübersicht / Struktur des Arbeitsplans	12
2.2	Entwicklung eines neuartigen Si-Glass-Package für über 100 GHz	12
2.3	Frequenzgenerierung für die digitalen 5G Beamforming-Transceiver für 39 GHz	25
3	Notwendigkeit und Angemessenheit der geleisteten Arbeiten	37
4	Nutzen und Verwertbarkeit des Ergebnisses	38
5	Fortschritt bei anderen Stellen	39
6	Veröffentlichungen	39
7	Literatur	40

ABBILDUNGSVERZEICHNIS

Abbildung 1	Ökosystem des BEYOND5-Projekts [1]	5
Abbildung 2	Wertschöpfungskette der Demonstratoren im BEYOND5-Projekt, die Halbleitertechnologie, die sie hauptsächlich verwenden, sowie Demonstrator-Koordinatoren. Die Sterne kennzeichnen die Demonstratoren, bei denen das Fraunhofer EMFT mitgewirkt hat [1].....	7
Abbildung 3	Schematische Darstellung des HF-Gehäusekonzepts	8
Abbildung 4	Schematische Darstellung des zu entwickelnden Systems	9
Abbildung 5	22FDX vs FinFET für mm-Wellen Anwendungen.....	11
Abbildung 6	Struktur des Arbeitsplans und Einordnung des Teilvorhabens	12
Abbildung 7	Querschnitt des auf Silizium-Glas-Wafern basierenden Gehäuses einschließlich Antennenlayout [30]	14
Abbildung 8	a) Layout der Cu_1-Metallisierung b) Auflösungsprüfung einer äquidistanten 10 µm und 13 µm Kupferleitung	15
Abbildung 9	Dicke der galvanisch abgeschiedenen Kupferschicht an verschiedenen Stellen auf einem Wafer. Hohe Positionszahlen entsprechen größeren Abständen zum Waferzentrum.....	15
Abbildung 10	Kupferoberfläche und ihre Rauheit, gemessen mittels Profilometrie	16
Abbildung 11	a) Chip mit 3 Metallisierungsschichten. Der rot umrandete Bereich zeigt die Stelle zum Löten des HF-Chips. Die rahmenartigen Strukturen (Linien und Doppellinien) dienen zur Verbindung mit dem Antennenchip. B) Die roten Pfeile markieren die Stelle für die Profilierung	17

Abbildung 12 Ergebnisse der Profilometriescans an Rahmenmustern, die für die SLID-Bonding verwendet werden sollen.....	17
Abbildung 13 Querschnitt der Durchkontaktierung zwischen Cu_3 und Cu_2-Metallisierung	18
Abbildung 14 Bilder von mehreren Durchkontaktierungen (Cu_3 > Cu_2, links) und Antennenmuster (nur Cu_1).....	18
Abbildung 15 RF-Lötbereich nach dem Glühen (T=240°C, t=3min): Profilometrie-Scans über den geschmolzenen Bereichen zeigen eine hohe Topographie	19
Abbildung 16 Blick durch den Glaschip nach dem Löten des RF-Chips auf das Glasbauteil	21
Abbildung 17 Bild eines Querschnitts einer einzelnen Lötverbindung zwischen einem RF-Chip und einem Glaschip.	21
Abbildung 18 RF-Chip (Umriss rot markiert) auf das Glasbauteil gelötet	22
Abbildung 19 Si-Glas-Package – bestehend aus einem Glassubstrat mit angebundenem Antennenchip und RF-Chip: a) vor und b) nach dem Annealing in einem Reflow-Ofen	23
Abbildung 20 Installation mehrerer Zugangspunkte (AP), um die erforderliche Kapazität zu erreichen [31]	26
Abbildung 21 RF Integrated Circuit.....	27
Abbildung 22 Blockdiagramm des Frequenzvervielfachers.....	28
Abbildung 23 Verstärkerstufe	29
Abbildung 24 Layout des Sx-Blocks (RUN1)	29
Abbildung 25 3D-Ansicht der passiven Komponenten in der EM-Simulationsstruktur.....	30
Abbildung 26 Die Oberansicht des BEYOND5 PCB-Testboards (RUN1-Chip in der Mitte)	31
Abbildung 27 a) Blockdiagramm des Sx-Blocks b) das Messsetup des RUN1-Chips	31
Abbildung 28 Gemessener Stromverbrauch, aufgetragen gegen die Versorgungsspannung	32
Abbildung 29 (a) Gemessenes Ausgangsspektrum für die Eingangsfrequenz von 13 GHz, Spitzen-Ausgangsleistung bei -12,8 dBm, (b) Ausgangsspektrum mit der Ausgangsfrequenz, die bei 36,43 GHz / -7,5 dBm Pout einen Höhepunkt erreicht (zeigt auch die Subharmoniken, die von der 12,16 GHz Eingabe erzeugt/gekoppelt werden).....	32
Abbildung 30 Das gemessene Phasenrauschen bei der Zentralfrequenz von 39 GHz	33
Abbildung 31 Der Messaufbau zur Messung der Eingangs- und Ausgangsreflexionskoeffizienten (S11, S22 und S33)	34
Abbildung 32 Gemessenes S11 (Stromversorgung ausgeschaltet).....	34
Abbildung 33 Gemessenes S22 an einem der Ausgangsports der I/Q	35
Abbildung 34 Implementiertes MIMO-5G-RF-IC	36
Abbildung 35 Gesamt-TX-EVM (64-QAM – 10 m)	37

TABELLENVERZEICHNIS

Tabelle 1 Erfolgte Veröffentlichungen von Projektergebnissen	39
--	----

- den Mehrwert der Technologie auf der Anwenderebene demonstriert (sechs Demonstratoren) und
- die Stärkung eines Design-Ökosystems in Europa durch diese Plattformen ermöglicht.

Das Projekt deckt die gesamte RF SOI-Wertschöpfungskette ab. Die Substrat- und IC-Hersteller arbeiten eng mit Designern, Chipsatz- und Systemanbietern, Herstellern von Testinstrumenten und Endnutzern zusammen, um energiesparende und kostengünstige HF-Komponenten zu ermöglichen und die Markteinführung zu beschleunigen. BEYOND5 wird industrielle Roadmaps in More than Moore (MtM) vorantreiben, indem es Konnektivitätsfunktionen auf der bestehenden CMOS-Technologie ergänzt. Ziel ist es, nachhaltige SOI-Plattformen für den Frequenzbereich von 0,7 GHz bis über 120 GHz zu schaffen und den technischen Vorteil von SOI zu demonstrieren, der es ermöglicht, eine hohe Integrationsdichten, niedrigen Stromverbrauch, Kostenwettbewerbsfähigkeit und hohe Zuverlässigkeit zu kombinieren, was zu einer Großserienproduktion von vertrauenswürdigen Komponenten mit geringer Umweltbelastung in Europa führt. Abbildung 2 zeigt die Wertschöpfungskette der Demonstratoren.

Die Zielsetzung der deutschen Partner lässt sich so zusammenfassen:

- Technologieerweiterung: 22FDX-Technologie-Pilotlinie von GLOBALFOUNDRIES für HF Anwendungen,
- Erweiterung des europäischen RF-Netzwerks: Zur Entwicklung von IP-, Baustein- und Design-Bibliotheken mit Schwerpunkt FD-SOI und RF-SOI (große Unternehmen, KMUs und Universitäten)
- Entwicklung von Spitzentechnologie für RF-Konnektivität
- V2X für autonome vernetzte Lastwagen
- 5G Low Power Digital Beamforming Basisstation für Innenräume,
- Automobil-MIMO-Radar mit eingebetteter KI,
- Autoinnenraum-Radar mit Machine Learning für die Passagiersicherheit.

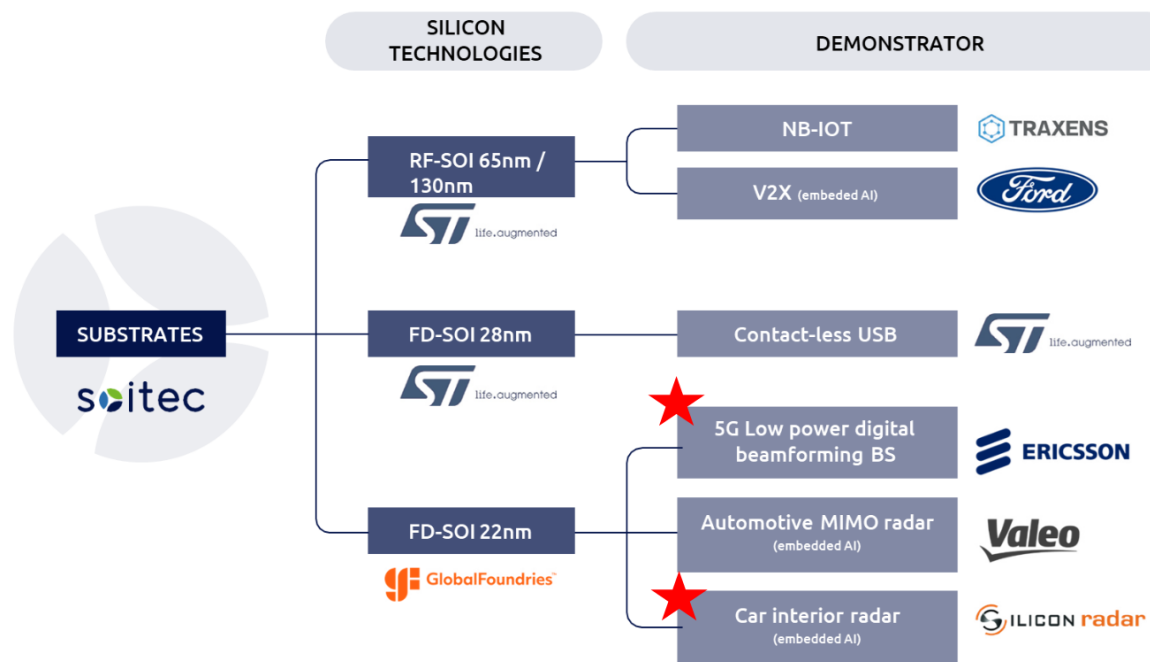


Abbildung 2 Wertschöpfungskette der Demonstratoren im BEYOND5-Projekt, die Halbleitertechnologie, die sie hauptsächlich verwenden, sowie Demonstrator-Koordinatoren. Die Sterne kennzeichnen die Demonstratoren, bei denen das Fraunhofer EMFT mitgewirkt hat [1].

1.2 Bezug des Vorhabens zu den förderpolitischen Zielen

Zwei technologische Entwicklungen haben das Potenzial, den Automobilmarkt grundlegend zu verändern: das Wachstum der Elektroantriebs-Technologie und die Digitalisierung der Fahrzeuge. Diese Veränderungen erfordern neue Technologien und bieten Chancen für neue Geschäftsmodelle. Der Strukturwandel ist für die gesamte Wirtschaft bedeutend. Neben Elektromobilität sind (teil-)autonome Fahrzeuge große Trends. Für etablierte Anbieter stellt dieser Wandel eine Bedrohung dar, während die schrittweise Einführung neuer Technologien den Wettbewerb erhöht.

Das Projekt BEYOND5 unterstützt in Europa, insbesondere in Deutschland, drei Schlüsselbereiche: (i) Halbleiterherstellung, (ii) Automobilindustrie und (iii) Kommunikationsindustrie. Die Automobilbranche ist entscheidend für die Wirtschaftsleistung in Deutschland, mit über 820.000 Beschäftigten und einem Umsatz von 404 Milliarden Euro [2]. Halbleiter sind essenziell für Innovationen in diesen Sektoren; geschätzt stammen bis zu 80% der Innovationen aus Hard- und Softwarekomponenten [3].

Wichtige strategische Entwicklungen der deutschen Partner umfassen:

- Verbesserung von FDSOI-FEM-Elementen für 5G und Automobilradar
- Entwicklung eines In-Cabin-Radarsensors über 120 GHz zur Erhöhung der Fahrsicherheit

- Beitrag zu mm-Wellen-5G-Massiv-MIMO-Systemen für kommerzielle Flugzeuge
- Entwicklung von effizienten Radarsensoren mit KI
- Erweiterung der Testmethoden zur Kostenreduktion in der mm-Wellen-Komponenten-Produktion

Diese Entwicklungen stimmen mit der High-Tech-Strategie IKT2020 der Bundesrepublik Deutschland überein und fördern die europäische Mikroelektronikstrategie [3], [4].

1.3 Wissenschaftliche und/oder technische Arbeitsziele des Teilvorhabens

Silizium-basierte mm-Wellen-Packaging-Technologie

Das Ziel dieser Arbeit ist die Realisierung zuverlässiger und kostengünstiger Leiterbahnen unter Verwendung von Silizium- und Polymermaterialien und die Etablierung eines Prozessablaufs für die Herstellung von mm-Wellen-Multichip-Modulen (MCM). Dünne RADAR-ICs für 120 GHz-Anwendungen werden in Hohlräume eines Wafers auf Siliziumbasis oder in neuartige glasbasierte Interposer-Strukturen eingebettet und mit einer Antenne, die sich direkt neben dem IC befindet, elektrisch verbunden. Die Verwendung von Standard-Halbleitertechnologie für das HF-Package auf Wafer-Ebene gewährleistet eine sehr hohe Präzision der Interconnect-Geometrie und eine optimale elektrische Leistung. Das vorgeschlagene Integrationskonzept ist in Abbildung 3 dargestellt.

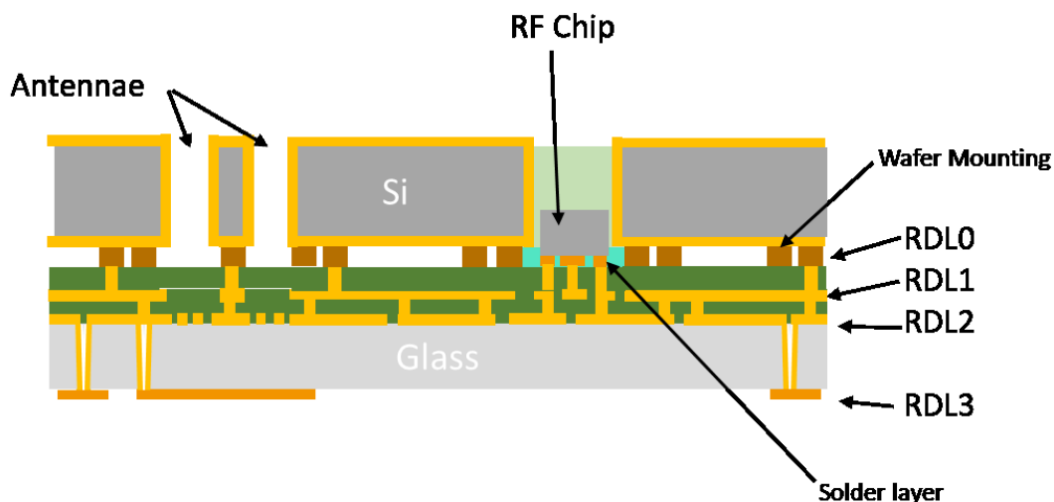


Abbildung 3 Schematische Darstellung des HF-Gehäusekonzepts

Mittels DC-Messungen auf spezialisierten Testsystemen konnte die fundamentale Integrationstechnologie bereits erfolgreich nachgewiesen werden. Im Rahmen des BEYOND5-Projekts sollen erstmals betriebsbereite HF-Dies (>100 GHz) in ein solches Silizium-Packaging integriert werden. FhG-EMFT wird Schritte zur Einbettung der Chips und zur elektrischen Verbindung auf Silizium-Wafern sowie zur Integration der zugehörigen Cavity-Antenne in das Silizium-Wafer-Paket durchführen.

5G-MIMO-Systeme und 22FDX-Technologie

Ziel dieser Arbeit ist die Entwicklung eines energieeffizienten 5G-Zugangspunkts für die Flugzeug-Konnektivität [31]. Der Anwendungsfall betrifft große Verkehrsflugzeuge, die vielen Passagieren 5G-Zugang bieten sollen (Aktivitätsfaktor 20 %, 50 MHz Bandbreite, 64 QAM, 2 Schichten). Die Zielfrequenz liegt im FR2-Band bei 39 GHz. Realisiert wird ein MIMO-System mit 32 Antennenports (16 x-polarisierte Patch-elemente). Dazu werden acht RFICs mit je vier TRX und Mixed-Signal-PHYs (ADCs, DACs, I/O) bis zum Basisband in 22 nm FD-SOI gefertigt. Abbildung 4 zeigt das übergeordnete Konzept des entwickelten RFICs und der zugehörigen Systemblöcke.

Aus thermischer Sicht sind in großen Antennenarrays besonders energieeffiziente Schnittstellen erforderlich, da die erzeugten Antennen-Bitströme extrem hohe Datenraten und damit hohe Anforderungen an die Wärmeabfuhr erzeugen. Diese Herausforderung adressiert der 5G-MIMO-SoC-Demonstrator: Durch den Einsatz der Globalfoundries 22FDX-Technologie mit sehr geringem Stromverbrauch soll ein insgesamt akzeptabel niedriger Leistungsbedarf erreicht werden.

Ein Schwerpunkt der Arbeit für Fraunhofer EMFT liegt auf der Entwicklung des Trägerfrequenz-synthesemechanismus. Fraunhofer EMFT beteiligt sich am Design der Frequenzgenerator-schaltung für die I/Q-Kanäle, die durch Vervielfachung bis 39 GHz betrieben werden. Ziel ist es, diese IP zu entwerfen und in Hinblick auf RF-Performance zu optimieren, um den Stromverbrauch weiter zu reduzieren.

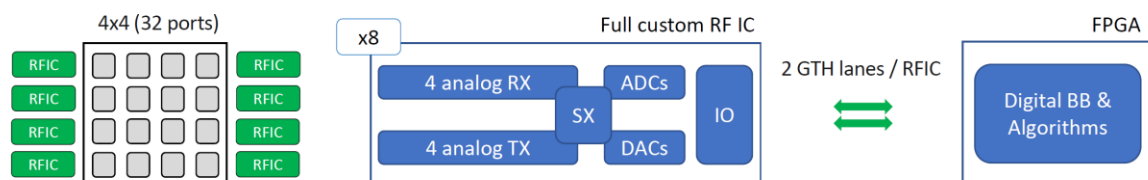


Abbildung 4 Schematische Darstellung des zu entwickelnden Systems

1.4 Stand der Wissenschaft und Technik zu Projektbeginn

Silizium-basierte mm-Wellen-Packaging-Technologie

Matched Wire Bond und Flip Chip Technologien sind die konventionellen Chip-Verbindungstechniken, die heute für Anwendungen bis 100 GHz eingesetzt werden [5]. In [6] wurden diese Technologien für einen voll integrierten 122-GHz-Radarsensor optimiert. Diese konventionellen Methoden sind für breitbandige mm-Wellen-Anwendungen oberhalb von 100 GHz im Allgemeinen nicht mehr praktikabel, da sie

große parasitäre Effekte einführen, die schwer zu kontrollieren sind. Außerdem werden Packaging-Prozesse für die Produktion nicht nur in Bezug auf die elektrische Leistung, sondern auch in Bezug auf Zuverlässigkeit, Ausbeute und Kosten evaluiert.

Forschungsgruppen haben bereits gezeigt, dass HF-Packages für 122 GHz mit Flip-Chip-Bonden [7] statt mit Drahtbonden hergestellt werden können. Auch eWLB-Packages für 160 GHz wurden demonstriert [8]. Ein anderer Ansatz zur mm-Wellen-IC-Integration verwendet Silizium-Wafer als Basissubstrat für die Integration von HF-Bauteilen und Antennen [9], [10]. Ein solches Konzept könnte höchste HF-Leistung aufgrund der sehr guten Wärmeverteilung im Silizium-Package und aufgrund des sehr genau definierten Verdrahtungssystems ermöglichen.

Eine der Herausforderungen bei siliziumbasierten mm-Wellen-Packages ist die Integration von Hochleistungsantennen. Die meisten On-Chip- oder Off-Chip mm-Wellen-Antennen auf Siliziumsubstraten haben eine sehr schlechte Strahlungseffizienz [12]. Als eine der möglichen Lösungen stellt [12] das Design eines koplanaren Patch-Arrays auf Silizium/BCB mit polymergefüllten Kavitäten vor, das bei 135 GHz arbeitet. [13] stellt auch eine Schlitzantenne mit Hohlraumrückwand für Millimeterwellenanwendungen vor. Der Hohlraum selbst ist mit Polymermaterial gefüllt, um die Herstellung der Antenne zu vereinfachen. Ein hochintegriertes aktives Millimeterwellen-Antennen-Array wird in [14] unter Verwendung von BCB entworfen. Bei diesem Ansatz werden vorgefertigte metallische Bumps für die Verbindung durch die BCB-Folie verwendet, wodurch die Notwendigkeit von Drahtbonds entfällt.

5G-MIMO-Systeme und 22FDX-Technologie

Die modernen, massiven MIMO-Testumgebungen sind heute diskreter Natur und konzentrieren sich hauptsächlich auf die Kanalcharakterisierung und die Entwicklung von Algorithmen. Ein Beispiel ist das hochmoderne LuMaMi-Testbed [15], das an der Universität Lund in Schweden entwickelt wurde und Teil des Horizont-2020-Projekts MAMMOET [16] ist. Der Ansatz ist wichtig, um die Aspekte der Ausbreitung des Konzepts in realen Szenarien zu verstehen. Ein weiteres Beispiel ist ein 64-Kanal-MIMO-Transceiver mit einer vollständig digitalen Beamforming-Architektur, der im Juli 2018 veröffentlicht wurde [17]. Ebenso wichtig ist jedoch die Einleitung von Forschungsaktivitäten, die die Systemintegration auf dem Chip und die Herstellungspraxis untersuchen, um die festgelegten Funkanforderungen zu erfüllen. Genau das ist das Ziel von BEYOND5, das Ziel, einen integrierten 5G-MIMO-SoC mit 22FDX zu demonstrieren und der Grund, warum die potenzielle Auswirkung des Projekts signifikant ist. Zusätzlich zu den überlegenen mm-Wellen-Eigenschaften bietet die 22FDX-Technologie bis zu 50% Modulkosten- und Energieeinsparungen durch die Kointegration von mm-Wellen- und digitaler Funktion auf einem Chip (s. Abbildung 5).

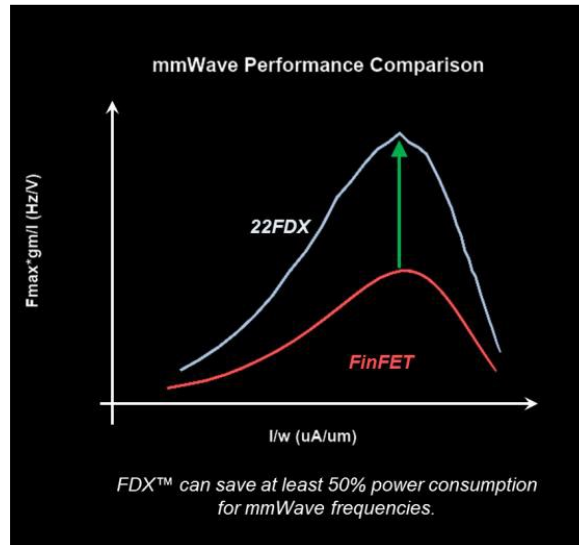


Abbildung 5 22FDX vs FinFET für mm-Wellen Anwendungen

Ein solches System erfordert eine besonders präzise Erzeugung und Verteilung der Trägerfrequenzen für die verschiedenen Transceiver-Kanäle. FHG EMFT teilt sich die Verantwortung mit anderen Mitwirkenden, um den Frequenzmultiplikator und die Pufferung zu entwickeln, die für die interne Referenzgenerierung eines solchen 22FDX-SoCs erforderlich sind.

Auf der Seite des 5G-MIMO-Demonstrators ist für die 22FDX-Technologie keine Entwicklung, wie sie mit Ericsson geplant ist, bekannt. In dieser Hinsicht wird das SoC selbst einzigartig sein; daher auch die von FhG EMFT entworfene IP.

2 Durchgeführte Arbeiten und erzielte Ergebnisse

2.1 Projektübersicht / Struktur des Arbeitsplans

Die Organisation des Arbeitspakets stellt die Interaktionen der Partner entlang der Wertschöpfungskette dar. BEYOND5 gliedert sich in drei Hauptarbeitspakete (WP2-WP4) mit steigender Komplexität in der Integrationshierarchie.

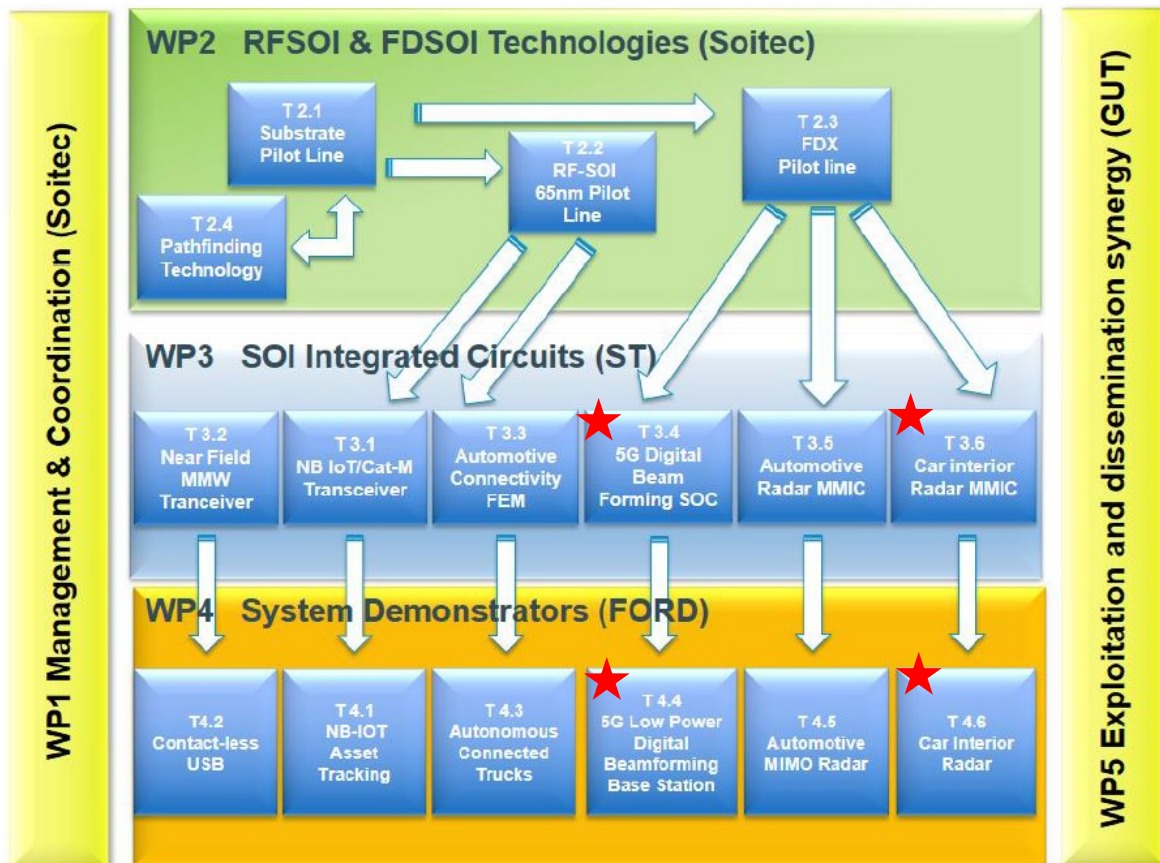


Abbildung 6 Struktur des Arbeitsplans und Einordnung des Teilvorhabens

Fraunhofer EMFT hat in den Aufgaben 3.6 und 4.6 zur Entwicklung des mm-Wellen-Gehäusekonzepts beigetragen. Diese Entwicklung ist in Abschnitt 2.2 zusammengefasst.

Fraunhofer EMFT hat in den Aufgaben 3.4 und 4.4 zur Frequenzgenerierung des 5G Digital Beamforming SoC mit 22FDX beigetragen. Abschnitt 2.3 fasst den Demonstrator und die erzielten Ergebnisse zusammen.

2.2 Entwicklung eines neuartigen Si-Glass-Package für über 100 GHz

2.2.1 Motivation und Kontext

Drahtlose Systeme im Millimeterwellen- (mm-Wellen) und Sub-Terahertz-Bereich gewinnen zunehmend an Bedeutung, da sie Datenübertragungsraten ermöglichen, die

jenseits von 100 GHz liegen. Im Jahr 2019 hat die FCC den Frequenzbereich 116–123 GHz für drahtlose Anwendungen freigegeben [18], wobei das ISM-Band bei 122 GHz bereits früher definiert worden war. Vor diesem Hintergrund konzentrieren sich jüngste Forschungsarbeiten auf die Entwicklung von Sender- und Empfänger-Frontends für solche Frequenzen [19]-[22]. Trotz vereinzelter SiGe-Implementierungen dominieren CMOS-Lösungen, da sie eine hohe Integrationsdichte, niedrige Kosten und gute Ausbeuten bieten [23]. Insbesondere FD-SOI-Technologien punkten gegenüber Bulk-CMOS durch geringere Betriebsspannungen, reduzierte Komplexität sowie verbesserte Verstärkungs- und Rauschkennwerte.

Ein Großteil dieser Studien zielt auf Radarsysteme ab, die in Anwendungen wie autonomem Fahren, Wetterüberwachung, Flugverkehrskontrolle, Navigation und Weltraumbeobachtung eingesetzt werden. Um in der Radartechnik eine hohe Winkelauflösung zu erzielen, sind große Antennenaperturen erforderlich. Phased-Array-Systeme lösen dieses Problem, stoßen jedoch bei mm-Wellen schnell an Massengrenzen: Die Auflösungskriterien verschärfen sich mit steigender Frequenz, sodass deutlich umfangreichere und damit kosten- und aufwändigere Module notwendig werden [24]. Im Gegensatz dazu erlauben Multiple-Input-Multiple-Output-(MIMO)-Systeme [25] eine vergleichbare oder sogar verbesserte Auflösung bei deutlich weniger Kanälen. Sie nutzen virtuelle Antennenarrays, die durch orthogonale Signalübertragung mehrerer Sender und gemeinsame Auswertung aller Empfänger entstehen.

Grundvoraussetzung für den Betrieb solcher Hochfrequenz-MIMO-Radare sind leistungsfähige Packaging-Technologien, in deren Gehäusen Antennenelemente mit minimalen parasitären Verlusten integriert werden können. Die Suche nach geeigneten Lösungen jenseits der 100-GHz-Grenze war daher die treibende Motivation für die hier vorgestellte Entwicklung eines neuartigen Packaging-Konzepts.

2.2.2 Konzept

Abbildung 7 zeigt den Querschnitt des auf Silizium-Glas-Wafern basierenden Gehäusekonzepts und die Draufsicht auf den MIMO-Antennensensor (Multiple Input Multiple Output). Der Siliziumwafer verfügt über separate metallisierte Hohlräume, die für den Radar-IC und die luftgefüllten Antennen geätzt wurden. Unter dem Siliziumwafer ist eine Glas-Interposer-Schicht mit mehreren Redistribution Layers (RDL) angebracht [26]. Vertikale Verbindungen zwischen dem Radar-IC und dem Fanout werden durch Through-Glass-Vias (TGV) hergestellt.

Die Größe des Mehrkanal-Radarsystems wird hauptsächlich durch die Antennen bestimmt und ist proportional zur Wellenlänge. Die Phasenzentren der einzelnen Strahlungselemente sind um eine halbe Wellenlänge im freien Raum voneinander entfernt positioniert, um Beugungskeulen im Strahlungsmuster zu vermeiden. Um die Isolation zwischen den Empfangs- und Sendeantennen (>30 dB) zu gewährleisten, sind

sie um eine Wellenlänge voneinander entfernt angeordnet. Die x-Dimension des Gehäuses wird durch den halben Wellenlängenabstand zwischen den Empfangsantennen definiert. Die Sendeantennen sind in y-Richtung angeordnet. Die Millimeterwellenantenne besteht aus einem auf RDL2 gedruckten primären Strahlungspatch und einem metallisierten Hohlraum, der über der Patch-Antenne positioniert ist [27]. Der in den Siliziumwafer geätzte metallisierte Hohlraum (luftgefüllter Wellenleiter) dient als Sekundäranterie zur Verbesserung der Strahlungsleistung. Die Erdung aller Schichten erfolgt über Via-Fences.

RDL3 wirkt wie ein Reflektor für die Patch-Antenne. Die Verbindung zwischen dem Millimeterwellen-IC und der Strahlungsantenne erfolgt über koplanare Wellenleiter und zwei Via-Übergänge [28]-[29]. Die Millimeterwellen-Verbindung ist zwischen zwei Wafern eingebettet. Dadurch werden unerwünschte Leckagen oder Strahlungen vermieden. Das elektromagnetische Feld wird teilweise im Glas geführt, was zu deutlich geringeren Verlusten im Vergleich zu herkömmlichen Übertragungsleitungen in Polymerschichten führt.

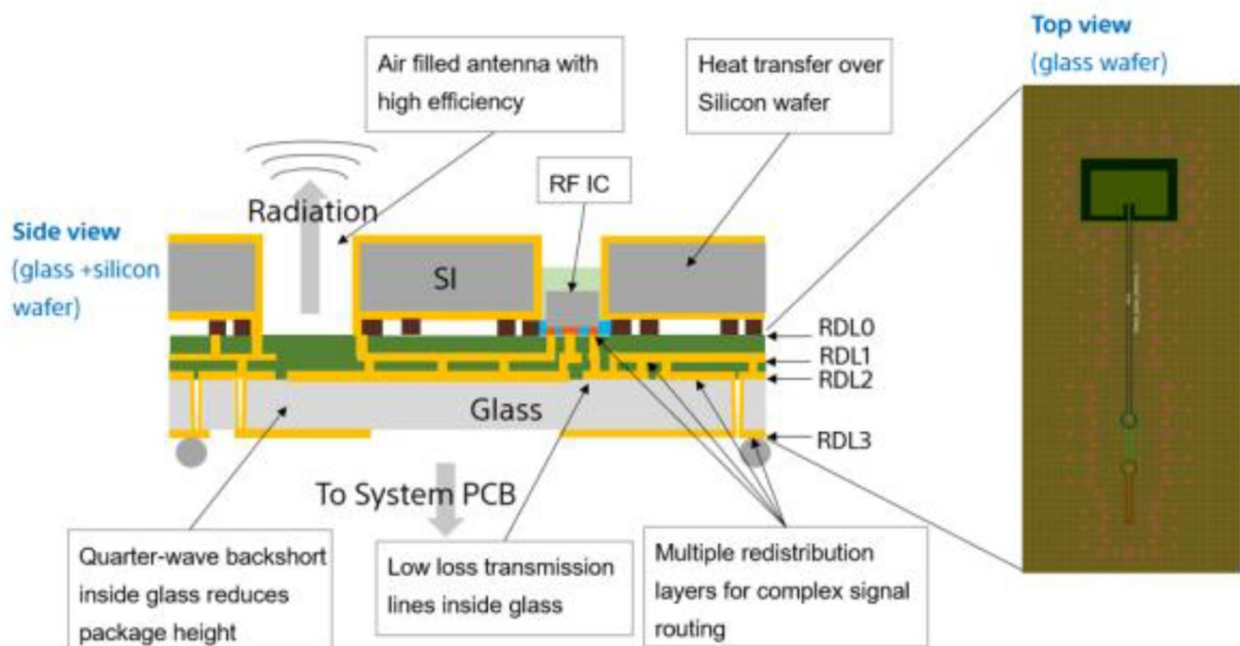


Abbildung 7 Querschnitt des auf Silizium-Glas-Wafern basierenden Gehäuses einschließlich Antennenlayout [30]

2.2.3 Prozessierung der Glaswafern

Die Prozessierung der Glaswafer war mit mehreren Herausforderungen verbunden, mit mehr als 90 Prozessschritten und den Schwierigkeiten beim Umgang mit 300 μm dünnen Wafern. Die folgenden Parameter wurden während der Prozessierung überprüft: Dicke der Cu-Leitungen und der SU8-Dielektrischicht, Topographie innerhalb eines Dies, Waferverzug.

Die Cu_1-Schicht wurde mit einer Beschichtungsbasis (TiW, Cu ca. 300 nm) und elektroplattiertem Kupfer von 6 μm verarbeitet. Abbildung 8a zeigt das Layout der Cu_1-Metallisierung und Abbildung 8b das Prozesskontrollmodul für die Kupferlithografie und -plattierung nach dem Ätzen der Beschichtungsbasis. Das Testmuster zeigt eine gute Auflösung der 10 μm Linien und Lücken sowie eine gute Maßgenauigkeit. Die Lücken in der Kupferschicht sind im Vergleich zum Layout etwas breiter - eine Abweichung von 1,3 μm wird über den Wafer hinweg beobachtet.

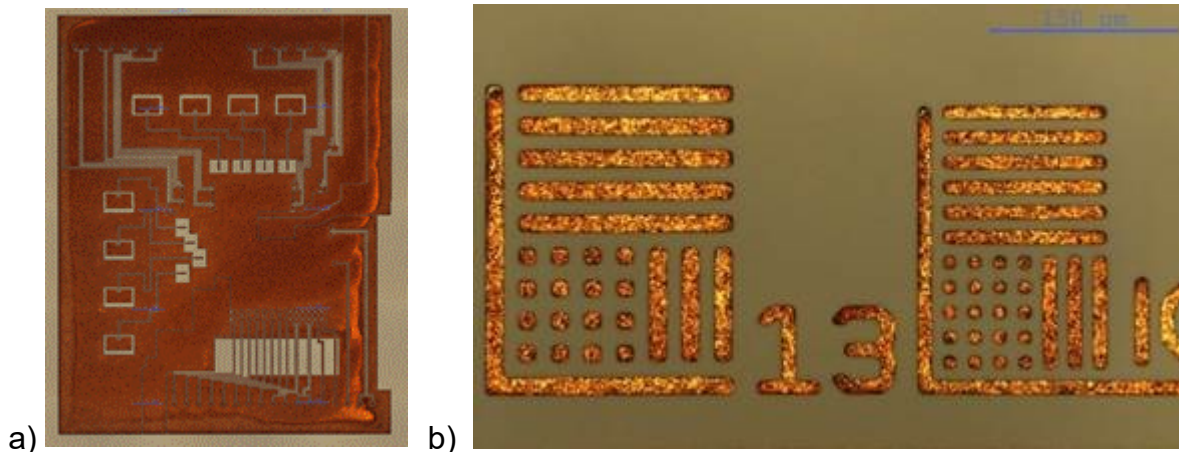


Abbildung 8 a) Layout der Cu_1-Metallisierung b) Auflösungsprüfung einer äquidistanten 10 μm und 13 μm Kupferleitung

Die Messung der Kupferdicke über den gesamten Wafer ergab einen Durchschnittswert von 6,0 μm mit einer Gesamtstandardabweichung von 10,7 %. Die Messungen wurden an zwei Wafern mit jeweils 13 Messpunkten durchgeführt. Abbildung 9 zeigt, dass die Kupferdicke zum Rand des Wafers hin zunimmt. Der Grund dafür ist eine inhomogene Verteilung der Struktur über den Wafer mit einem breiten, musterfreien Ring am Rand des Wafers.

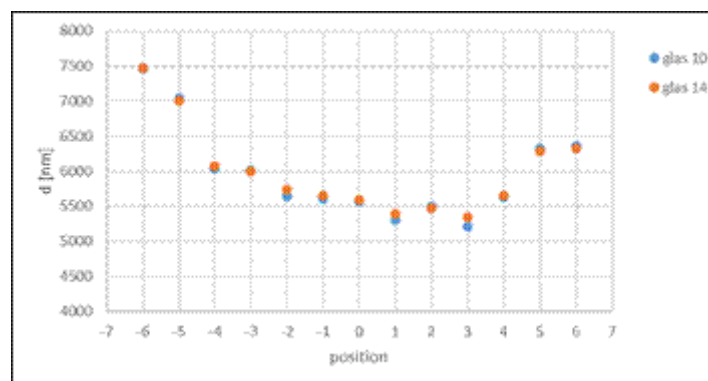


Abbildung 9 Dicke der galvanisch abgeschiedenen Kupferschicht an verschiedenen Stellen auf einem Wafer. Hohe Positionszahlen entsprechen größeren Abständen zum Waferzentrum

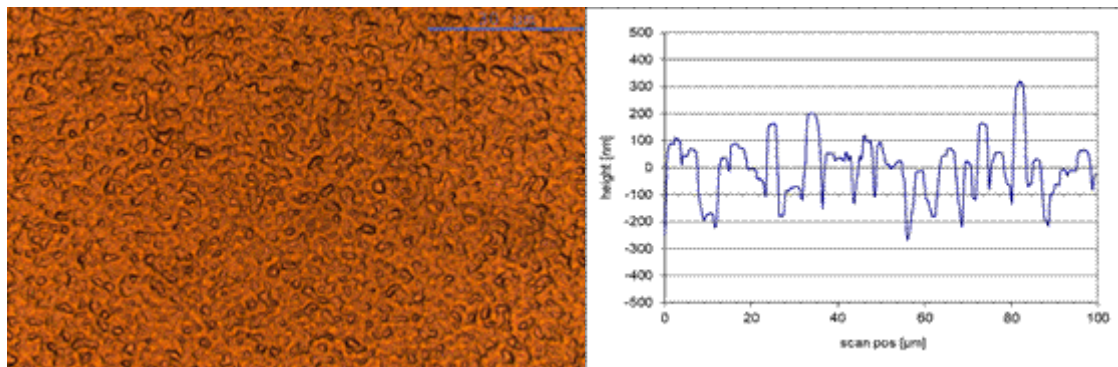


Abbildung 10 Kupferoberfläche und ihre Rauheit, gemessen mittels Profilometrie

Die Rauheit der elektroplattierten Kupferoberfläche, gemessen über eine Scanlänge von 100 µm, beträgt etwa 80 nm mit nur geringen Variationen über den Wafer hinweg (siehe Abbildung 10).

Die Dielektrischicht SU8_1 wurde durch Spin-Coating des Dielektrikmaterials SU8 realisiert. Die geplante Dicke von 12 µm SU8 als Dielektrikmaterial wurde mit einer kleinen Abweichung zu niedrigeren Werten an Stellen mit größerem Abstand zum Waferzentrum erreicht. Die Ergebnisse der Dickenmessungen innerhalb eines einzelnen Dies zeigen eine hohe Uniformität von 4,3 %, was darauf hinweist, dass die Topographie – verursacht durch die Cu_1-Schicht – keinen Einfluss auf die Gesamtdicke der SU8-Schicht hat. Die Ergebnisse der Prozesskontrolle für die Cu_2- und SU8_2-Schichten waren ähnlich wie bei Cu_1 und SU8_1.

Profilometrische Scans der Oberflächentopographie, die sowohl auf dem Muster für das Antennenbonding (Rahmen, Abbildung 11a) als auch auf dem Lötbereich des RF-Chips durchgeführt wurden, zeigten eine Variation von etwa 5 µm mit Maxima hauptsächlich in den Ecken des Bauteils, aber auch innerhalb des Bauteilbereichs (Scanlinien siehe Abbildung 11b, Scanprofil siehe Abbildung 12).

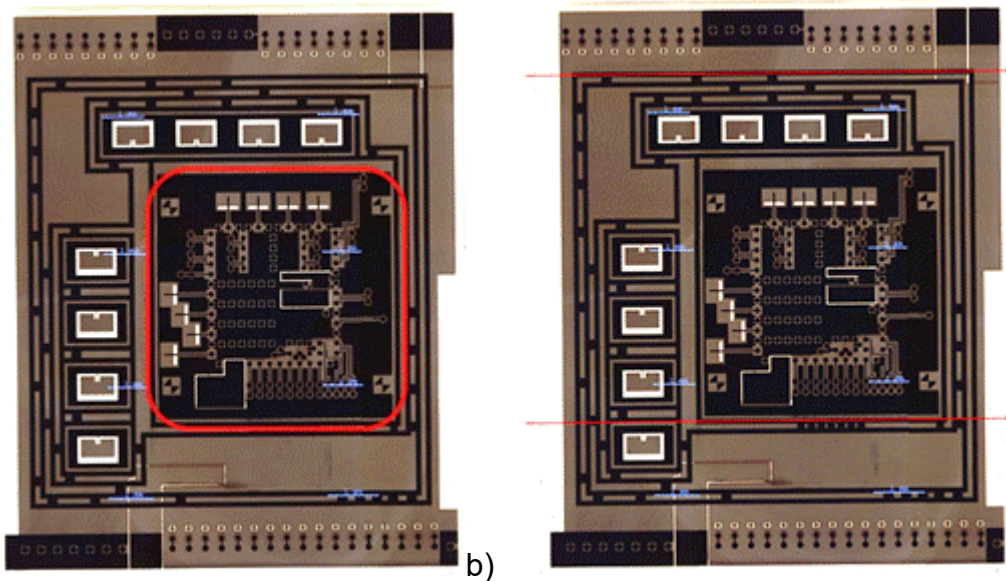


Abbildung 11 a) Chip mit 3 Metallisierungsschichten. Der rot umrandete Bereich zeigt die Stelle zum Löten des HF-Chips. Die rahmenartigen Strukturen (Linien und Doppellinien) dienen zur Verbindung mit dem Antennenchip. B) Die roten Pfeile markieren die Stelle für die Profilometrie

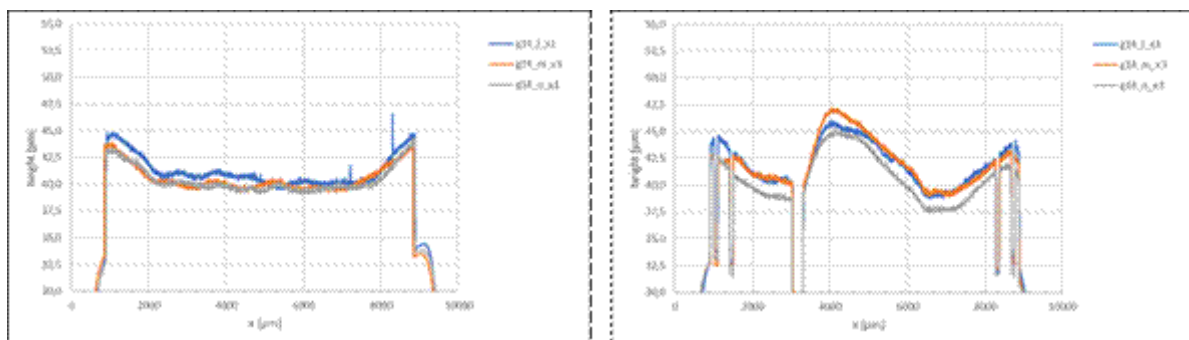


Abbildung 12 Ergebnisse der Profilometriescans an Rahmenmustern, die für die SLID-Bonding verwendet werden sollen

Scans im Bereich, der für das Löten des RF-Chips verwendet wird, zeigen ein homogeneres Ergebnis mit einer Höhenschwankung im Bereich von $1 \mu\text{m}$. Da die Lötstellen am RF-Chip eine Höhe von mehr als $60 \mu\text{m}$ haben und diese Erhebungen während des Bondingprozesses gedrückt werden, sind keine Probleme während des Lötprozesses des RF-Chips zu erwarten.

Um die Leistung der Durchkontaktierungen und den Grad der Planarisierung durch die Dielektrischschicht zu überprüfen, wurden Querschnittsbilder durch Polieren und unter Verwendung von SEM und Mikroskopie erstellt. Abbildung 13 ist ein Mikroskopbild einer Durchkontaktierung, die die Schicht Cu_3 mit Cu_2 verbindet. Während die Schichten Cu_1 und Cu_2 nur mit Kupfer realisiert sind, wird für Cu_3 eine Metallisierung aus Cu

(2 μm) / Ni (2 μm , grau) / Sn (9 μm , hell) verwendet. Die Durchkontaktierung mit einem Durchmesser von 25 μm ist durch die nachfolgende Metallisierung nicht vollständig gefüllt; jedoch erscheint die Seitenwandmetallisierung sehr homogen und zeigt keine Unterbrechungen. Abbildung 14 zeigt auch, dass das SU8-Material einen hohen Grad an Planarisierung aufweist. Die Lücken in Cu_2 auf der rechten und linken Seite der Durchkontaktierung werden nicht als Topographie auf die Cu_3-Schicht übertragen (roter Kreis).

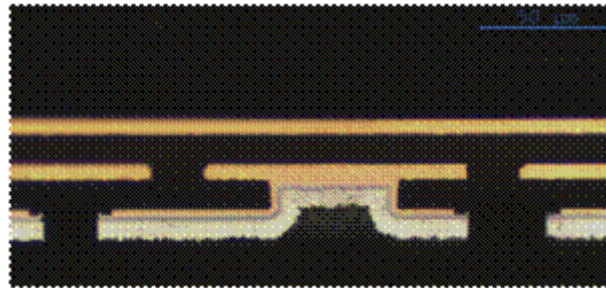


Abbildung 13 Querschnitt der Durchkontaktierung zwischen Cu_3 und Cu_2-Metallisierung

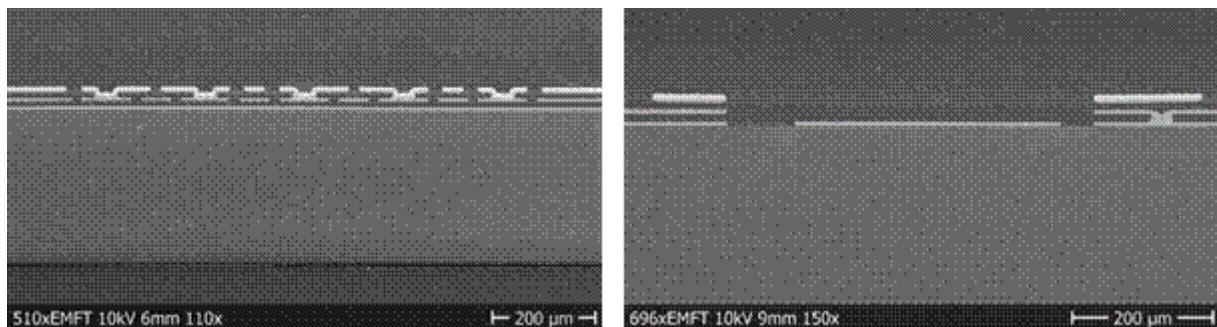


Abbildung 14 Bilder von mehreren Durchkontaktierungen (Cu_3 > Cu_2, links) und Antennenmuster (nur Cu_1)

Abbildung 14 auf der rechten Seite zeigt den Querschnitt eines Antennenmusters mit der Sender/Empfänger-Metallisierung in der Cu_1-Schicht. Aufgrund der großen freien Fläche von Cu_2 findet keine Planarisierung durch SU8_2 statt; die SU8-Dicke über diesen Mustern bleibt daher bei 12 μm (SU8_1 & SU8_2).

2.2.4 Si – Antennenwafer

Der Siliziumwafer wurde durch Trockenätzen (Äztiefe von ca. 530 μm) und anschließendes Schleifen der Rückseite auf eine Restwaferdicke von 450 μm (Öffnung der Löcher) hergestellt. Es folgte eine beidseitige Beschichtung der Beschichtungsbasis mit TiW/Cu (300 nm) und die elektrochemische Plattierung von Kupfer (ca. 6 μm) auf den Oberflächen und Seitenwänden der Löcher.

Die Breite der Antennenstrukturen ($w = 850 \mu\text{m}$, $l = 1250 \mu\text{m}$) wurde überprüft. Die Breite wurde an der Vorderseite mit $849 \mu\text{m}$ und an der Rückseite mit $874 \mu\text{m}$ gemessen. Die Verbreiterung der Breite ist auf den Trockenätzprozess des Siliziums zurückzuführen, der ein leicht negatives Profil aufweist ($88,4^\circ$). Alle Oberflächen sind mit $6 \mu\text{m}$ Kupfer beschichtet. Die endgültige Breite ($837 \mu\text{m}$) weicht an der Vorderseite um ca. $-13 \mu\text{m}$ und an der Rückseite um ca. $+12 \mu\text{m}$ vom Nennwert ab.

2.2.5 Bonding und Löten

Ursprünglich war geplant,

- eine Verbindung zwischen dem Antennenwafer und dem Glaswafer mittels einer Vollwaferbonding-Technologie unter Verwendung der SLID-Technologie (SLID <> solid liquid interdiffusion) durchzuführen und anschließend
- den RF-Chip durch Löcher im Antennenwafer auf den Glaswafer mit einem klassischen Cu/Ni/Sn-Lötprozess zu löten.

Da der SLID-Bond Temperaturen von bis zu 240°C verwendet, was über dem Schmelzpunkt von Sn liegt, wird auch das Sn für das Löten des RF-Chips geschmolzen. Eine optische und profilometrische Inspektion der Oberfläche des Glaswafers nach einem Temperaturprozess, der dem SLID-Bonding-Prozess ähnelt, zeigte eine sehr hohe Topographie des Sn im Bereich der späteren RF-Chip-Platzierung (siehe Abbildung 15). Die Topographie entsteht, nachdem das Zinn geschmolzen ist. Das flüssige Zinn zieht sich in Tröpfchen zusammen oder fließt in größere mit Zinn bedeckte Bereiche (abhängig vom Layout).

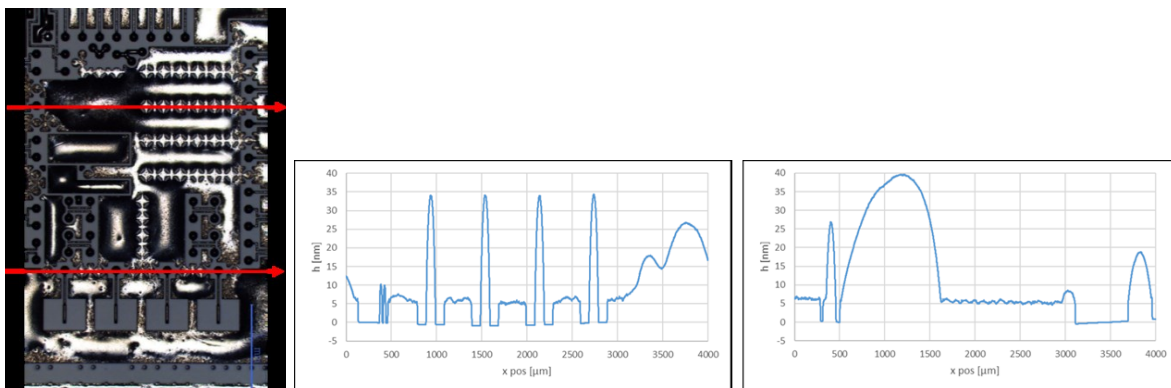


Abbildung 15 RF-Lötbereich nach dem Glühen ($T=240^\circ\text{C}$, $t=3\text{min}$): Profilometrie-Scans über den geschmolzenen Bereichen zeigen eine hohe Topographie

Da es in diesem Verarbeitungsstadium nicht möglich war, die Metallisierung zu ändern, wurde entschieden, dass Vollwafer-SLID-Bonding zu überspringen und beide Bonding-Prozesse (Antennenchip und RF-Chip) als Chip-Bonding auf zerschnittenen Glaschips mit nur einem Reflow-Lötprozess durchzuführen.

Es traten keine Probleme beim Zerschneiden des Glaswafers in einzelne Chips auf. Im Fall des Antennenwafers (mit $6 \mu\text{m}$ elektroplattiertem Cu auf beiden Seiten) führte das

Zerschneiden zu einer teilweisen Ablösung des Cu von der Si-Oberfläche. Daher war ein zusätzlicher Lithografie- und Cu-Ätzschritt auf dem Antennenwafer erforderlich, um das Cu in den Bereichen der Trennlinien zu entfernen (unter Verwendung von Trockenresist aufgrund der Löcher im Antennenwafer).

Es stellte sich heraus, dass das SLID-Bonding von Einzelchips unter Luftbedingungen (ohne schützende oder reaktive Gasatmosphäre) möglich ist. Um die Oxidation des Cu während des SLID-Prozesses zu vermeiden, wurde die Cu-Oberfläche mit einer dünnen Au-Schicht (200 nm) beschichtet.

Das SLID-Bonding und das Sn-Löten wurden beide mit einem Panasonic Flip Chip Bonder FCB3 durchgeführt. Die Optimierung beider Prozesse (SLID, Löten) umfasste Variationen der Bonding-Parameter wie

- Temperatur des Bonding-Tool für Wafer und Chip
- Anstiegs- und Haltezeiten
- Bonding-Kraft

Das Bonding wurde charakterisiert durch

- Visuelle Inspektion vor und nach einem Scher-Test (keine quantitative Messung der Scherfestigkeit)
- Erstellung von Querschnittsbildern (Polieren)
- Röntgenanalysen
- Elektrische Charakterisierung (durchgeführt bei Sony)

Querschnitts-, Röntgen- und elektrische Analysen wurden an einer ausgewählten Anzahl von Proben durchgeführt, da diese sehr zeitaufwendig sind. Abbildung 16 zeigt ein Bild einer optischen Inspektion nach dem Löten, betrachtet durch das Glasbauteil. Der graue Bereich ist die Rückseite der oberen Glasmallisierung (TiW-Haftschrift). Die weißen Bereiche zeigen die Stellen, an denen sich die Lötstellen auf dem RF-Chip befinden. Die rot umrandeten Bereiche zeigen einen Teil des Sn-Lots, das sich während des Pinning- und Lötprozesses ausbreitet.

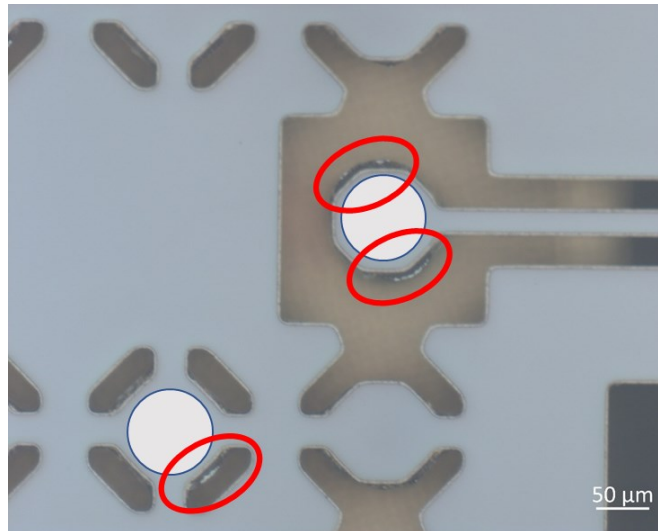


Abbildung 16 Blick durch den Glaschip nach dem Lötten des RF-Chips auf das Glasbauteil

Abbildung 17 wurde nach der Herstellung eines polierten Querschnitts aufgenommen. Sie zeigt eine Lötverbindung ohne Luft einschüsse und eine klare Grenzfläche zwischen der Sn-Schicht und der Lötlage. Da die Ausbreitung der Sn/Lötlage gering ist (siehe Abbildung 16), verursacht sie keine Kurzschlüsse zu den benachbarten Pads oder Metalleitungen.

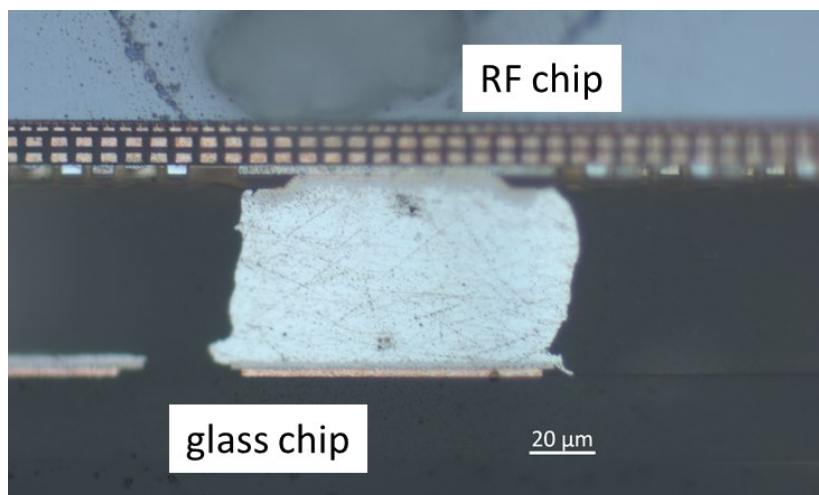


Abbildung 17 Bild eines Querschnitts einer einzelnen Lötverbindung zwischen einem RF-Chip und einem Glaschip².

² Sowohl der RF-Chip als auch der Glaschip verfügen über eine Lötmetallisierung, die aus Cu ($d = \text{ca. } 4 \mu\text{m}$) / Ni (grau, $d = \text{ca. } (4-6) \mu\text{m}$) / Sn oder Lot besteht. Die ursprüngliche Dicke der Sn-Schicht auf der Glasseite betrug etwa $9 \mu\text{m}$, und die Lötstelle auf der RF-Chip-Seite hatte eine Dicke von $80 \mu\text{m}$.

Abbildung 18 zeigt ein Röntgenbild eines gelöteten RF-Chips. Einige Unregelmäßigkeiten wie Luft einschüsse und Ausbreitung sind erkennbar. Es ist jedoch schwierig, aus diesen Bildern Rückschlüsse auf die elektrische Leistung der Lötverbindung zu ziehen.

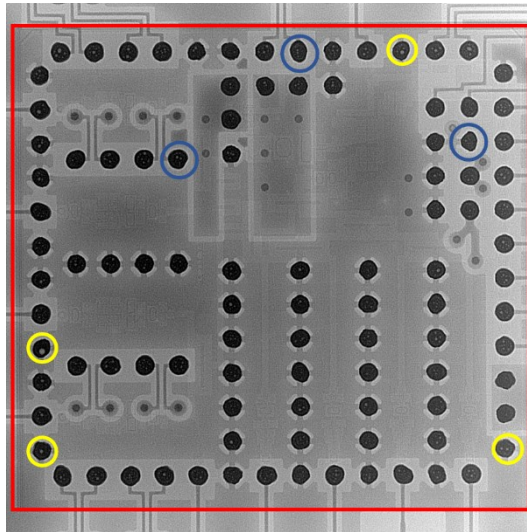


Abbildung 18 RF-Chip (Umriss rot markiert) auf das Glasbauteil gelötet³

Verschiedene Testverfahren zeigten, dass die besten Ergebnisse mit folgendem Verfahren erzielt werden konnten:

- Anbringen des RF-Chips auf dem Glaschip (unter Verwendung von Druck und Temperaturen unter dem Schmelzpunkt von Sn)
- Anbringen des Antennenchips auf dem Glaschip
- Gleichzeitiges Löten (SLID- und Sb-Löten)

Das Löten wurde entweder mit einem Standard-Reflow-Ofen oder einem EVG-Waferbonding-System durchgeführt. Letzteres System hat den Vorteil, dass das Bonding in einer deoxidierenden Atmosphäre stattfindet, wodurch die Oxidation der Löt pads vermieden wird, die für die anschließende Verbindung des Glasbauteils mit einer Leiterplatte erforderlich sind. Während in der Röntgenanalyse kein signifikanter Unterschied in der Leistung der gelöteten Lötstellen festgestellt wurde, zeigte die

³ Einige Pads (gelb markiert) zeigen hell gefärbte Stellen, die auf das Vorhandensein kleiner Luft einschüsse hinweisen. Die in Blau markierten Pads zeigen eine deutlich nicht kreisförmige Kontur, die durch Inhomogenitäten in der Druckbelastung während des Bondings oder durch Layoutunterschiede (Fließen des Sn-Lots) verursacht werden kann.

elektrische Charakterisierung (durchgeführt bei Sony) eine geringere Ausbeute (Anzahl der leitfähigen Lötstellen) für die im EVG-Bonding-System gelöteten Chips.

Insgesamt wurden 15 Chips zur elektrischen Charakterisierung geliefert:

- Si-Glas-Bauteile (Antennenchips, die an Glaschips gebondet sind, zur Bewertung der Antenneneigenschaften)
- RF-Glas-Bauteile (nur RF-Chips, die an Glaschips gelötet sind)
- 7 komplette Baugruppen (Si-Glas-Pakete mit RF-Chips, die an Glaschips gebondet sind)

2.2.6 Si-Glass-Package

Abbildung 19 zeigt ein fertiges Si-Glas-Package, das aus einem Glaschip mit einem angebondenen Si-Antennenchip und dem RF-Chip besteht, vor (a) und nach (b) dem Lötprozess. Die Kupferoberfläche des Antennenchips ist in diesem Bild stark oxidiert; Sn auf den Pads, die für das Lötten an die Leiterplatte erforderlich sind, ist geschmolzen und weist eine starke Topographie auf.

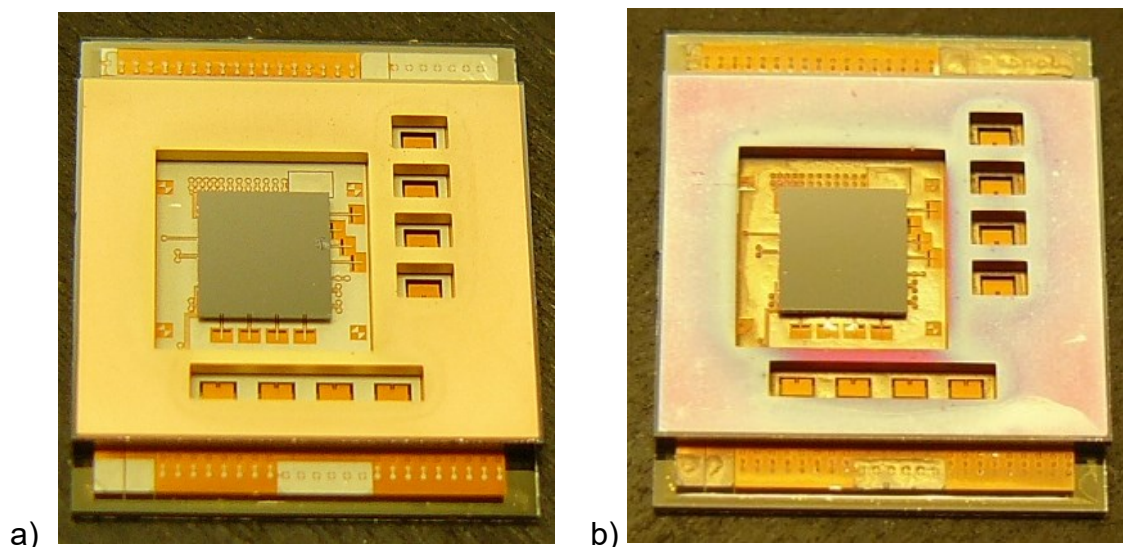


Abbildung 19 Si-Glas-Package – bestehend aus einem Glassubstrat mit angebondenem Antennenchip und RF-Chip: a) vor und b) nach dem Annealing in einem Reflow-Ofen

Das Bonding der kompletten Bauteile muss auf einer Leiterplatte durchgeführt werden. Erste Tests haben gezeigt, dass dies ebenfalls eine schwierige Aufgabe ist und dass auch in diesem Bereich parallel zur Entwicklung des Packages weitere Entwicklungen erforderlich sind. Dies war ursprünglich im Projekt nicht vorgesehen und geplant, stellte jedoch ein wichtiges Ergebnis für die nächsten Schritte dar.

- Der Abstand der Pads auf den Glasbauteilen stellt eine Herausforderung für die Leiterplattenfertigung dar.

- Die Topographie sowohl der Leiterplatte als auch der Glasbauteile erschwert die Handhabung und den Lötprozess.
- Sn auf den Pads der Glasbauteile ist bereits geschmolzen.

2.3 Frequenzgenerierung für die digitalen 5G Beamforming-Transceiver für 39 GHz

2.3.1 Motivation und Kontext

Die fünfte Generation mobiler Netzwerke gestaltet unsere Gesellschaft derzeit weltweit um. Verbraucher profitieren von verbesserten terrestrischen mobilen Breitbanddiensten, die erweiterte und virtuelle Realitätserlebnisse einschließen. Gleichzeitig nutzen Unternehmen und Fabriken Konnektivität und Cloud-Dienste, um die Effizienz zu steigern und den Wert zu erhöhen. Mit dem Ziel, Datenaustausch jederzeit und überall für jedermann und alles zu ermöglichen, entstehen neue Anwendungsfälle.

In diesem Projekt konzentrieren wir uns auf die In-Flight-5G-Kommunikation und untersuchen die Implementierung eines potenziellen In-Cabin-5G-MIMO-Radiosystems. Ein Demonstrator wurde entworfen, entwickelt und in einem Laborumfeld validiert.

Der gewählte Anwendungsfall für den Demonstrator ist die Kabinenumgebung eines Flugzeugs, die mehrere wichtige Merkmale aufweist:

- Dichte Benutzerumgebung: Die Kabine verfügt über einen begrenzten Raum mit hoher Benutzerdichte, geringer Mobilität und minimaler Distanz zwischen dem Zugangspunkt und den verbundenen Geräten, was sie für den mmWave-Betrieb geeignet macht.
- Strenge Designvorgaben: Es gibt strenge Anforderungen an Größe, Gewicht, Stromversorgung und Wärmeabfuhr. Dies erfordert einen anderen

Optimierungsansatz im Vergleich zu Fabrikböden, Installationen für festes drahtloses Internet oder öffentlichen Hotspots.

- Netzwerk-Koexistenz: Das Kabinennetzwerk muss mit anderen Netzwerken koexistieren, da es unvermeidlich mit Mobilfunkdiensten, die im Flughafengebiet betrieben werden, interagiert.

Daher bietet das In-Cabin-5G-Konnektivitätsszenario zahlreiche relevante Herausforderungen, die auch auf andere Umgebungen anwendbar sind.

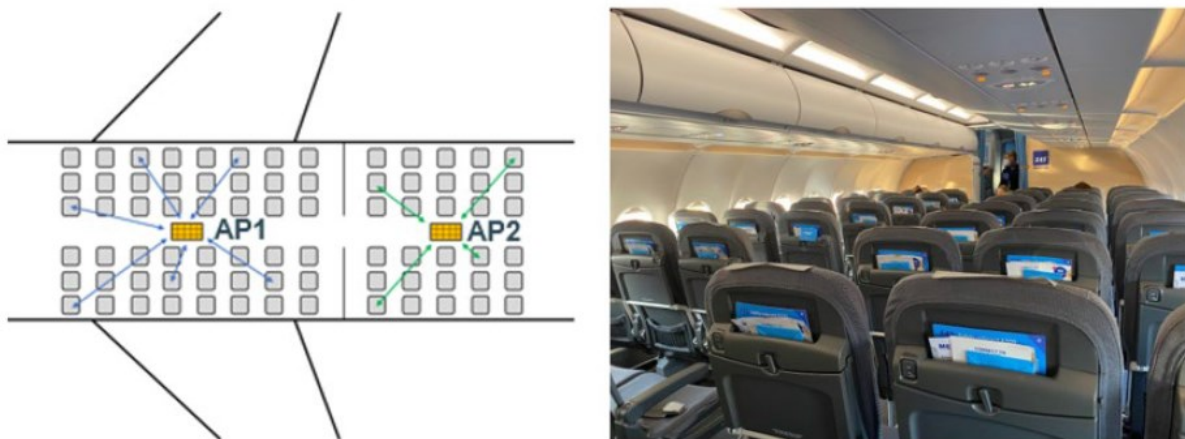


Abbildung 20 Installation mehrerer Zugangspunkte (AP), um die erforderliche Kapazität zu erreichen [31]

2.3.2 Architektur

Eine Vierpfad-Transceiver-Architektur wird als Kompromiss zwischen Komplexität, Platzbedarf, Integration und I/O-Datenrate vorgeschlagen. Jeder Chip soll eine Zwei-Port-Dualpolarantenne speisen (siehe Abbildung 21). Bei 39 GHz beträgt der Antennenabstand $\lambda/2$ 3,8 mm. In unserem Anwendungsfall wird erwartet, dass acht integrierte Schaltkreise (ICs) mit vier Transceivern die Anforderungen einer kleinen Basisstation (BS) der Klasse 2-0 für die Funkübertragung und -empfang im FR2 n260-Kanal (37–40 GHz) erfüllen, wobei eine maximale EIRP von 24 dBm auf der Senderseite erreicht wird. Das Link-Budget ergibt eine Nettodatenrate von 150 Mbps pro 50 MHz-Kanal bei einer Reichweite von 10 m im Downlink zwischen BS und UE. Der Transceiver kann bei kürzere Distanzen bis zu 225 Mbps erreichen, wobei die OFDM-64QAM-Modulation verwendet wird. Längere Distanzen und höhere Datenraten können durch Vergrößern der Array-Größe und der Anzahl der Chips sowie durch Erhöhen der EIRP erzielt werden.

Die Ausgangsleistung des Leistungsverstärkers (PA) wird absichtlich auf 8 dBm P1 dB begrenzt, um eine bessere Power Added Efficiency (PAE) bei Leistungsreduzierung mit Digital Pre-Distortion (DPD) zu erreichen, die den linearen Anforderungen entspricht.

Ein gemeinsamer Referenztakt versorgt die verschiedenen ICs. Seine Frequenz wurde auf ein Drittel des endgültigen LO gewählt, um den Stromverbrauch zu reduzieren. Somit erzeugen interne Frequenzverdoppler die benötigten LOs kohärent. Die Kanäle (deren Bandbreite von 50 bis 400 MHz skalieren kann) werden von 37 auf 40 GHz hochkonvertiert, indem der Referenztakt zwischen 12,33 und 13,33 GHz verschoben wird. Bei Annahme einer digitalen gemeinsamen Phasenfehlerkorrektur und Pilotphasenverfolgung in der DBB OFDM-Signalverarbeitung besteht die Herausforderung darin, den Phasenrauschboden bei Frequenzen über 1 MHz vom Träger in Frequenzverdopplern zu begrenzen.

Der Empfänger verwaltet einen hohen Dynamikbereich, von -86 dBm auf Empfindlichkeitsebene bei QPSK-Modulation bis zu -28 dBm bei der kürzesten Distanz. Dies wird durch dynamische Verstärkungsrekonfiguration in niederrauschenden und Zwischenschaltern sowie durch automatische Verstärkungsregelung im variablen Verstärker erreicht.

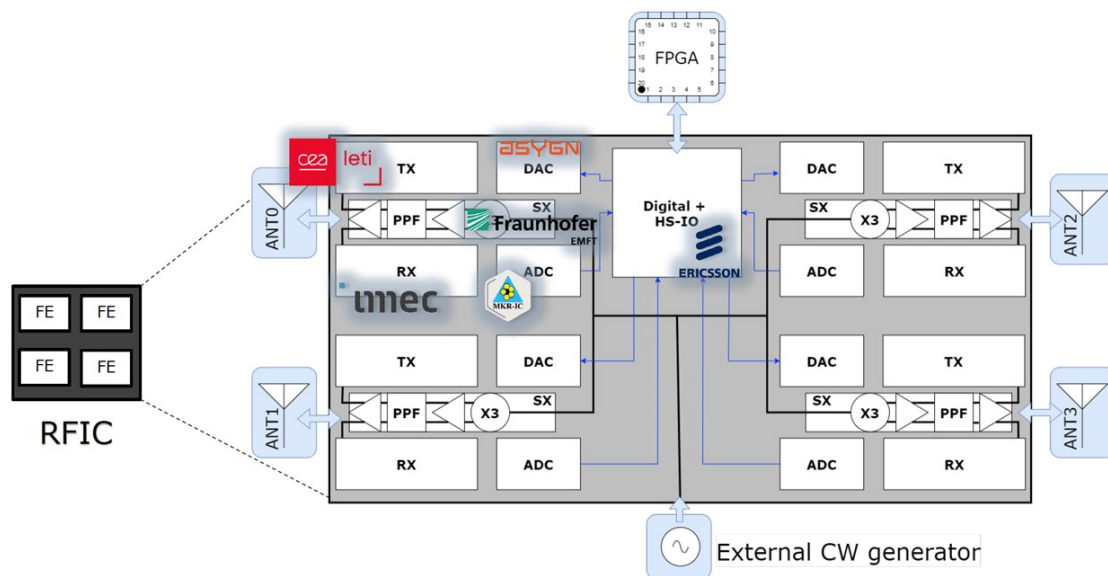


Abbildung 21 RF Integrated Circuit

2.3.3 Lokoszillator-Verfielfachung

2.3.3.1 Konzept

Ziel des Lokoszillator-Verfielfachungs-Schaltkreises (LO) ist es, ein 39 GHz Frequenzsignal (S_x) bereitzustellen, das sowohl für die Quadraturmodulation als auch für die Demodulation im Transceiver benötigt wird, während das externe Referenz-LO-Signal bei einer niedrigeren, subharmonischen Frequenz verteilt werden kann.

Da die LO-Verteilung über die vielen Kanäle des vollständigen Transceiver-Arrays außerhalb des Chips und außerhalb des RF-Signalbands erfolgt, wird die Interferenz durch das nahe Bandkopplung der LO-Verteilungssignale in die RF-Signalfade gemindert.

Um die Effizienz der Leistungsabgabe sowohl bei der Verteilung als auch bei der Verfielfachung des LO-Signals auszugleichen, wurde für dieses Design ein dreifacher Frequenzverfielfachungsfaktor gewählt. Dies wird durch harmonische Verzerrung des Eingangs unter Verwendung eines nichtlinearen Verstärkers sowie durch verschiedene Filter- und Pufferstufen erreicht. Der Verfielfacherschaltkreis in Abbildung 22 wandelt ein 13 GHz einseitiges externes Referenzsignal in ein 39 GHz Quadraturausgangssignal um.

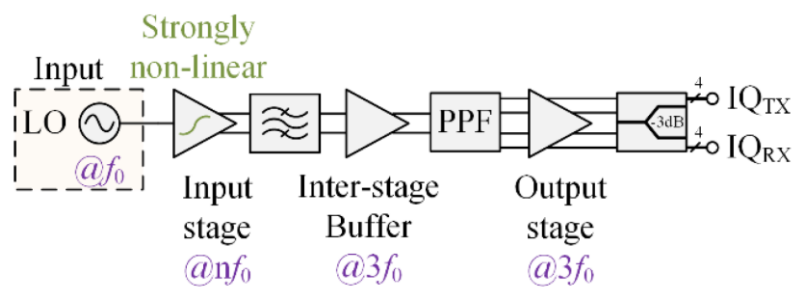


Abbildung 22 Blockdiagramm des Frequenzvervielfachers

2.3.3.2 Implementierung

Der Sx-Block wird durch drei Verstärkungsstufen, zwei Zwischenfilterstufen, einen Eingangsbalun, zwei Ausgangstransformatoren und einen Verteiler realisiert, wie in Abbildung 22 dargestellt.

Das extern erzeugte 13 GHz LO-Signal wird auf dem Chip aufgeteilt und über die Leiterplatte (PCB) sowie das Gehäuse/Interposer über alle Transceiver-Kanäle verteilt. Jeder Kanal auf dem Chip hat ein externes 13 GHz-Signal, das am Eingangsanschluss des Schaltkreises bereitgestellt wird. Der Balun am Eingang führt eine Umwandlung von einseitig zu differentiell durch und sorgt für eine 50 Ohm-Anpassung, während er ESD-Schutz, AC-Kopplung und DC-Vorspannung bietet. Er schützt die Transistoren des Eingangsstufenverstärkers und ermöglicht es diesem Verstärker, unabhängig vom Quellsignal vorgespannt zu werden.

Die Eingangverstärkungsstufe wird im stark nichtlinearen Bereich betrieben und erzeugt harmonische Störungen bei ganzzahligen Vielfachen der fundamentalen Eingangsfrequenz $f_0 = 13$ GHz. Die dritte Harmonische muss mit minimalem Einfügeverlust erhalten bleiben, während die unerwünschten harmonischen Störungen herausgefiltert werden müssen, um Verzerrungen in den späteren Stufen zu vermeiden. Dies geschieht, indem ein bandpassfilterähnliches Verhalten (BPF) sichergestellt wird, indem sowohl die aktiven Komponenten sorgfältig abgestimmt als auch die Transformatoren zwischen den Stufen um die Frequenz von Interesse angepasst werden.

Das resultierende 39 GHz-Signal wird dann gepuffert, bevor ein Polyphasefilter (PPF) die in-phase und quadratur Komponenten ableitet. Schließlich werden die Quadratur-Signalbestandteile nochmals gepuffert, bevor sie aufgeteilt und an die Rx- und Tx-

Subsysteme verteilt werden. Die Verstärkungsstufen im Sx-Block sind pseudo-differenzielle Common-Source-mm-Wellen-Verstärker. Die erste Verstärkungsstufe ist in Abbildung 23 dargestellt.

Das Layout der Frequenzvervielfacher (einschließlich Testpads) ist in Abbildung 24 dargestellt. Die passiven Strukturen wurden mit einem 3D-EM-Simulator modelliert; ihre 3D-Ansicht zeigt Abbildung 25.

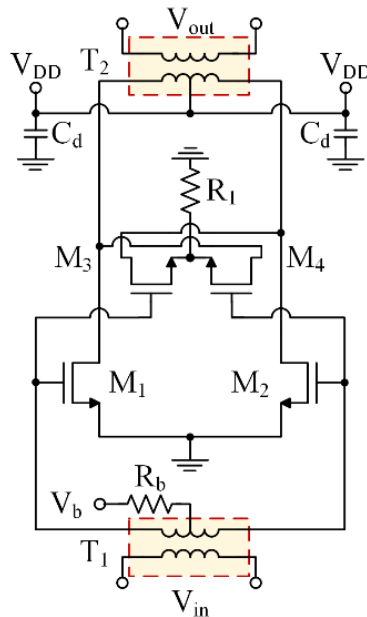


Abbildung 23 Verstärkerstufe

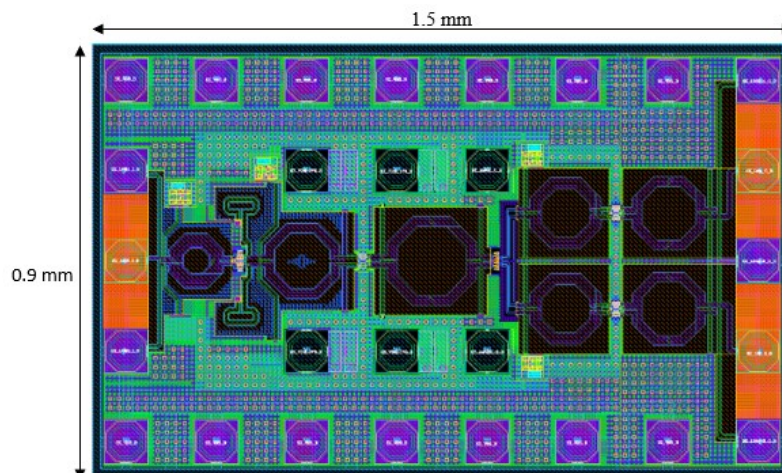


Abbildung 24 Layout des Sx-Blocks (RUN1)

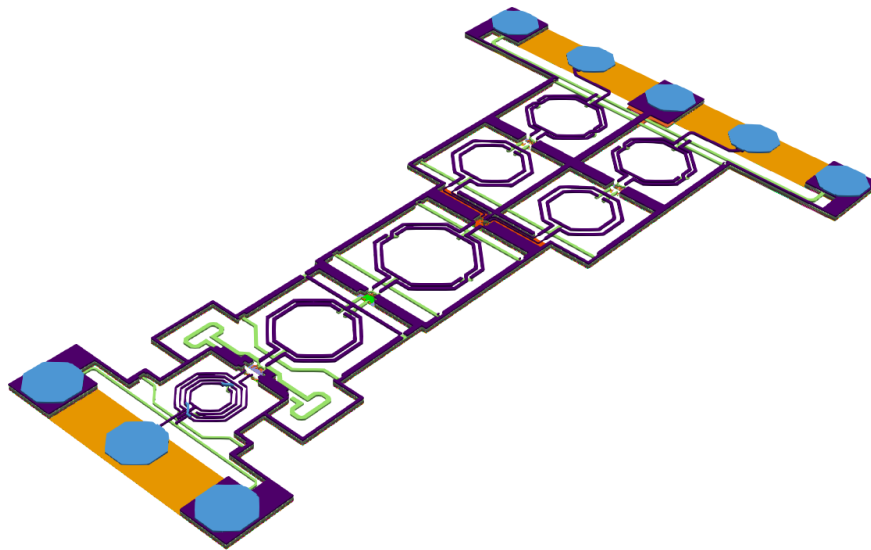


Abbildung 25 3D-Ansicht der passiven Komponenten in der EM-Simulationsstruktur

2.3.3.3 Verifizierung

In der Simulation und unter typischen Bedingungen zeigt der Sx-Block einen Stromverbrauch von 53 mA bei $P_{in} = -6$ dBm bei 13 GHz von einer Versorgungsspannung von 800 mV, mit einem P_{out} von 2 dBm bei 39 GHz vor dem Leistungsverstärker, was zu einem Konversionsgewinn von 8 dB führt. Darüber hinaus haben PVT-Simulationen gezeigt, dass die harmonische Unterdrückung bis zur siebten Harmonik über 30 dB bleibt.

2.3.3.4 Validierung

Um die RF- und DC-Leistung des SX-Schaltkreises (d.h. DUT, den Frequenzvervielfacher in RUN1) zu bewerten, wurde eine Validierungs-PCB entworfen, die in Abbildung 26 dargestellt ist. Der Chip wurde auf der Test-PCB gebondet, die die Versorgungsspannung und die SPI-Steuersignale bereitstellt.

Der Hochfrequenzeingang und -ausgang des DUT wurden mit RF-Proben an einer Prüfstation kontaktiert. Die Verstärkungsstufen des DUT werden von digitalen zu analogen Wandlern (DACs) auf dem Chip gesteuert, die über die SPI-Schnittstelle eingestellt werden. Ein Blockdiagramm des getesteten Designs (DUT) und ein Bild des Setups sind in Abbildung 27a und Abbildung 27b dargestellt. Ein aufeinanderfolgender Approximationssuchalgorithmus wird verwendet, um die Vorspannung fein abzustimmen. Die gemessenen Ergebnisse werden im Folgenden präsentiert.

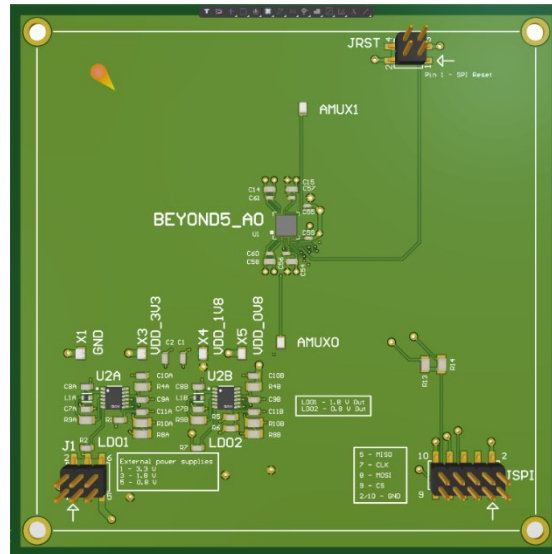


Abbildung 26 Die Oberansicht des BEYOND5 PCB-Testboards (RUN1-Chip in der Mitte)

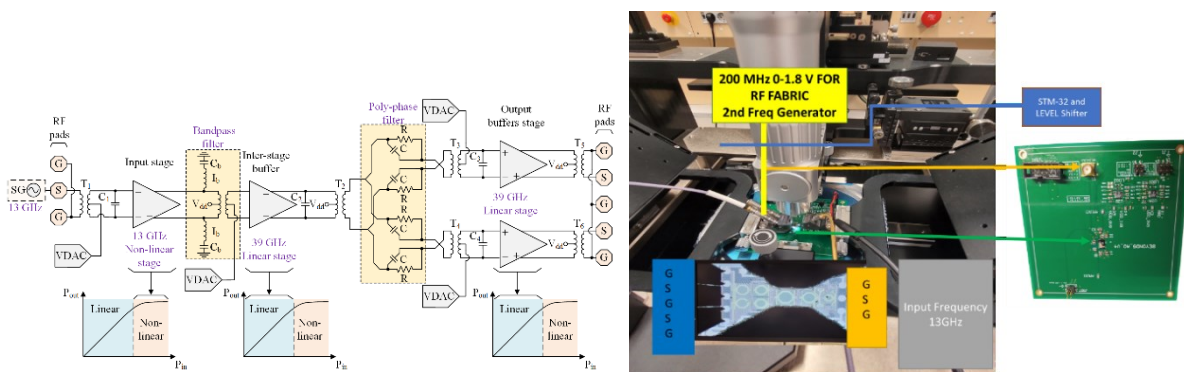


Abbildung 27 a) Blockdiagramm des Sx-Blocks b) das Messsetup des RUN1-Chips

2.3.3.4.1 Stromverbrauch der digitalen und Sx-Blöcke

Zunächst wurde zur Validierung des grundlegenden Betriebs der Gleichstromverbrauch des Sx-Blocks (IDD_RF_Block) gemessen, während ein 13 GHz -6 dBm Eingangssignal angelegt wurde und die Versorgungsspannung VDD_0V8 von 720 mV auf 880 mV variiert wurde. Das Ergebnis ist in Abbildung 28 unten dargestellt. Bei nominaler Versorgung wurde ein Stromverbrauch von 56 mA gemessen, was leicht über dem simulierten nominalen Wert von 49 mA liegt.

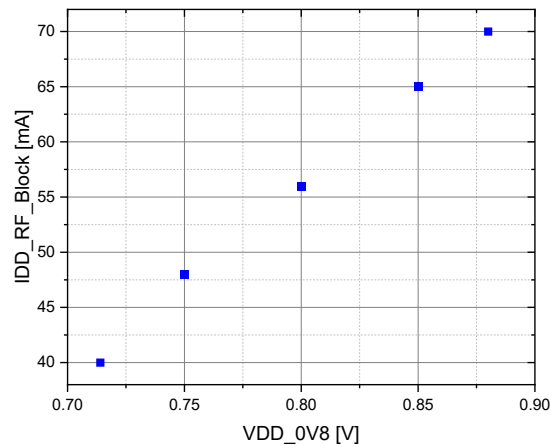


Abbildung 28 Gemessener Stromverbrauch, aufgetragen gegen die Versorgungsspannung

2.3.3.4.2 Ausgangsfrequenzspektrum

Während ein 13 GHz, -6 dBm Eingangssignal angelegt wurde, ist das gemessene Ausgangsspektrum, das auf 39 GHz zentriert ist, in Abbildung 29a dargestellt. Die Leistung erreicht bei dieser Frequenz einen Höhepunkt von -12,8 dBm. Unter Berücksichtigung der Kabel- und Sondenverluste wird der effektive Konversionsgewinn auf etwa 1 dB geschätzt. Anschließend wurde die Eingangsfrequenz manuell zwischen 12 und 14 GHz variiert, um eine Spitzen-Ausgangsleistung von -7,5 dBm bei einer Eingangsfrequenz von 12,16 GHz zu finden. Abbildung 29b zeigt das Ausgangsspektrum für diese Eingangsfrequenz. Es zeigt auch, dass die ersten beiden Harmonischen des Eingangs um -48 dBc bzw. -36 dBc unterdrückt werden. Die Kabel- und Sondenverluste werden separat geschätzt und betragen ca. 12 dB, sodass der effektive Konversionsgewinn zu diesem Zeitpunkt auf ca. 4 dB geschätzt wird.

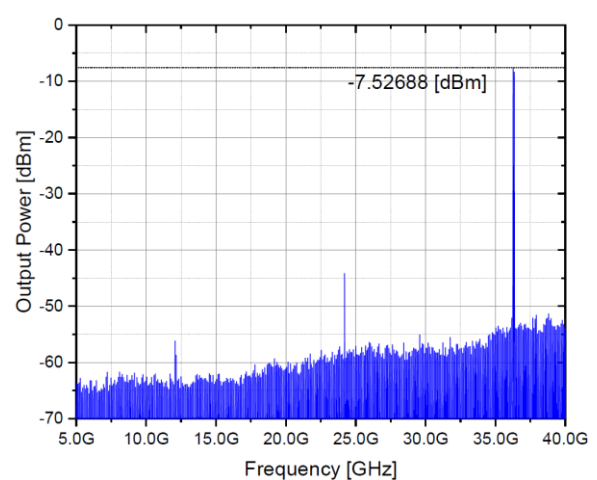
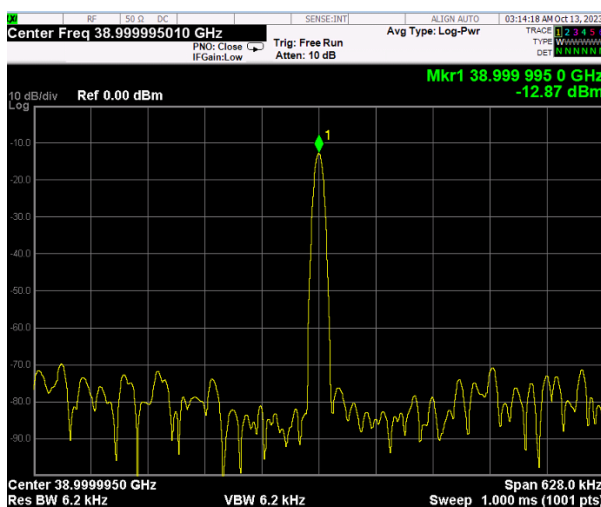


Abbildung 29 (a) Gemessenes Ausgangsspektrum für die Eingangsfrequenz von 13 GHz, Spitzen-Ausgangsleistung bei -12,8 dBm, (b) Ausgangsspektrum mit der

Ausgangsfrequenz, die bei 36,43 GHz / -7,5 dBm Pout einen Höhepunkt erreicht (zeigt auch die Subharmoniken, die von der 12,16 GHz Eingabe erzeugt/gekoppelt werden).

2.3.3.4.3 Phasenrauschen

Das gemessene Phasenrauschen beträgt -119,5 dBc/Hz bei einem Offset von 1 MHz, wie in Abbildung 30 dargestellt. Dies erfüllt die Spezifikation. Das Phasenrauschen des Signalgenerators am Eingang liegt bei ca. -130 dBc/Hz bei 13 GHz und einem Offset von 1 MHz.

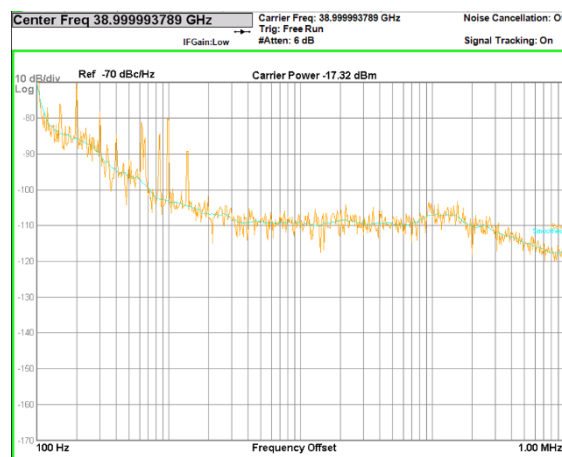


Abbildung 30 Das gemessene Phasenrauschen bei der Zentralfrequenz von 39 GHz

2.3.3.4.4 S-Parameter-Messungen von passiven Eingangs- und Ausgangsstrukturen

Die S-Parameter-Messung wurde vor den oben aufgeführten Messungen durchgeführt, um die Anpassungseigenschaften des DUT zu validieren und den Leistungsübertrag und den Umwandlungsgewinn zu schätzen. Für die S-Parameter-Messung wurde der in Abbildung 31 dargestellte Aufbau verwendet.

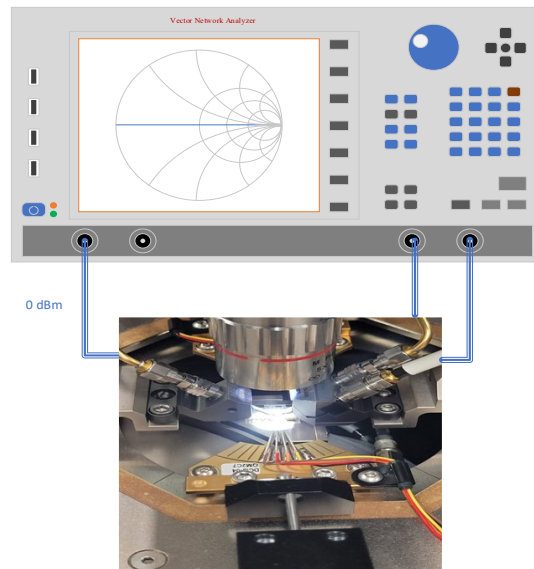


Abbildung 31 Der Messaufbau zur Messung der Eingangs- und Ausgangsreflexionskoeffizienten (S_{11} , S_{22} und S_{33})

Wir führten die S-Parameter-Messung durch, bevor das Gerät eingeschaltet wurde. Wir messen die Eingangsanschlüsse für S_{11} . Die Eingangsreflexion S_{11} ist in Abbildung 32 dargestellt. Das Messergebnis zeigt Anpassungsspitzen bei etwa 12,2 GHz, < -35 dB, während bei 13 GHz etwa -16 dB Anpassung erhalten bleibt. Die Ausgangsanpassung ist in Abbildung 33 dargestellt, mit -18 dB bei 39 GHz. Die Messungen wurden mit einer Eingangsleistung von 0 dBm durchgeführt.

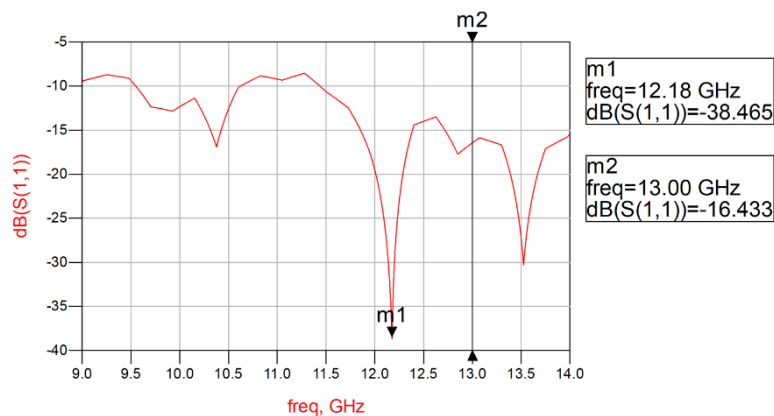


Abbildung 32 Gemessenes S_{11} (Stromversorgung ausgeschaltet)

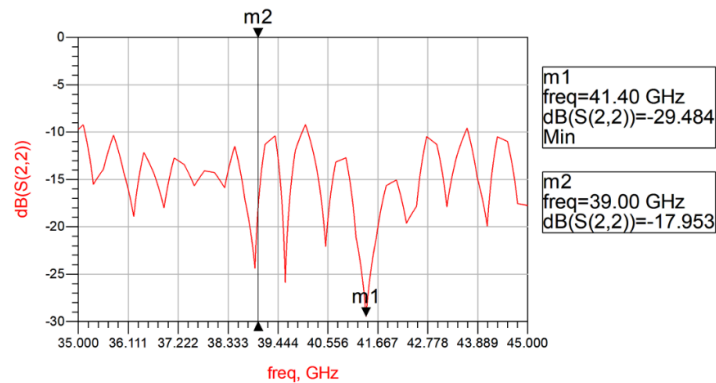


Abbildung 33 Gemessenes S22 an einem der Ausgangsports der I/Q

Zusammenfassend lässt sich sagen, dass der Schaltkreis bei der angestrebten Ausgangsfrequenz von 39 GHz ($=13 \times 3$) funktional ist, mit ausreichendem Umwandlungsgewinn und Rauschverhalten. Die Anpassungseigenschaften am Eingang und Ausgang zeigten bereits eine Verschiebung des Anpassungshöhens von den geplanten 13 GHz auf 12,2 GHz. Dies stimmt mit der maximalen Leistungsumwandlung bei 12,16 GHz überein, die in späteren Messungen identifiziert wurde, als der Schaltkreis eingeschaltet war, wie in Abb. 4 dargestellt.

2.3.3.4.5 Gesamtsystem

Während des Projekts wurden zwei Tape-Outs realisiert und die anschließende Chip-Packaging durchgeführt – bezeichnet als RUN1 und RUN2 in Abbildung 34.

RUN1 diente der Entwicklung und Prüfung einzelner Schaltungsbausteine des 5G-MIMO-Transceivers. RUN2 umfasste den voll integrierten Chip mit vier RF-Kanälen, in denen jeweils acht Makroblöcke implementiert sind, darunter der SX-Block, der in allen Kanälen identisch zum Einsatz kommt.

Aufgrund der Systemkomplexität waren fünf Partner an der Inbetriebnahme und am Test des Gesamtsystems (RUN2) beteiligt: CEA, Lund, Ericsson, TU Dresden und IMEC. Beim abschließenden Projekt-Review wurde die Systemfunktionalität durch eine Live-Demonstration der TX-Signal-Konstellation veranschaulicht. Im CEA-Messaufbau ergab sich eine EVM von 4,37 % (rms) – gegenüber den ursprünglich geschätzten 4,49 % für dieselben Testbedingungen (siehe Abbildung 35).

Damit ist die Funktionsfähigkeit des SX-Blocks auch im RUN2-Chip unter realen Bedingungen erfolgreich validiert.

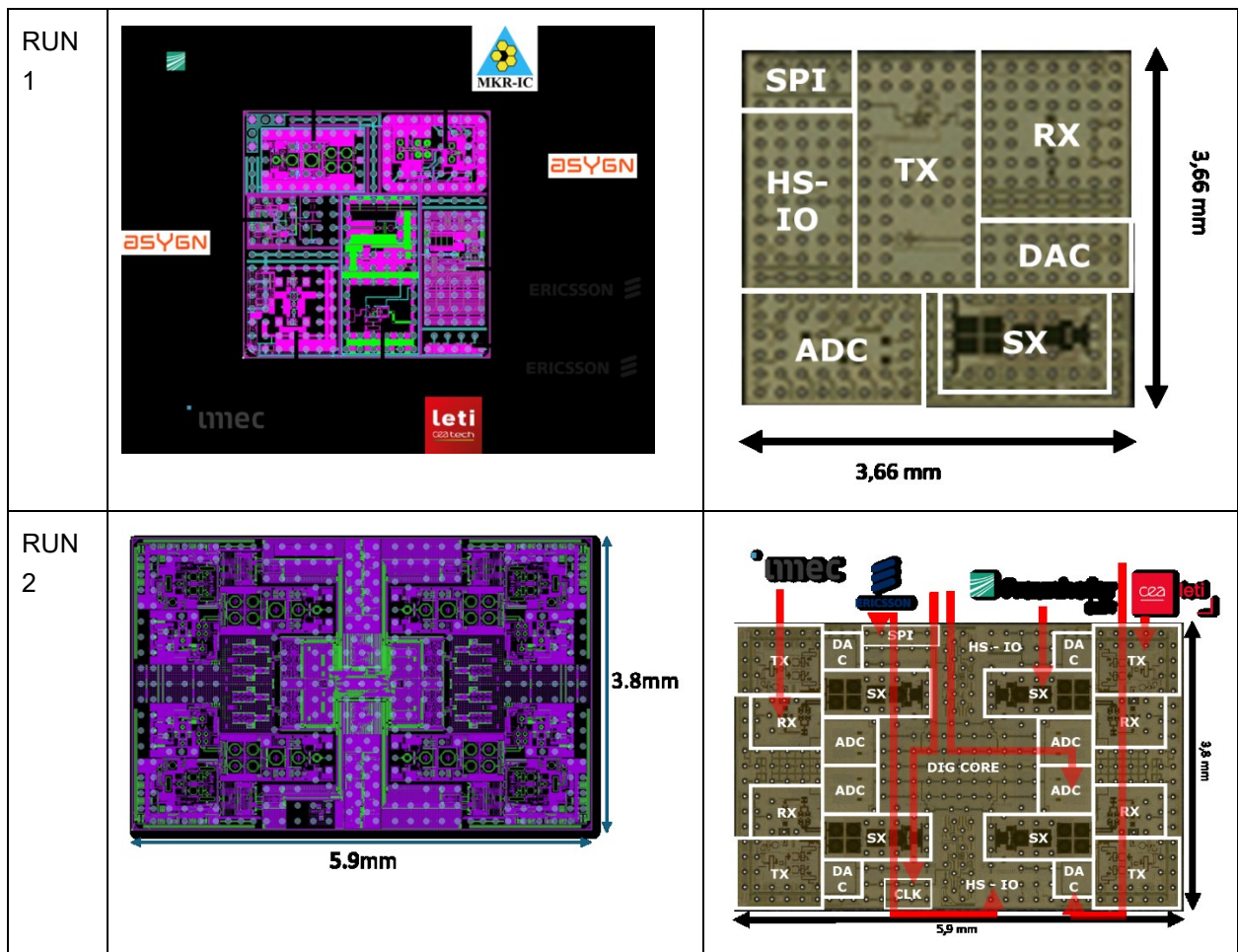


Abbildung 34 Implementiertes MIMO-5G-RF-IC

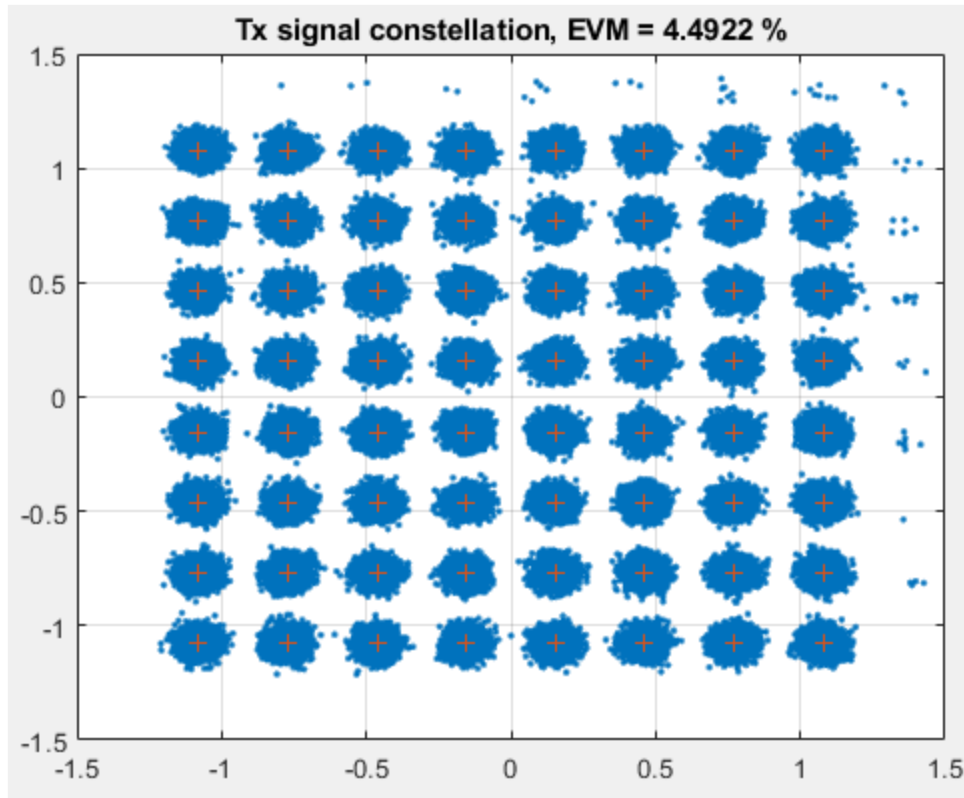


Abbildung 35 Gesamt-TX-EVM (64-QAM – 10 m)

3 Notwendigkeit und Angemessenheit der geleisteten Arbeiten

Wie in den spezifischen technischen Abschnitten dieses Berichts dargelegt, hat Fraunhofer EMFT im Rahmen des BEYOND5-Projekts gemeinsam mit Partnern entlang der gesamten Wertschöpfungskette an zwei Demonstratoren gearbeitet. Die Förderung ermöglichte es erstmals, sich mit gebündelten Ressourcen intensiv auf konkrete Fragestellungen zu konzentrieren, technische und ingenieurwissenschaftliche Aspekte detailliert zu verstehen und die dafür notwendigen Kompromisse zielgerichtet auszuloten.

Insbesondere im Bereich der 5G-MIMO-Beamforming-Basisstation zählt dieses Vorhaben zu den umfangreichsten Entwicklungsaktivitäten, die Fraunhofer EMFT in europäischen Projekten je durchgeführt hat. Gemeinsam entstand ein vollkommen neuartiger 39-GHz-Transceiver in 22 nm FDSOI, der zuvor weder in der Fachliteratur noch als Produkt verfügbar war. Zahlreiche entwicklungsbegleitende Lösungen lassen sich unmittelbar in künftige FR2-Standardisierungs- und Industrialisierungsprozesse einbringen.

Der Demonstrator selbst ist Zeugnis umfassender Kooperation von Forschungs-institute (RTOs), Industrieunternehmen und Hochschulen. Die erfolgreiche Integration eines derart komplexen Systems in ein europäisches Verbundprojekt liefert einen Leitfaden für künftige Großvorhaben und belegt den Mehrwert enger Partnerschaften.

Alle zentralen Ergebnisse und Erkenntnisse sind im Sammelband „Technologies Enabling Future Mobile Connectivity and Sensing“ (vgl. Publikationen) dokumentiert. So wird das generierte Know-how breit gestreut und für die gesamte Forschungs- und Industriegemeinschaft nutzbar gemacht.

Im Bereich des Packaging war die Zusammenarbeit mit Automotive-Herstellern (Tier-2) und Systemintegratoren (Tier-1) für mm-Wave-Anwendungen von unschätzbarem Wert. Gemeinsam wurden mehrere Gehäusekonzepte für Frequenzen oberhalb von 100 GHz evaluiert und ein konkretes Si-Glas-Package entwickelt, das Industriepartnern einen advanced Lösungsansatz bietet und den Weg für Folgeentwicklungen ebnet.

Die im Projekt gewonnenen Erfahrungen bilden die Grundlage für nachfolgende Initiativen im Sub-THz-Bereich (z. B. „Move2THz“, 240 GHz-Frontend). Sie unterstreichen, wie nachhaltig der Förderimpuls wirkt und in welchem Umfang er dazu beigetragen hat, das Produkt- und Forschungsökosystem für FDSOI- und RF-IC-Technologien in Deutschland und Europa zu stärken.

Wir sind überzeugt, dass die im Projekt erzielten Ergebnisse den Aufwand mehr als rechtfertigen und gleichzeitig eine umfangreiche Basis für weitere Entwicklungen bieten.

4 Nutzen und Verwertbarkeit des Ergebnisses

Die im BEYOND5-Projekt entwickelten Technologien (Packaging, IP), die Optimierung interner Entwicklungsprozesse, erweiterte Messtechnik-Kapazitäten sowie die Erfahrungen in der großflächigen Integration komplexer SoCs werden Fraunhofer EMFT nachhaltig stärken und die Attraktivität für Industrie- und Forschungspartner weiter steigern. Das gewonnene Know-how fließt bereits in neue Industrie- und Forschungsaufträge ein.

Für den Betrieb bei noch höheren Frequenzen trat Fraunhofer EMFT im vergangenen Jahr dem Programm Move2THz bei, das als direkte Erweiterung des BEYOND5-Frequenzspektrums auf InP-Technologie basiert. Vor dem Hintergrund der BEYOND5-Erfahrungen initiierte das Institut in diesem Rahmen eine Entwicklung eines 240-GHz-Radar-Frontends.

Parallel dazu wurde mit dem Roadmap-Projekt FAST eine neue Initiative gestartet. FAST nutzt Strained-SOI, um die FDSOI-Technologie in die nächste Transistorgeneration zu überführen. Das zugehörige Konsortium arbeitet derzeit an einem wettbewerbsfähigen Verbundvorhaben mit RF-Demonstratoren.

Strained-SOI ermöglicht durch höhere Ladungsträgermobilität und gesteigerte fT/f_{max} -Werte eine verbesserte RF-Performance von Transistoren. Vor diesem Hintergrund werden die BEYOND5-Ergebnisse bereits im Kontext von FR3 diskutiert.

5 Fortschritt bei anderen Stellen

Es liegen keine weiteren Erkenntnisse vor.

6 Veröffentlichungen

Die wissenschaftlichen Veröffentlichungen, die während der Projektlaufzeit in Zusammenarbeit mit den Konsortialpartnern, einschließlich des Beitrags von Fraunhofer EMFT, entstanden sind, sind im Folgenden zusammengestellt.

Tabelle 1 Erfolgte Veröffentlichungen von Projektergebnissen

Autor(en) / Partner	Titel der Publikation	Publikation auf	Datum Veröffentlichung	Link
B. Debaillie, F. Brunier, D. Morche, E. N. Isa, J. Craninckx	Technologies Enabling Future Mobile Connectivity and Sensing	River Publishers, Book in Series in Communications and Networking	2023	https://s.fhg.de/b5-1 ISBN: 9788770040730
J. Prouvé, G. Mangraviti, B. Debaillie, P. Wambacq, D. Borggreve, R. Ciocoveanu, H. Fredriksson, P. Paliwal, F. Tillman, H. Terlemez, B. DüNDAR, V. Pinon, F. Hasbani, A. Ferret, C. Dehos, A. Hamani, B. Martineau and D. Morche	Digital beamforming transceiver design in 22nm FD-SOI technology for 39 GHz 5G access	Chapter in Technologies Enabling Future Mobile Connectivity and Sensing, River Publishers, pp.31-56.	2023	https://s.fhg.de/b5-2
E. Turkmen, C. Zerna, H. Kandis, R. Hotopan, W. Debski, S. Scherbaum, A. Ott, L. Govoni, A. Drost, R.F. Dupont, J. J. Balbach-Sobkowicz	Car Interior Radar for Advanced Life-Signs Detection	24th International Microwave and Radar Conference (MIKON), Gdansk, Poland, 2022, pp. 1-6	12-14 September 2022	https://s.fhg.de/b5-3

7 Literatur

- [1] F. Brunier, „RF technology roadmap for 5G and 6G front-end systems,“ Präsentation auf der ESSCIRC/ESSDERC-Konferenz, 11. September 2023, Lissabon, Portugal.
- [2] Statistisches Bundesamt
- [3] “Die neue Hightech-Strategie Innovationen für Deutschland”, Bundesministerium für Bildung und Forschung (BMBF), Referat Grundsatzfragen der Innovationspolitik, <https://www.hightech-strategie.de/>
- [4] „Mikroelektronik aus Deutschland – Innovationstreiber der Digitalisierung“, Rahmenprogramm der Bundesregierung für Forschung und Innovation 2016–2020, https://www.bmbf.de/pub/Rahmenprogramm_Mikroelektronik.pdf
- [5] T. Krems, W. Haydl, H. Massler, and J. Rudiger, “Millimeter-wave performance of chip inter-connections using wire bonding and flip chip,” in IEEE MTT-S International Microwave Symposium Digest, vol. 1, June 1996, pp. 247 –250 vol.1.
- [6] S. Beer, B. Ripka, S. Diebold, H. Gulan, C. Rusch, P. Pahl, and T. Zwick, “Design and measurement of matched wire bond and flip chip interconnects for D-band system-in-package applications,” in IEEE MTT-S International Microwave Symposium Digest, June 2011, p. 1
- [7] T. Zwick, S. Beer: “QFN based Packaging Concepts for Millimeter-Wave Transceivers”; Conference: Antenna Technology (iWAT), 2012 IEEE International Workshop on.
- [8] R. Feger et al.: “Integrated mm-Wave Sensors in a Package”; 2013 Asia- Pacific Micro-wave Conference Proceedings.
- [9] N. Hoivik et al.: “HIGH-EFFICIENCY 60 GHZ ANTENNA FABRICATED USING LOW-COST SILICON MICROMACHINING TECHNIQUES”; Antennas and Propagation Society International Symposium, 2007 IEEE.
- [10] Eray Topak, Joo-Young Choi, Thomas Merkle, Stefan Koch, Shin Saito, Christof Landesberger, Robert Faul, Karlheinz Bock: “Broadband Interconnect Design for Silicon-Based System-in-Package Applications up to 170 GHz”, Proceedings of European Microwave Week 2013, 6.-11. Oktober 2013, Nürnberg, Germany.
- [11] Y. Zhang, M. Sun, and L. Guo, “On-chip antennas for 60-GHz radios in silicon technology,” IEEE Transactions on Electron Devices, vol. 52, no. 7, pp. 1664 – 1668, July 2005.
- [12] Siew Bee Yeap and Zhi Ning Chen and Xianming Qing and Li Rui and Ho, D.S.W. and Lim Teck Guan, “135 GHz antenna array on BCB membrane backed by polymer-filled cavity,” in European Conference on Antennas and Propagation, March 2012, pp. 1337 –1340.
- [13] Sanming Hu and Yong-Zhong Xiong and Lei Wang and Rui Li and Jinglin Shi and Teck-Guan Lim, “Compact high-gain mm-wave antenna for TSV-based System-in-

- Package application," IEEE Transactions on Components, Packaging and Manufacturing Technology, vol. 2, no. 5, pp. 841–846, May 2012.
- [14] R. Carrillo-Ramirez and R. Jackson, "A highly integrated millimeter-wave active antenna array using BCB and silicon substrate," IEEE Transactions on Microwave Theory and Techniques, vol. 52, no. 6, pp. 1648–1653, June 2004.
- [15] S. Malkowsky et al., "The World's First Real-Time Testbed for Massive MIMO: Design, Implementation, and Validation", IEEE Access, pp. 9073-9088, vol. 5, 2017.
- [16] www.mammoet-project.eu
- [17] B. Yang et al., "Digital Beamforming-Based Massive MIMO Transceiver for 5G Millimeter-Wave Communications", IEEE Transactions on Microwave Theory and Techniques, vol. 66, no. 7, July 2018
- [18] Promoting Innovation in Spectrum Horizons Airwaves, Federal Communications Commission, Washington, DC, USA, Feb. 2019.
- [19] V. Lammert, S. Achatz, R. Weigel and V. Issakov, "A 122 GHz ISM-Band FMCW Radar Transceiver," 2020 German Microwave Conference (GeMiC), 2020, pp. 96-99.
- [20] C. J. Lee, D. M. Kang, J. H. Kim, C. W. Byeon, and C. S. Park, "A 110–125 GHz 27.5 dB gain low-power I/Q receiver front-end in 65 nm CMOS technology," in IEEE MTT-S Int. Microw. Symp. Dig., Jun. 2018, pp. 599–602.
- [21] H. Mohammadnezhad, H. Wang, A. Cathelin, and P. Heydari, "A 115–135-GHz 8PSK receiver using multi-phase RF-correlationbased direct-demodulation method," IEEE J. Solid-State Circuits, vol. 54, no. 9, pp. 2435–2448, Sep. 2019.
- [22] T. Heller, E. Cohen, and E. Socher, "A 102–129-GHz 39-dB gain 8.4-dB noise figure I/Q receiver frontend in 28-nm CMOS," IEEE Trans. Microw. Theory Techn., vol. 64, no. 5, pp. 1535–1543, May 2016.
- [23] X. Chen et al., "A 140GHz Transceiver with Integrated Antenna, Inherent-Low-Loss Duplexing and Adaptive Self-Interference Cancellation for FMCW Monostatic Radar," 2022 IEEE International Solid-State Circuits Conference (ISSCC), 2022, pp. 80-82, doi: 10.1109/ISSCC42614.2022.9731637.
- [24] Wirth, W.-D., Radar Techniques Using Array Antennas, The Institution of Electrical Engineers, 2001.
- [25] J. Li and P. Stoica, "MIMO Radar Signal Processing", John Wiley & Sons, Inc., 2008.
- [26] Thomas Galler et al., "Glass Package for Radar MMICs Above 150 GHz", IEEE Journal of Microwaves, Vol 2, No 1, 2022
- [27] A. Hamidipour et al., "Antennas in Package With Stacked Metallization," Proc. 43rd European Microwave Conference (EuMC2013), Nuremberg, Germany, pp. 56-59, Oct. 2013.

- [28] Topak, et al, "Broadband Interconnect Design for Silicon-based System-in-Package Applications up to 170 GHz," European Microwave Conference (EuMC) vol., no., pp.116-119, 6-10 Oct. 2013
- [29] E. Seler et al., "Chip-to-Rectangular Waveguide Transition Realized in embedded Wafer Level Ball Grid Array (eWLB) Package," Proc. 64th Electronic Components and Technology Conference (ECTC), Orlando, FL, USA, May 2014.
- [30] E. Turkmen et al., "Car Interior Radar for Advanced Life-Signs Detection," 2022 24th International Microwave and Radar Conference (MIKON), Gdansk, Poland, 2022, pp. 1-6, doi: 10.23919/MIKON54314.2022.9924731.
- [31] F. Tillman, P. Paliwal, and D. Eckerbert, "A low power 5G access point targetting airplane cabin connectivity," Chapter in Technologies Enabling Future Mobile Connectivity and Sensing, River Publishers, pp.31-56., 2023