Gefördert durch:

Bundesministerium
für Wirtschaft
und Klimaschutz

aufgrund eines Beschlusses
des Deutschen Bundestages

Baker Hughes

Förderprogramm des BMWK

zu Forschung und Entwicklung im Bereich Geothermie

Abschlussbericht

Entwicklung modularer Hochtemperaturelektronik zur kostengünstigen und zuverlässigen Erschließung der Tiefen Geothermie

(Kurztitel: HTE Toolbox)

FKZ: 03EE4027

Bericht vom 16.06.2025

Förderkennzeichen:	03EE4027
Förderzeitraum:	März 2021 – August 2024
Titel:	Entwicklung modularer Hochtemperaturelektronik zur kostengünstigen und zuverlässigen Erschließung der Tiefen Geothermie
Zuwendungsempfänger:	Baker Hughes INTEQ GmbH, Baker-Hughes-Str. 1, 29221 Celle
Gesamtprojektleiter:	Prof. Dr.–Ing. Sven Krüger
Projektleiter:	Rochus Nowosielski

Das Ziel des Projekts wurde erreicht, der vorliegende Bericht fasst die Ergebnisse zur Erreichung dieses Ziels zusammen. Das diesem Bericht zugrundeliegende Vorhaben wurde mit Mitteln des Bundesministeriums für Wirtschaft und Klima unter dem Förderkennzeichen 03EE4027 gefördert.

Die Verantwortung für den Inhalt dieser Veröffentlichung liegt beim Autor.

Inhaltsverzeichnis

Inhaltsverzeichnis **3**
Definitionen und Abkürzungen **4**
1 Zusammenfassung **5**
2 Problemstellung und Zielsetzung **7**
2.1 Gesamtziel des Vorhabens 7
2.2 Bezug des Vorhabens zu den förderpolitischen Zielen 9
2.3 Wissenschaftliche und technische Arbeitsziele des Vorhabens 11
3 Vorgehensweise zur Erreichung der Zielsetzung **13**
4 Wissenschaftlich-technische Ergebnisse **14**
4.1 Realisierte Chipdesigns 14
4.1.1 Zero-Offset Verstärkerdesign 14
4.1.2 Integrierter DC-DC Abwärtswandler, Konzept 1 18
4.1.3 Prozessorkern 21
4.1.4 Anbindung eines integrierten OTP-Speichers 23
4.1.5 Firmware für die Prozessor-Architekturen 23
4.1.6 Design eines Präzisions-ADC 26
4.1.7 Entwicklung eines schnellen Prozessorkerns 27
4.1.8 Entwicklung eines intelligenten, schnellen Klasse-D Verstärkers 30
4.1.9 Design eines integrierten Abwärtswandlers, Konzept 2 39
4.1.10 Hochspannungs-Bootstrapping 42
4.1.11 Strommessschaltung 44
4.1.12 On-Chip-Bus 46
4.1.13 Peripheriekomponenten 47
4.1.14 JTAG Adapter 48
4.2 Chipfertigung 49
4.3 MCM-Technologie 50
4.3.1 MCM Technologie 50
4.3.2 Konzepte zur alternativen Aufbau- und Verbindungstechnik 56
4.4 Zuverlässigkeitstests 59
4.4.1 Erster Zuverlässigkeitstest 60
4.4.2 Zweiter Zuverlässigkeitstest 62
4.4.3 Dritter Zuverlässigkeitstest 77

Definitionen und Abkürzungen

ADC	Analog-to-Digital Converter / Analog-zu-Digital-Umsetzer
ADU	s. ADC
API	Application Programming Interface / Programmierschnittstelle
ASIC	Application Specific Integrated Circuit
ATPG	Autmated Test Pattern Generation, automatisch generierte Testmuster
BIST	Built-In Self Test, integrierter Selbsttest
BSP	Board Support Package
CPU	Central Processing Unit / Prozessorkern
CAD	Computer Aided Design
COB	Chip-On-Board
DC	Direct Current, Gleichstrom
DSC	Differential Scanning Calorimetry, Dynamische Differenzkalorimetrie
DUT	Device-Under-Test / Testobjekt
HT	Hochtemperatur
IP	Intellectual Property
LNA	Low Noise Amplifier / rauscharmer elektronischer Verstärker
LT	Tieftemperatur
MCM	Multi Chip Modul
MCU	Microcontroller Unit
MOSFET	Feldeffekttransistor
RT	Raumtemperatur
OSAL	Operating System Abstraction Layer
RTOS	Real Time Operating System / Echtzeitbetriebssystem

1 Zusammenfassung

Wie im Klimaschutzplan 2050 festgelegt, soll die nationale Energieversorgung spätestens bis 2050 nahezu vollständig CO2-neutral realisiert werden. Dafür ist ein deutlicher Ausbau der CO2-neutralen, grundlastfähigen Energieversorgung erforderlich. Die Tiefe Geothermie bietet genau diese Möglichkeit. Zu einer größeren und schnelleren Verbreitung der Tiefen Geothermie in Deutschland ist es unabdingbar, die Kosten für die Erschließung und Produktion geothermischer Energie weiter zu senken. Die „Reduzierung von Energiegestehungskosten“ wurde in der Förderbekanntmachung zum 7. Energieforschungsprogramm „Innovationen für die Energiewende“ vom 1.10.2018 explizit als Ziel formuliert.

Geothermale Anwendungen erfordern das Bohren und die Produktion unter besonders heißen Umgebungsbedingungen. Auf der einen Seite stellen die hohen Temperaturen von 175°C und höher die Produktentwicklung vor große technologische Herausforderungen, um zuverlässige, hochtemperaturtaugliche und gleichzeitig günstige Produkte zu entwickeln.

Im Rahmen des Vorhabens wurden daher zwei zentrale Technologien für den Einsatz in Anwendungen der Tiefengeothermie hinsichtlich ihrer Tauglichkeit untersucht und neue Lösungsvorschläge zur Kostensenkung der Elektronik ohne signifikanter Zuverlässigkeitsreduktion untersucht. Diese Technologien umfassten angepasste, hochintegrierte elektronischer Schaltkreise (Application Specific Integrated Circuit, ASIC) sowie die Beherrschung der komplexen Aufbau- und Verbindungstechnik bei der Realisierung von Multi-Chip-Modulen (MCM) für den Hochtemperaturbereich.

Aus dem Bereich der integrierten Schaltungsentwicklung wurden Verstärker, Spannungsabwärtswandler, ein Mikroprozessor sowie eine Prozessorkernvariante inklusive Treiber und Entwicklungsumgebung und zugehörigem JTAG-Adapter sowie ein 16-bit ADC realisiert.

Das implementierte Design des Zero-Offset Verstärkers zeigt über den gesamten Temperaturbereich das gewünschte Kompensieren des Offsetverhaltens, was essenziell für die Verwendung als Sensorsignalverstärker ist. Das entwickelte Design eines rauscharmen, vollständig integrierten Breitbandverstärkers für die Implementierung eines Messsystems zur Ermittlung von Gesteinsinformationen ist nach erfolgten Labormessungen geeignet, um die sensitiven Signale vorzuverstärken. Die entwickelten Abwärtswandlerdesigns sind laut Simulation geeignet, um die geforderten Versorgungsspannungen für nachgeschaltete Elektronik bereitzustellen.

Die realisierten Prozessordesigns implementieren moderne Konzepte für Mikroprozessorarchitekturen. Das Zusammenspiel aus Prozessorkern, Debugschnittstelle, Bussystem, Entwicklungstoolchain und Firmwareabstraktionsebenen konnte im Labor erfolgreich demonstriert werden. Dabei konnten aus der Implementierung des schnellen Prozessorkerns die technologischen Grenzen aktueller Hochtemperaturelektronik für digitale Prozessoren ergründet werden.

Aus dem Bereich der Aufbau- und Verbindungstechnik wurden alternative MCM-Materialien identifiziert und getestet sowie Verfahren für eine vereinfachte Low Cost Chip-on-Board Technologie erprobt.

Die untersuchten Aufbau- und Verbindungstechnologien ermöglichen, den Aufwand und die Kosten für Hochtemperaturelektronik für zukünftige prototypische Werkzeuge für die Erschließung geothermischer Energiequellen signifikant zu senken. Hierfür konnten zwei voneinander unabhängige Lieferanten identifiziert werden, die MCM-Substrate qualitätsgerecht und zu akzeptablen Kosten und Lieferzeiten produzieren können. Der Herstellungsprozess von MCM Baugruppen wurde auf den neuen Substrattyp angepasst. Bezogen auf ein Referenzdesign konnten die Substratkosten um ca. 87% und die Lieferzeiten um ca. 66% reduziert werden. Einmalige Entwicklungskosten konnten sogar um 91% reduziert werden. Eine Miniaturisierung hin zu 0201-Komponenten hat sich als nicht realisierbar mit bestehenden Materialien erwiesen. Durch Fortschritte bei der Low Cost Chip-on-Board Technologie konnte ein Dam&Fill Prozess demonstriert werden, welcher in Kombination mit den untersuchten Gehäusetechnologien zu neuartigen Elektroniken führt, sodass Kostenersparnisse von 70% gegenüber bestehenden Hochtemperaturelektroniken ermöglicht werden. Für das Durchführen von Langzeitzuverlässigkeitstest wurde ein modulares Testsystem inklusive Testsoftware für 175 °C entwickelt. Darüber hinaus wurde eine 200 °C Variante realisiert und erfolgreich für das Testen der ASIC-Technologie bei 200 °C eingesetzt. Die Ergebnisse der Tests lassen die Schlussfolgerungen zu, dass die selektierte ASIC-Technologie sowie die MCM-Technologie für einen Dauerbetrieb bei 175 °C über mindestens 5.000 Stunden geeignet ist und damit die für geothermale Anwendungen geforderte Zuverlässigkeit erfüllt.

Mit Abschluss des Vorhabens steht nun eine erprobte ASIC- und MCM-Technologiekombination bereit, um zukünftige Geothermieelektroniken kosteneffizient und zuverlässig entwickeln zu können. Eine gute Fortsetzung der Aktivitäten könnte eine Prototypenimplementierung einer kosteneffizienten, miniaturisierten Sondenelektronik zur Positionsdatenermittlung während des Bohrprozesseses sein, die die untersuchten Technologien ASIC und MCM kombiniert und damit eine robuste, kompakte und für Geothermieanwendungen kostengünstige Lösung ermöglicht. Damit kann das Ergebnis des Vorhabens als äußerst erfolgreich bewertet werden.

2 Problemstellung und Zielsetzung

2.1 Gesamtziel des Vorhabens

Ziel des Vorhabens ist die Bereitstellung eines modularen, kosteneffizienten und zuverlässigen Baukastens für Hochtemperaturelektronik für Anwendungen in der Tiefen Geothermie. Dies ist eine zwingend erforderliche Vorarbeit in einer Vor-Prototypischen-Phase, um die Kosten und technischen Risiken für Bohrungen, Komplettierungen und Permanentinstallationen in der Tiefen Geothermie gezielt zu senken. Dies bildet die Basis dafür, dass geothermale Energiequellen in Deutschland in großem Maßstab möglich und Treibhausgasemissionen signifikant reduziert werden.

Gerade im Bereich der Tiefen Geothermie mit typischen Umgebungstemperaturen von 150-200 °C ist nach heutigem Stand der Technik die Entwicklung und Fertigung der hochtemperaturtauglichen Elektronikmodule mit besonderem Aufwand verbunden. Diese tragen maßgeblich zu den Gesamtkosten und Risiken des geothermalen Systems, angefangen bei der Bohrlocherstellung über die Komplettierung bis hin zu der Installation des Pumpensystems, bei. Die Abbildungen 1-3 zeigen schematisch, an welchen Stellen die Hochtemperaturelektronik in Untertageanwendungen eingesetzt werden kann. Die erforderlichen Technologien bewegen sich an der Grenze des technisch Machbaren und erfordern eine Weiterentwicklung hinsichtlich Robustheit, Temperaturbeständigkeit und Kostenstruktur.

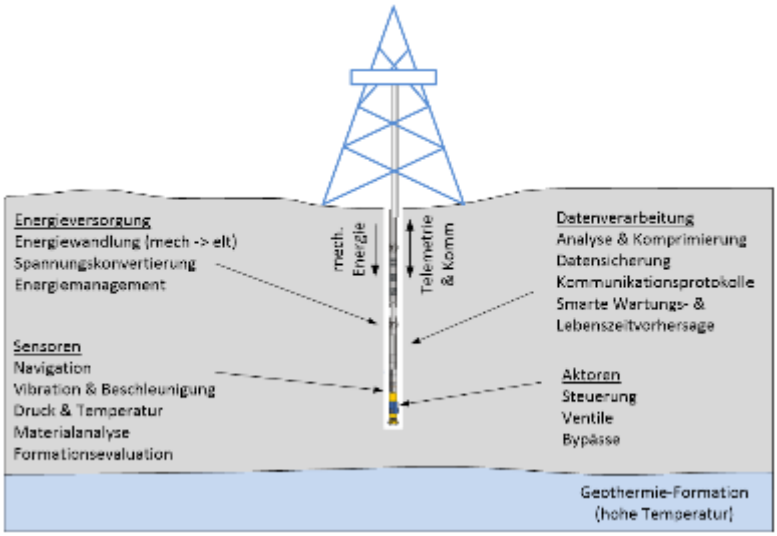


Abbildung 1: Einsatzgebiete für Hochtemperaturelektronik bei der Komplettierung

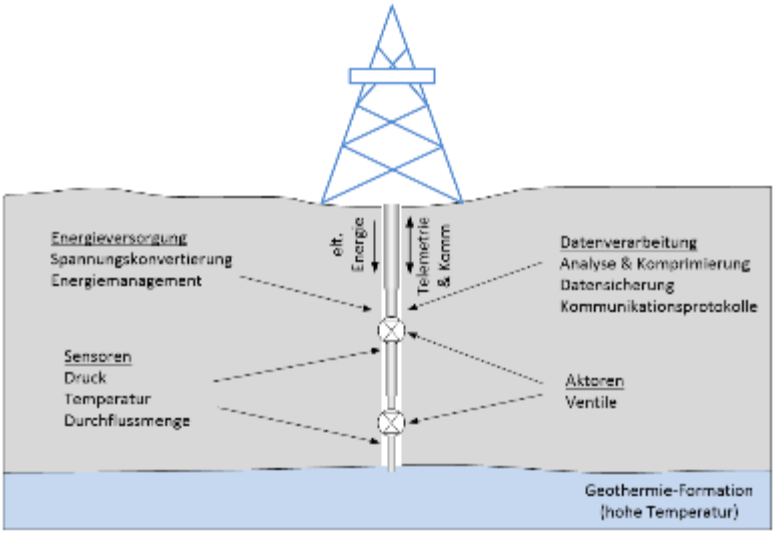


Abbildung 2: Einsatzgebiete für Hochtemperaturelektronik beim Bohren

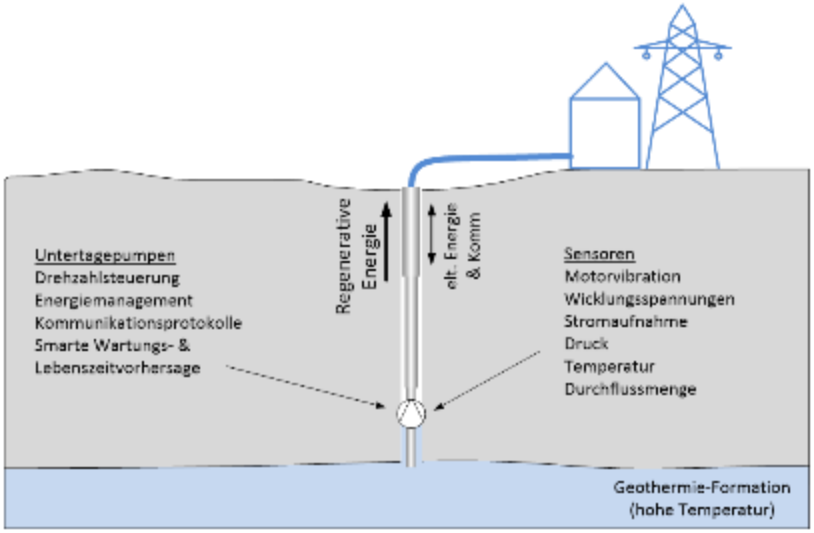


Abbildung 3: Einsatzgebiete für Hochtemperaturelektronik in Untertage-Tauchpumpen

Erschwerend kommt an dieser Stelle hinzu, dass die aktuelle Entwicklung moderner Elektronikbauteile den entgegen gerichteten Anforderungen an mobile Endgeräte folgt: Die Komponenten werden in den kleinsten verfügbaren Strukturgrößen entworfen, um möglichst kompakte und energieeffiziente Leistungsmerkmale zu erzielen. Gleichzeitig findet eine Optimierung der verwendeten Materialien statt (z.B. Ersatz von Gold durch Kupfer), um Kosteneinsparungen bei der Massenfertigung zu erzielen. Diese Optimierung reduziert die Lebensdauer der Komponenten bei den für die Tiefe Geothermie typischen Umgebungstemperaturen drastisch, sodass diese Komponenten im Allgemeinen bereits nicht geeignet für Anwendungen oberhalb von 125 °C sind und damit für Anwendungen bis 175 °C gänzlich versagen.

Daher steht die Entwicklung moderner Untertagewerkzeuge aktuell vor einem Wendepunkt. Bislang erfolgte der Entwurf neuer Elektronik auf Basis eines aufwändigen Qualifikationsprozesses ausgewählter Komponenten von Drittherstellern, um die erforderliche Funktionalität jenseits der Datenblattspezifikation zu gewährleisten. Die Beschaffung, Lagerhaltung und Qualitätssicherung dieser Komponenten ist aufwändig und die Langzeitverfügbarkeit begrenzt. Das Angebot kommerzieller, hochtemperaturtauglicher Komponenten ist gering und für moderne, hochkompakte Anwendungen nicht ausreichend.

Eine Strategie zur Sicherstellung der Verfügbarkeit leistungsstarker Komponenten für zukünftige Anwendungen bei gleichzeitiger Kostensenkung der Fertigung vollständiger Elektronikmodule besteht in der Verwendung der integrierten Schaltungstechnik (ASIC-Technologie) und einer optimierten Aufbau- und Verbindungstechnik (MCM-Technologie). Obgleich diese beiden Technologien bereits erfolgreich für die Erdöl- und Erdgaserschließung verwendet werden, wurde bislang nur ein sehr geringer Teil der gesamten Elektronik in die ASIC-Technologie überführt. Die MCM-Technologie zeigt die herausragende Eignung für den Hochtemperaturbereich, jedoch ist diese Technologie auf Grund der damit verbundenen Kosten derzeit für eine breite Anwendung im Bereich der Tiefen Geothermie nicht wirtschaftlich.

Daher soll im Rahmen dieses Vorhabens zunächst eine Sammlung von einzelnen Designblöcken in einer hochtemperaturtauglichen ASIC-Technologie entworfen und getestet werden. Sobald diese Designblöcke verfügbar sind, können Anwendungen für die Bohrtechnik und Permanentinstallationen, wie sie im Bereich der Tiefen Geothermie erforderlich sind, in kurzer Zeit zu einem optimierten Chip zusammengestellt werden. Damit kann die Komplexität eines Elektronikmoduls signifikant reduziert werden und durch die Massenfertigung der Chips die Preise für die elektronischen Komponenten pro Elektronikmodul deutlich reduziert werden. Im Bereich der MCM-Technologie existieren mehrere Ansätze zur Kostenreduktion, die im Rahmen des Vorhabens für die Anwendbarkeit in der Tiefen Geothermie untersucht und optimiert werden.

2.2 Bezug des Vorhabens zu den förderpolitischen Zielen

Wie im Klimaschutzplan 2050 festgelegt, soll die nationale Energieversorgung spätestens bis 2050 nahezu vollständig CO2-neutral realisiert werden. Dafür ist ein deutlicher Ausbau der CO2-neutralen, grundlastfähigen Energieversorgung erforderlich. Die Tiefe Geothermie bietet genau diese Möglichkeit. Zu einer größeren und schnelleren Verbreitung der Tiefen Geothermie in Deutschland ist es unabdingbar, die Kosten und technischen Risiken für die Produktion geothermischer Energie weiter zu senken. Die „Reduzierung von Energiegestehungskosten“ wurde in der Förderbekanntmachung zum 7. Energieforschungsprogramm „Innovationen für die Energiewende“ vom 01.10.2018 explizit als Ziel formuliert. Trotz großer technologischer Fortschritte auf dem Gebiet der Richtbohrsysteme und elektrischen Tauchpumpensysteme sind die Erschließungs- und Gestehungskosten immer noch zu hoch, um aus tiefengeothermischen Quellen langfristig – auch ohne staatliche Subventionen – kosteneffizient Wärmeenergie fördern zu können.

Anwendungen in der Tiefen Geothermie erfordern das Bohren und die Produktion unter besonders heißen Umgebungsbedingungen. Auf der einen Seite stellen die hohen Temperaturen von 175 °C und

höher die Technologie- und Produktentwicklung vor große technologische Herausforderungen, um zuverlässige, hochtemperaturtaugliche und gleichzeitig günstige Technologien und Produkte zu entwickeln. Auf der anderen Seite führt der kurz- und mittelfristig niedrige Ölpreis von unter 50 USD je Barrel und der damit entstehende Kostendruck dazu, dass vorwiegend Lagerstätten im Temperaturbereich zwischen 80 °C und 125 °C erschlossen werden. Die hohen Investitionen für die Entwicklung hochtemperaturfähiger und hochzuverlässiger Produkte, von denen auch insbesondere geothermale Anwendungen profitieren, sind in diesem Marktumfeld für die Technologie- und Produktentwicklung ohne Fördermittel immer weniger darstellbar.

Die elektronischen Baugruppen stellen neben den mechanischen, elektromechanischen und hydraulischen Baugruppen die wichtigsten Komponenten in Bohr-, Komplettierungs- und Pumpensystemen für die Tiefe Geothermie dar. Durch die Entwicklung eines modularen Baukastens für die Hochtemperaturelektronik werden diese elektronischen Komponenten gezielt optimiert, um die Kosten und Risiken für Anwendungen in der Tiefen Geothermie zu senken.

Einen signifikanten Einfluss auf die variablen Energiegestehungskosten bei der Bohrlocherstellung, -erschließung und dem Betrieb haben die Herstellungs-, Betriebs- und Wartungskosten der jeweiligen Elektronikmodule sowohl in der Bohrgarnitur, bei der Komplettierung als auch bei Permanentinstallationen wie Untertagepumpen. Je nach Arbeitsschritt ergeben sich folgende Beiträge zu den Gesamtkosten der Elektronikmodule:

- Herstellungskosten der Elektronikmodule
- Verschleiß der Elektronikmodule durch den Betrieb der Werkzeuge / Wartungskosten
- Wartezeit beim Tauschen in Folge eines Elektronikschadens
- Gestehungskosten bei Anschaffung bzw. Ersatz einer Tauchpumpe
- Arbeitszeit für Ein- und Ausbau einer Tauchpumpe
- Bereitstellung von Wärmeenergie zur Aufrechterhaltung der Versorgung während des Pumpentausches

Diese Kosten bestimmen damit den Preis einer produzierten Kilowattstunde entscheidend. Die Zuverlässigkeit und Kosteneffizienz der Elektronikmodule in Bohr-, Komplettierungs- und Pumpensystemen muss daher in diesem Zusammenhang mit höchster Priorität sichergestellt werden. Eine Verlängerung der Wartungs- und Instandhaltungsintervalle steigert in signifikantem Maße den Gewinn pro geförderter Kilowattstunde, was den Neubau geothermischer Anlagen begünstigt.

> *„Da mehr als 50 Prozent der Primärenergie in Deutschland für die Wärmeerzeugung verbraucht wird, ist der* ***Ausbau der geothermischen Wärme- und Kältebereitstellung ein wesentliches strategisches Ziel für eine zukünftige Energieversorgung*** *mit erneuerbaren Energien und hoher Energieeffizienz. Die zunehmende Nutzung der Geothermie als lokale Energiequelle erhöht zudem die Unabhängigkeit von Brennstoffimporten und fördert die heimische Wertschöpfung.“ (*7. Energieforschungsprogramm)

Bisher gelten Bohrungen für die Tiefe Geothermie mit Wassertemperaturen von über 150-200 °C als schwer beherrschbar, was nicht zuletzt an den hohen Kosten bei der Bereitstellung einer geeigneten

Bohrgarnitur sowie in der geringen Lebensdauer von Pumpe und Messsystemen bei solchen Temperaturen begründet liegt. Zurzeit werden entsprechende Bohrungen trotz ihres besseren thermischen Wirkungsgrades kaum erschlossen, weil das technische und wirtschaftliche Risiko als zu hoch eingeschätzt wird. Als strategisch wichtiges FuE-Thema wird daher im 7. Energieforschungsprogramm die „Weiterentwicklung der Technologie unter den Aspekten der Kostensenkung und Anlagenverfügbarkeit der Geothermie im Strom- und Wärmebereich“ hervorgehoben. Die Entwicklung von günstigeren Bohrgarnituren sowie hochtemperaturbeständigen Messsystemen und Tauchpumpen kann somit die Erschließung geothermischer Reservoire ermöglichen, die bislang als zu riskant gelten.

Ein weiteres förderpolitisches Ziel besteht darin, die öffentliche Akzeptanz der Tiefen Geothermie als entscheidenden Beitrag zum regenerativen Energiemix zu erhöhen. Ein störungsfreier Betrieb geothermischer Anlagen zur Energieversorgung ist somit von zentraler Bedeutung. Die Bundesregierung hat sich aber nicht nur zum Ziel gesetzt, die Energiewende voranzubringen, sondern auch die Exportchancen für innovative Energietechnologien zu verbessern und damit den Industriestandort Deutschland zu stärken

> ***„Den Industriestandort stärken:*** *Die Forschungsförderung im Energiebereich leistet wichtige Beiträge zur Modernisierung der deutschen und europäischen Wirtschaft sowie zur Sicherung des Industriestandorts. Dabei geht es darum, neue Trends wie die Digitalisierung sinnvoll aufzugreifen, Technologiekompetenzen im Energiebereich zu erhalten und auszubauen sowie die Exportchancen für innovative Energietechnologien zu verbessern. Daher wird die Forschungsförderung auch an Technologien für die Weltmärkte, insbesondere in Entwicklungs- und Schwellenländern, ausgerichtet. Dabei kommt der Aktivierung von Innovationspotenzialen in kleinen und mittelständischen sowie jungen Unternehmen eine besondere Rolle zu.“ (7. Energieforschungsprogramm)*

Die Entwicklung, Herstellung und Fertigung von applikationsspezifischen integrierten Schaltungen (ASIC) und Multi-Chip-Modulen (MCMs) stellt eine Hochtechnologie dar, deren Vorteile bei der Verwendung in der Bohrtechnik zunehmend deutlich werden, insbesondere bei der Beherrschung hoher Temperaturen. Durch die avisierte Weiterentwicklung der ASIC- und MCM-Technologien wird die Entwicklung und Fertigung am Standort Celle gefördert und der Industriestandort Deutschland insgesamt nachhaltig gestärkt.

Das Vorhaben unterstützt damit vollumfänglich die förderpolitischen Ziele entsprechend des 7. Energieforschungsprogramms.

2.3 Wissenschaftliche und technische Arbeitsziele des Vorhabens

Im Rahmen der Technologieentwicklung arbeitet das CTC daran, die zunehmenden Schwierigkeiten bei der Hardwareentwicklung für Hochtemperaturanwendungen in der Untertagetechnik aufzulösen und die Anforderungen zukünftiger Werkzeuge zu erfüllen. Von zentraler Bedeutung sind hierbei angepasste, hochintegrierte elektronische Schaltkreise (Application Specific Integrated Circuit, ASIC), sowie die Beherrschung der komplexen Aufbau- und Verbindungstechnik bei der Realisierung von Multi-Chip-Modulen (MCM) für den Hochtemperaturbereich.

Jede dieser beiden Technologien ermöglicht einen sehr tiefen Durchgriff auf die Spezifikation der fundamentalen Teilelemente eines Elektronikmoduls. Die Selektion sowie Parametrisierung der beiden etablierten Technologien erfolgte anhand von Kriterien für eine flächenoptimierte Lösung bei gleichzeitig langjährigem Betrieb bei thermischer und mechanischer Belastung. Die Kombination beider Technologien bildet damit die einzige verlässliche Strategie, um langfristige Verfügbarkeit elektronischer Module in zukünftigen Baker Hughes Produkten sicherzustellen und auch geothermale Anwendungen zu erschließen. Inwieweit dies kommerziell erfolgreich gelingen wird, hängt maßgeblich vom Investitionsvolumen in die Entwicklung der beiden Technologien und der Kostenstruktur der letztendlich realisierten Produkte ab.

Die aktuell verfügbaren Technologien der Aufbau- und Verbindungstechnik für die Multi-Chip-Module stellen eine für 175 °C zwar etablierte, aber gleichzeitig auch kostenintensive Lösung dar. Insbesondere für den Einsatz in geothermischen Anwendungen sowohl während der Bohrlocherstellung als auch bei Permanentinstallationen skalieren nach bisherigen Erkenntnissen die etablierten Werkstoffe und Techniken nicht in ausreichendem Maße, um einen zuverlässigen Einsatz für mehrere Jahre bei 175 °C zu ermöglichen. Daher ist die Erweiterung bisheriger aufbau- und verbindungstechnischer Prozesse für diesen Anwendungsbereich erforderlich.

Weiterhin sind Kostenreduktionen unter Beibehaltung der Zuverlässigkeit und Hochtemperaturtauglichkeit von zentraler Bedeutung. Hier spielen insbesondere die Nutzung von alternativen Materialien für die Schaltungsträger sowie die Eliminierung der hermetischen Gehäuse eine wichtige Rolle. Die Änderung dieser beiden maßgeblichen Komponenten ziehen eine Neuentwicklung und Qualifizierung weiterer Bereiche wie der Drahtbondverbindungen sowie geeigneter Klebstoffe und Lote nach sich.

Die hermetischen Gehäuse schützen zuverlässig vor aggressiven Umgebungsmedien, stellen elektrische Durchführungen und EMV-Schutz bereit und bieten einen zuverlässigen Berührschutz der empfindlichen Drahtbondverbindungen. Getrieben durch die hohen Kosten der hermetischen Gehäuse und des aufwändigen Schweißprozesses ist der Wechsel zu nicht-hermetischen Gehäusen allerdings zwingend notwendig. Für alle Funktionen, die das hermetische Gehäuse bislang übernimmt, müssen adäquate und kostengünstige Alternativen gefunden werden. Die größte Herausforderung liegt dabei in einer zuverlässigen Möglichkeit zur Versiegelung des Moduls zum Schutz vor Korrosionseffekten.

Die Aufbau- und Verbindungstechnik der MCMs stellt eine Sonderlösung dar, deren aufwändige Materialien und Fertigungsprozesse maßgeblich für die hohen Kosten verantwortlich sind. Daher soll ebenfalls untersucht werden, inwieweit durch Annäherung an Standard Chip-on-Board Prozesse Kosten eingespart und gleichzeitig die Zuverlässigkeit und Lebensdauer beibehalten werden kann. Durch weitere Miniaturisierung und bessere Integration der AVT in den zur Verfügung stehenden Bauraum können weitere Kosten eingespart werden.

Mit Hilfe der ASIC-Technologie kann die erforderliche Funktionalität unter minimalem Flächenaufwand realisiert werden. Diese Flächeneinsparung kann dabei so deutlich ausfallen, dass Elektronikmodule zusammengelegt werden können und damit die Gesamtanzahl der Elektronikmodule gegenüber einer

konventionell aufgebauten Lösung sinkt. Da die ASIC-Technologie bereits für die Massenfertigung optimiert ist, sind die Stückkosten pro gefertigtem Chip gering, was sich positiv auf die Fertigungskosten eines Bohrwerkzeugs oder einer Tauchpumpe gegenüber konventionell aufgebauten Modulen auswirkt. Jedoch sind die NRE-Kosten aufgrund der Komplexität eines jeden integrierten Schaltkreises signifikant. Dadurch ist derzeit eine gezielte Entwicklung integrierter, hochkompakter Schaltungen für den geothermalen Einsatz mit einem hohen wirtschaftlichen Risiko verbunden. Daher ist es erforderlich, die NRE-Kosten für eine gezielte Anwendung in der Tiefen Geothermie mit dem Aufbau eines Baukastens mit benötigten Designblöcken vorwegzunehmen. Sobald diese Blöcke vorhanden sind, ist eine Realisierung der erforderlichen Funktionalitäten schnell und zuverlässig möglich. Die identifizierten Blöcke eines solchen Baukastens sind mindestens Analog-zu-Digitalwandler, Beschleuniger zur digitalen Signalverarbeitung, RC Oszillatoren, Komparatoren, Modembausteine, Motortreiber, Operationsverstärker, Prozessoren, Spannungsreferenzen und Spannungswandler mit optionalem Hochspannungseingang. Aus diesen Blöcken kann exemplarisch ein kostenoptimiertes Elektroniksystem für ein Richtbohrsystem oder eine Tauchpumpe in kurzer Zeit zusammengesetzt werden und an die vorhandenen Sensoren zur Untertagenavigation angeschlossen werden.

3 Vorgehensweise zur Erreichung der Zielsetzung

Die Durchführung des Vorhabens ist stark am Entwicklungsprozess für Chipdesign ausgerichtet. Dieser umfasst die Entwicklungsphase, Vorbereitung zur Chipfertigung, Chipfertigung und abschließenden Test. Dafür wurde das Vorhaben in drei Teile aufgespalten. Im ersten Teil wurde ein Konzept für komplexe Zuverlässigkeitstests entworfen und an einem vor Projektbeginn verfügbaren Technologiedemonstrator-Chip erprobt. Gleichzeitig wurden Chipdesigns erarbeitet, die im zweiten Teil gefertigt und getestet werden konnten. Im zweiten Teil wurden darüber hinaus Chipdesigns für die Fertigung und den Test im dritten Projektteil realisiert. Die Arbeiten an der Aufbau- und Verbindungstechnik sind in den ersten beiden Teilen parallel ausgeführt worden, damit die Erkenntnisse für den abschließenden 200 °C verwendet werden konnten.

4 Wissenschaftlich-technische Ergebnisse

4.1 Realisierte Chipdesigns

In diesem Abschnitt werden die Arbeitsergebnisse der Arbeitspakete AP 2 und AP 5 zusammengefasst.

4.1.1 Zero-Offset Verstärkerdesign

Ausgangspunkt für die Spezifikation des Verstärkers basiert auf bestehenden Verstärkerdesigns, die bei Baker Hughes in der vorliegenden Technologie entwickelt und gefertigt wurden. Diese Verstärker sind in ihrer grundlegenden Charakteristik vergleichbar mit den angestrebten Systemen, implementieren aber keine explizite Rausch- oder Offsetunterdrückung. In Labormessungen wurde das störende Rausch- und Offsetverhalten sichtbar, was den Bedarf an aktiven Mechanismen unterstreicht. Die Verstärkerdesigns wurden dann mit Hilfe von CAD-basierten Methoden mit Fokus auf Rausch- und Offsetverhalten simuliert. Die Ergebnisse sollten zum einen eine geeignete Modellierung in der Entwicklungsumgebung verifizieren und zum anderen eine brauchbare Bewertung der im Anschluss zu konzipierenden Systemen ermöglichen.

Exemplarisch sind in Abbildung 4 die Ergebnisse einer statischen Simulation eines Operationsverstärkers mit P-MOSFET-Eingangsstufe dargestellt. Die Standardabweichung von einem 200 Sample Run betrug hierbei 2,33 mV. Das Ziel war damit die Reduktion der Eingangsoffsetspannung um mindestens eine Größenordnung.

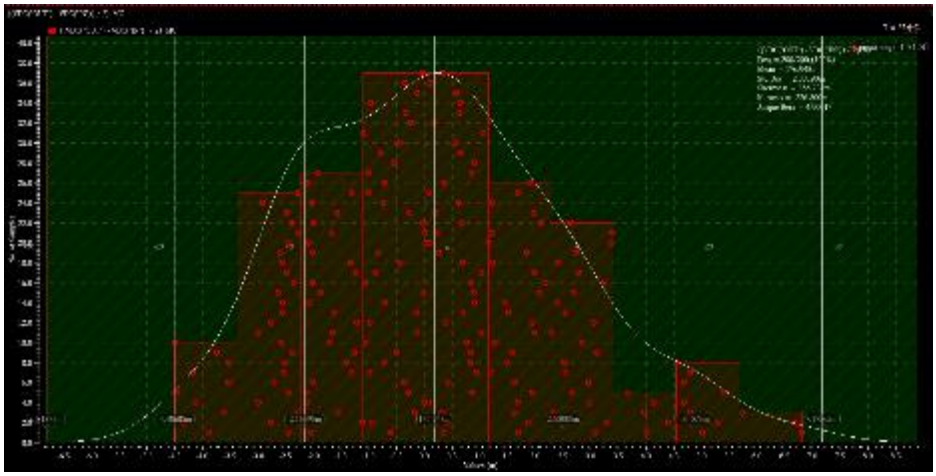


Abbildung 4: Monte-Carlo-Run Offsetspannung bei einem P-MOS Eingangsverstärker

Zunächst wurden Literatur und Forschungsveröffentlichungen gesichtet, analysiert und nach Eignung klassifiziert. Dabei wurde Wert auf ein zeitkontinuierliches System gelegt, das zeitdiskret arbeitet. Alle gefundenen Ansätze basierten auf einer aktiven Offset-Kompensation mit Hilfe eines geschlossenen Regelkreises. Dabei wird die Offsetspannung am Eingang des rückgekoppelten Operationsverstärker direkt sichtbar und kann als Regelgröße für den Kompensationskreis verwendet werden. Dieser Kom-

pensationskreis korrigiert dann im Signalpfad des Operationsverstärkers die Auswirkungen der Eingangsoffsetspannung. Zu beachten ist hierbei, dass Regelverstärker im Kompensationskreis ebenfalls mit einer Eingangsoffsetspannung behaftet sein können. Es wurden daher mehrere Systeme untersucht, die diesem Einfluss entgegenwirken. Dabei kristallisierte sich ein Konzept heraus, das nicht nur diesen zusätzlichen sekundären Offset-Einfluss kompensiert, sondern sich auch positiv auf das Rauschverhalten des eigentlichen Operationsverstärker auswirkt und rauschunterdrückendes Verhalten im unteren Frequenzbereich zeigt. Hier liegt das 1/f Rauschen, welches bis zum Übergang zum weißen Rauschen der dominierende Faktor in der Rauscheigenschaft von Verstärkern ist. Das 1/f Rauschen liegt dabei in seiner Größe deutlich über dem weißen Rauschen und stellt in den meisten Anwendungen ein signifikantes Problem dar.

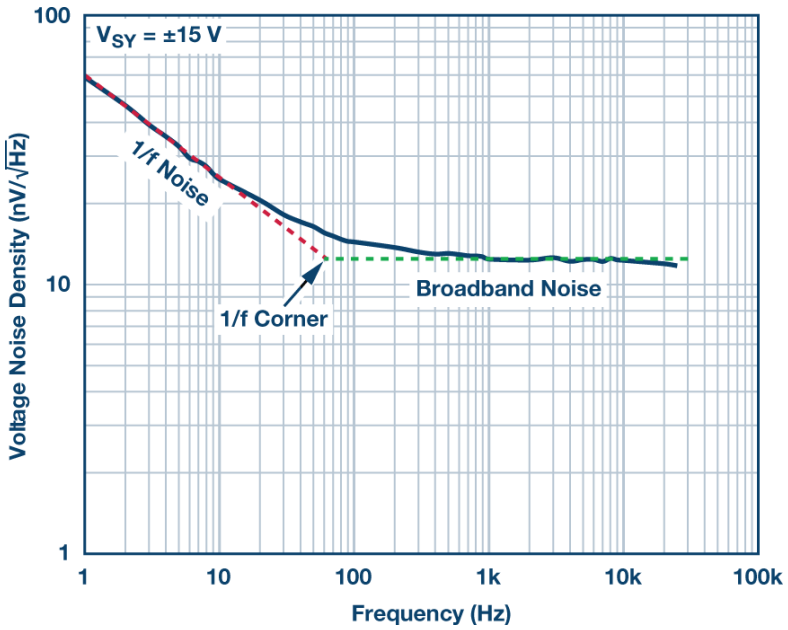


Abbildung 5: Typische Rauschdichten bei Verstärkerschaltungen[1]

Das Konzept, das neben der aktiven Offset-Kompensation auch eine Rauschunterdrückung aufweist, basiert auf den Einsatz von Choppern, die die sekundäre Eingangsoffsetspannung vom DC Bereich in ein höheres Frequenzband transferieren. Dabei ist es von Vorteil, dass die Chopper DC-Offsetspannung und niederfrequentes 1/f-Rauschen in gleicher Weise durch hochfrequente Modulation herausfiltern und damit minimieren.

In Abbildung 6 ist der Frequenzverlauf der Hauptsignalkette zu sehen. Es wurden Simulationen über drei markante Temperaturpunkte durchgeführt. Im Folgenden sind das LT = -40 °C, RT = 25°C und HT

[1] Analog Devices Inc., "Understanding and Eliminating 1/f-Noise," [Online]. Zugriff: https://www.analog.com/en/analog-dialogue/articles/understanding-and-eliminating-1-f-noise.html. [Zuletzt zugegriffen am 30.06.22].

= 175°C. Im nominellen Fall liegt die Leerlaufverstärkung bei A_{ol} = 153 dB. Eine hohe Leerlaufverstärkung ist wichtig, um in einem rückgekoppelten System den relativen Fehler durch den Rückkoppelfaktor zu minimieren. Die Bandbreite des Systems beträgt 340 kHz und ist für die Zielanwendungen ausreichend.

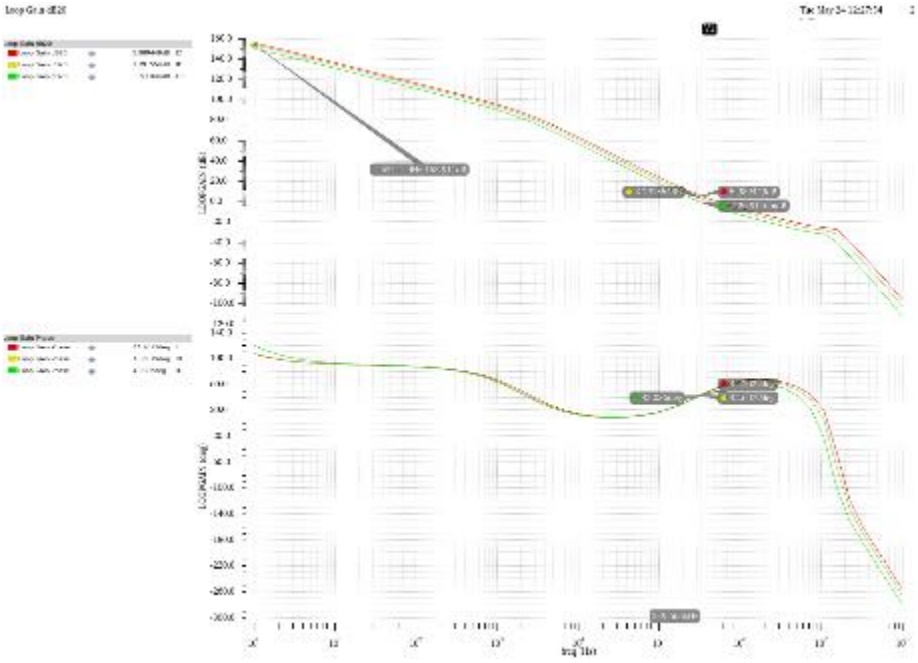


Abbildung 6: Frequenzantwort im Hauptpfad

Die Teilblöcke wurden anschließend zu einen Gesamtsystem zusammengeführt. Das geschlossene System wurde simuliert. Hier wurde eine rückgekoppelte Konfiguration in nicht-invertierender Ausführung gewählt. Die mit externen Widerständen eingestellte Verstärkung beträgt A_{CL} = 40 dB und ist für die Zielanwendung ausgelegt. Es wurde eine Eingangsoffsetspannung von V_{OFF} = 5 mV mit Hilfe einer zusätzlichen DC-Spannungsquelle emuliert. Bei einer Eingangsdifferenzspannung von V_{in} = 10 mV plus Common-Mode-Spannung V_{CM} = 1.0 V ergeben sich am Ausgang statt der erwarteten V_{out} = 2.0 V eine abweichende Spannung von $V_{_Out_real}$ = 2.5 V. Davon sind 500 mV auf die emulierte Eingangsoffsetspannung multipliziert mit der Closed-Loop Verstärkung zurückzuführen. Die Schaltung ist in Abbildung 7 zu sehen, hier sind auch die Potentiale eingetragen.

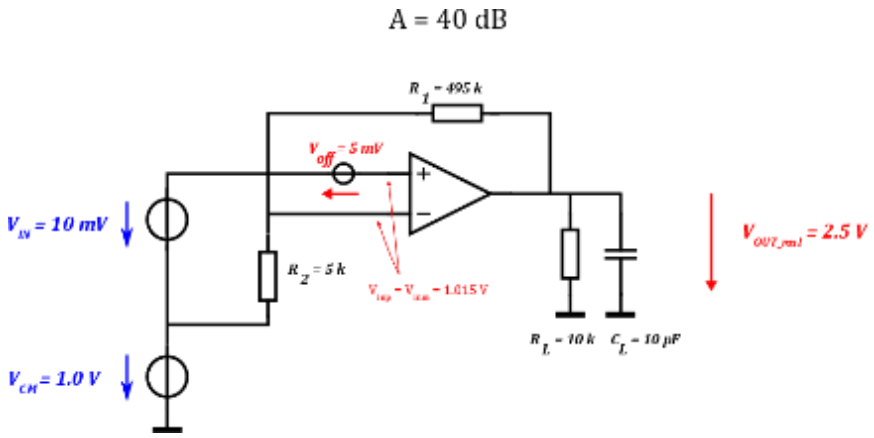


Abbildung 7: Simulationskonfiguration

In Abbildung 8 und in Abbildung 9 sind Simulationsverläufe des geschlossenen Regelkreises zu sehen. In Abbildung 8 ist der zeitliche Verlauf der Ausgangsspannung bei den Temperaturen LT, RT und HT abgebildet. Während des Startens der Schaltung ist noch ein Einschwingverhalten sichtbar, der vermutlich auf ungeladene Kapazitäten zurückzuführen ist. Innerhalb von 200 ms ist der Vorgang abgeschlossen und ein stabiler Wert der Ausgangsspannung stellt sich ein. Es ist zu sehen, dass die Auswirkung der Eingangsoffsetspannung am Ausgang sehr stark reduziert wird. Von den ursprünglich angelegten V_{OFF} = 5 mV ist nur noch ein sogenannter Residual Offset unter 100 µV geblieben

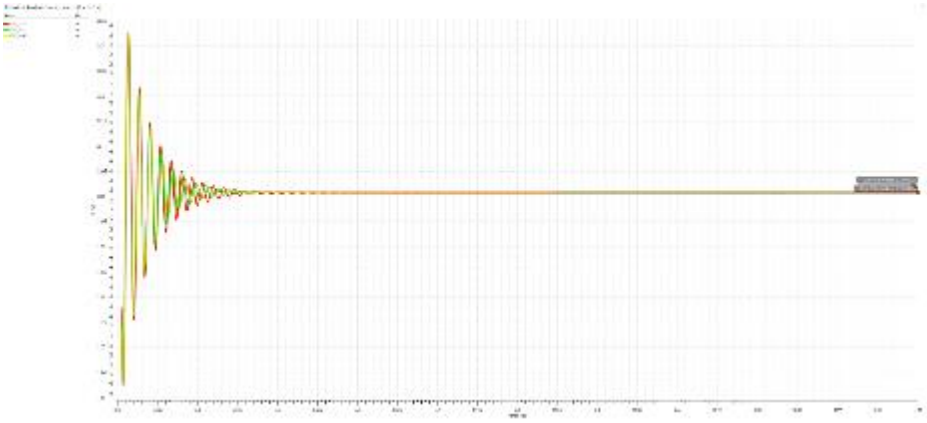


Abbildung 8: DC Anregung

Eine Simulation mit sinusförmiger Anregung ist in Abbildung 9 zu sehen. Hier wurde die Schaltungskonfiguration aus Abbildung 7 leicht abgewandelt. Der Verstärkung beträgt hier A_{CL} = 20 dB mit einer Anregung von V_{in_pk} = 100mV bei einer Frequenz von f = 1 kHz. Der Ausgang schwingt hier mit einer Spannung von $V_{_out_pk}$ = 1,0 V um die Common-Mode-Spannung V_{CM} = 1,5 V. Die Phasenverschiebung ist vernachlässigbar klein. Dieses Ergebnis bestätigt die Ergebnisse aus dem vorherigen Simulationslauf.

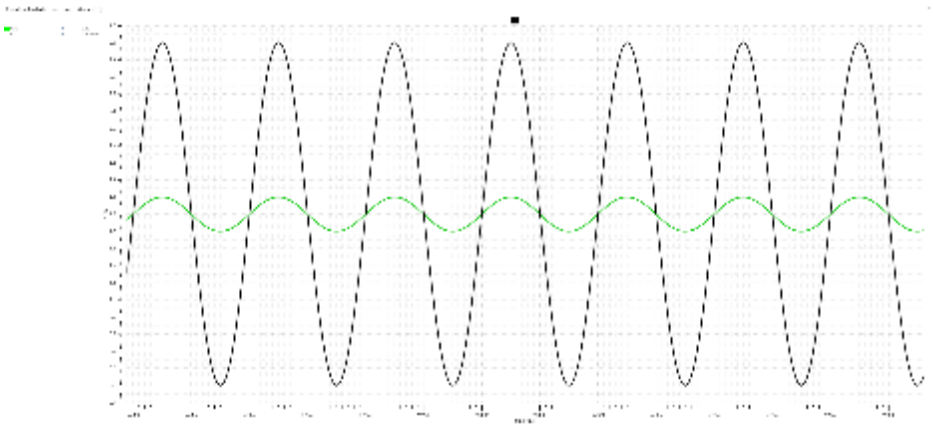


Abbildung 9: Sinusförmige Anregung

4.1.2 Integrierter DC-DC Abwärtswandler, Konzept 1

Der BUCK-Abwärtswandler nach Konzept 1 ist so gestaltet, dass er aus der Hochspannung heraus anlaufen kann und anschließend sowohl die angeschlossene Kleinspannungslast als auch sich selbst versorgen kann. Hierfür wird aus der Eingangsspannung zunächst eine interne Versorgungsspannung generiert. Diese Konvertierung ist sehr ineffizient und für die Bereitstellung großer elektrischer Leistungen ungeeignet. Sie wird zur temporären Versorgung der chip-internen Spannungsdomänen verwendet. Sobald die Leistungsstufe sowie Regelungs- und Steuereinheit einen eingeschwungenen Zustand erreicht haben, wird die ineffiziente, initiale Versorgung abgeschaltet und durch die geregelte Ausgangsspannung ersetzt, welche zur effizienten Versorgung großer elektrischer Lasten dient.

Leistungsstufe

Die Leistungsstufe umfasst eine Halbbrücke bestehend aus zwei Leistungsschaltern, zugehörige Gatetreiber sowie einen Hochvoltpegelumsetzer. Letzterer wird benötigt, da die Eingangsspannung jenseits der Durchschlagsfestigkeit der zur Ansteuerung verwendeten Transistoren in den einzelnen Funktionsblöcken außerhalb der Halbbrücke selbst liegt.

Eine synchrone Ansteuerung der Halbbrücke ist die Voraussetzung zur energieeffizienten Konvertierung der Hochvolteingangsspannung in die benötigte Ausgangskleinspannung. Für die im Vorhaben angestrebte Miniaturisierung der Elektronik ist eine hohe Schaltfrequenz wünschenswert, da diese die Größe der chip-externen Energiespeicherinduktivität und -kapazität positiv beeinflusst. Jedoch steigen mit der Frequenz auch die Anforderungen insbesondere an den Hochvoltpegelumsetzer und an die Regelungseinheit. Das Wechselspiel der Ansteuersignale des Pegelwandlers, der Gatetreiber und der Halbbrücke ist in Abbildung 10 dargestellt. Dabei ist anzumerken, dass die transferierte elektrische Leistung proportional zur Einschaltlänge des CMP-Signals ist, welches in der Regelungseinheit generiert wird.

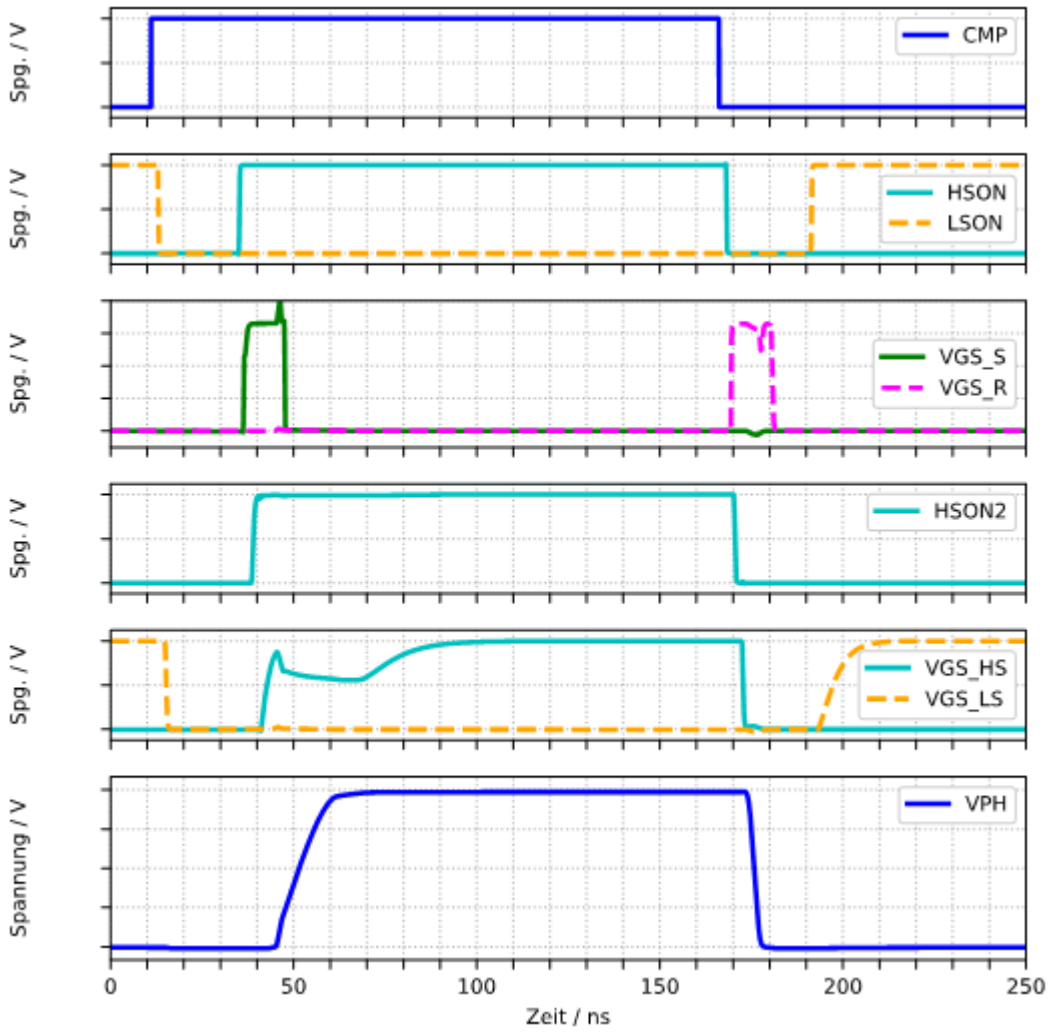


Abbildung 10: Zeitverläufe zur Totzeitkontrolle und Leistungsstufe bei 175°C

Aus den dargestellten Simulationsergebnissen geht hervor, dass der logische Einschaltimpuls des Signals CMP aus der Versorgungsspannungsdomäne in zwei zeitversetzte, synchrone Ansteuersignale HSON und LSON für die Leistungsstufe konvertiert wird. Des Weiteren ist dargestellt, wie der Einschaltimpuls HSON für den High-Side Leistungsschalter der Halbbrücke über den Pegelumsetzer in die Bootstrapspannungsdomäne der High-Side mit variablen Bezugspotential VPH transferiert wird. Anhand der internen Signale des Pegelumsetzers VGS_S und VGS_R zeigt sich, wie der kontinuierliche Einschaltimpuls lediglich über kurze Setz- und Rücksetzimpulse energieeffizient übersetzt wird. In den beiden unteren Diagrammen sind die Gate-Source-Spannungen der Leistungsschalter aus den Treiberstufen VGS_HS und VGS_LS sowie das pulsierende Eingangsspannungspotenzial VPH abgebildet. Mittels Pulsweitenmodulation und gezielter Auslegung der externen Energiespeicherelemente des Ausgangsfilters wird die Ausgangsspannung daraus bereitgestellt.

Regelungseinheit

Die Regelungseinheit, bestimmt maßgeblich die Performance beim Ausregeln von Laständerungen am Ausgang des Abwärtswandlers. Sie besteht aus einem PD2T2-Regler, einem Sägezahngenerator und einem Komparator zur Erzeugung des PWM-Signals. In Abbildung 11 sind dazu transiente Simulationsergebnisse eines solchen Lastwechsels bei 27 °C sowie 175 °C gegenübergestellt. Es zeigt sich, dass die Regeleinheit diese Laständerungen von am Ausgang des BUCK-Abwärtswandlers erfolgreich ausregeln kann.

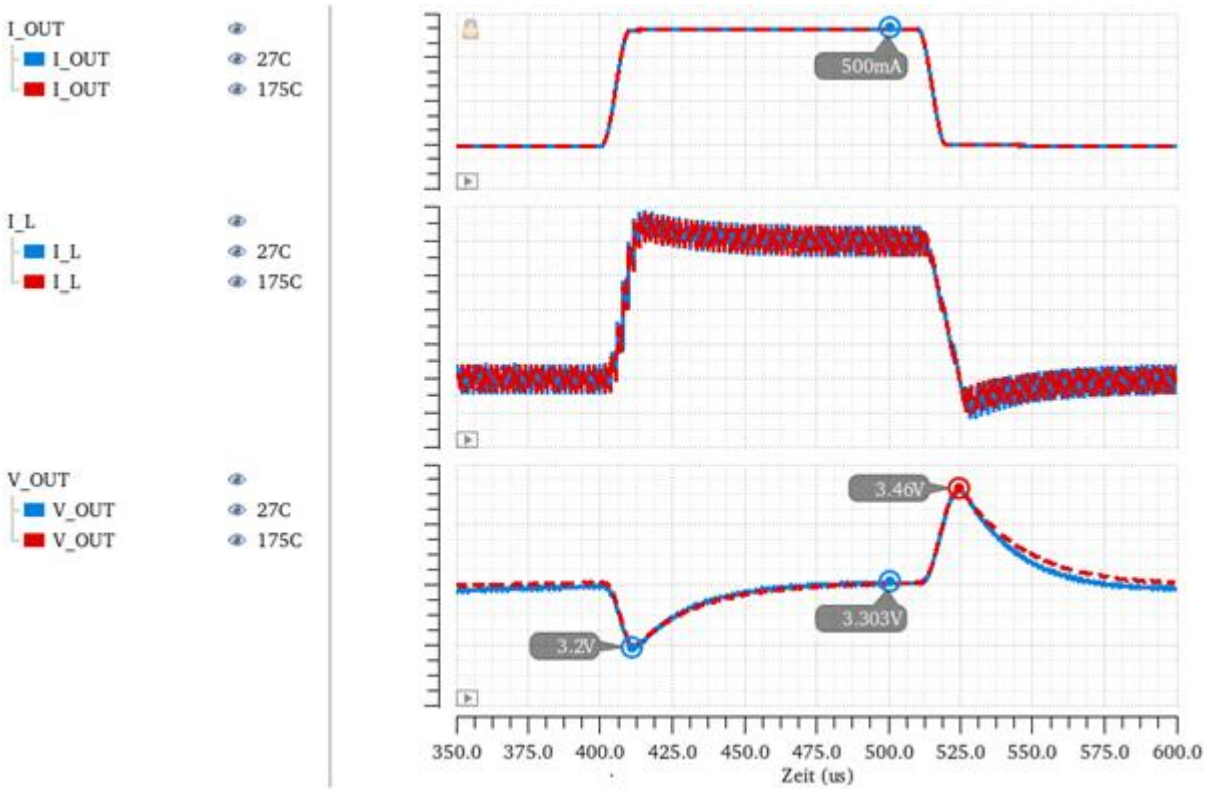


Abbildung 11: Ausregelverhalten des BUCK-Abwärtswandlers

Steuereinheit

Die Steuereinheit, ist für das Starten und den kontrollierten Betrieb aller Funktionsblöcke untereinander des BUCK-Abwärtswandlers zuständig. Dafür überwacht sie sämtliche Spannungen im System, sorgt für das zeitlich definierte Ein- und Ausschalten der initialen Versorgung des BUCK-Abwärtswandlers, als auch das Ein-, Standby- und Ausschalten von Leistungsstufe und Regelungseinheit im Fehlerfall. Darüber hinaus gewährleistet diese Einheit die totzeitkontrollierte Erzeugung der synchronen Ansteuersignale der Leistungsstufe aus dem PWM-Signal der Regelungseinheit. Diese kritische Funktion verhindert, dass gleichzeitig beide Leistungsschalter der Halbbrücke durchgeschaltet werden und einen Kurzschluss in der Leistungsstufe verursachen.

Die genannten Teilfunktionen der Steuereinheit wurden für den ersten Testchip in weiteren hierarchisch untergeordneten logischen und teils systemtaktabhängigen Funktionsblöcken implementiert und abschließend zum komplexen digitalen Schaltwerk der Steuereinheit zusammengefasst. Ein Flussdiagramm der verschiedenen Schaltphasen der Steuereinheit ist in Abbildung 12 vereinfacht dargestellt. Das entwickelte BUCK-Abwärtswandlerdesign ist laut Simulation geeignet, um aus der Eingangsspannung direkt eine Ausgangskleinspannung für nachgeschaltete Elektronik bereitzustellen. Die Funktionalität konnte in allen Simulationen bei der Zieltemperatur von 175 °C eingehalten werden, wobei Effekte der Selbsterwärmung nur abgeschätzt werden konnten. Daher ist ein Dauertest des resultierenden Designs insbesondere für die Leistungsstufe essenziell, um die Zuverlässigkeit dieses Design abschließend für den Einsatz in Geothermieanwendungen bewerten zu können.

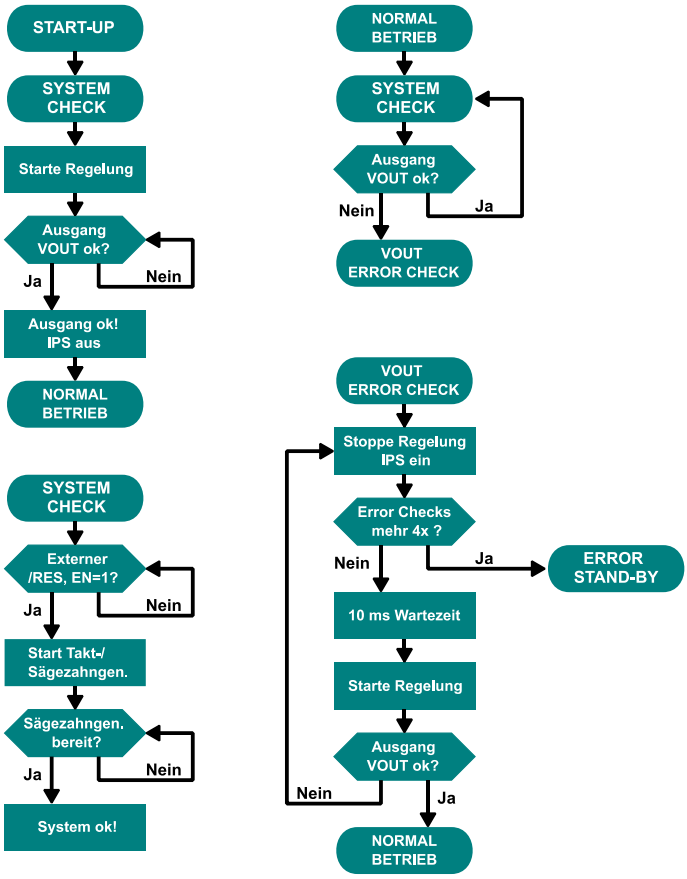


Abbildung 12: Flussdiagramm der Steuereinheit

4.1.3 Prozessorkern

Die primäre Zielsetzung bei der Konzeptionierung des Prozessorkerns war die Untersuchung, inwiefern sich eine moderne 32-bit Architektur für die Implementierung in einer ASIC-Hochtemperaturtechnologie eignet. Um diese Evaluierung mittels der darauffolgenden Realisierung in einem Mikrochip geeignet durchführen zu können, wurde die Umsetzung eines Mikrocontrollers für allgemeine Kontroll- und Messaufgaben gewählt.

Auf dieser Basis wurde zunächst die Architektur eines 32-bit Prozessorkerns entwickelt. Es wurde eine 3-stufige Pipeline gewählt, welche der angestrebten Leistungsklasse des Prozessors angemessen ist. Der Datenpfad enthält eine Arithmetisch-Logische-Einheit für Ganzzahlberechnungen. Die wesentlichen Schnittstellen des Kerns sind die Busanbindung an die Instruktions- und Datenspeicher bzw. an den Peripheriebus sowie externe Interruptleitungen. Im nächsten Schritt wurde dieser Prozessorkern in der implementiert. Hierbei wurde auf Modularität und Erweiterbarkeit geachtet, so dass im weiteren Projektfortschritt Untersuchungen und Ergänzungen bezüglich Befehlssatzerweiterungen möglich sind, welche die Performance des Kerns weiter steigern können. Es ist zu erkennen, dass sich das Design in der Zieltechnologie abbilden lässt.

Die Integration einer Debugschnittstelle in den Prozessorkern ist ein wichtiger Aspekt, um mit dem Prozessorsystem zwecks Laden einer Firmware und deren Debugging kommunizieren zu können. Hierzu wurde ein Konzept gewählt, welches einen kleinen Debug-Programmspeicher enthält, über welchen Debug-Instruktionen in den Prozessor geladen und Daten von diesem zurückgelesen werden. Dieses Konzept hat den Vorteil, dass es nur geringfügig in den bestehenden Kern eingreift und damit den Hardwareaufwand und negativen Einfluss auf die Performance begrenzt. Als Schnittstelle zur Außenwelt wurde die verbreitete JTAG-Schnittstelle gewählt, welche softwareseitig bereits eine breite Unterstützung vorfindet.

Die Debug-Schnittstelle und die notwendigen Erweiterungen im Kern zum Anhalten, Fortsetzen und schrittweisem Ausführen von Code wurden umgesetzt. Eine Debug-Steuereinheit mit JTAG-Kontroller wurde implementiert, an den Kern angebunden und verifiziert. Der Prozessorkern wurde um zwei arithmetische Einheiten zur Ganzzahlmultiplikation und -division erweitert, welche zu einer Reduktion der Codegröße führen sowie die Ausführungsgeschwindigkeit dieser Operationen gegenüber einer reinen Implementierung in Software deutlich erhöht.

Um den Prozessorkern vollständig in einem fertigen Chip testen zu können, muss dieser Zugriffe auf die Instruktions- und Datenspeicher sowie Peripheriemodule durchführen. Hierzu wurde das Design um eine erste Version einer geeigneten Schnittstelle zur Anbindung an den On-Chip Bus erweitert. Gleichzeitig wurde eine Infrastruktur geschaffen, die es dem Prozessor ermöglicht, Schreib- und Lesezugriffe auf den Instruktionsspeicher über seinen Datenbus durchzuführen, was insbesondere während des Bootvorgangs, also dem Laden des Instruktionsspeicher aus einem chipexternen Speicherbaustein, benötigt wird. Eine erste Basisversion des hierfür ebenfalls notwendigen Bootcodes wurde entwickelt und in einem ROM abgelegt. Die Verifikation der Implementierung erfolgte mithilfe eines Digitalsimulators.

Zur Validierung der Einhaltung der ISA Spezifikation wurde eine Testprogrammsammlung verwendet, welche aus einer Reihe von spezifischen Testprogrammen und Referenzdaten besteht. Diese wurden in der Simulation mit dem entworfenen Prozessorkern ausgeführt und fehlerfrei ausgeführt.

Für weitere Tests und Echtzeit-Untersuchungen des Prozessordesigns wurde dieses auf ein FPGA-Evaluationsboard transferiert. Mit diesem wird der für das Debugging benötigte JTAG-Adapter direkt verbunden. Mittels dieses Aufbaus konnte mit der grafischen Entwicklungsumgebung und der Debugger

erfolgreich eine Verbindung mit dem Prozessor hergestellt werden sowie ein Programm geladen und gestartet werden. Weiterhin wurden Debug-Merkmale wie Breakpoints, schrittweises Ausführen des Codes und Anzeigen der Speicherinhalte getestet.

4.1.4 Anbindung eines integrierten OTP-Speichers

Der für das initiale Anlaufen des Prozessorkerns notwendige nicht-flüchtige Programmspeicher (Boot Loader) wurde in den Prozessorchip integriert. Da im normalen Betrieb der Prozessorkern den initialen Speicherbereich ausschließlich im Lese-Zugriff ansteuert, kann auf die Verwendung des OTP-Speichers zurückgegriffen werden.

Der programmatische Schnittstellenadapter setzt sich aus den in Abbildung 13 gezeigten Blöcken zusammen. Die Schnittstelle zum Bus-Systems des Prozessorchips wird über ein Standard-SRAM-Interface (1) realisiert. Mittels diesem lässt sich auf das Status- und Kontrollregister (2), den Zugriffskontroller (3) und das Programmierbare IO (Input Output) (4) zugreifen. Das Status- und Kontrollregister gibt Auskunft über den aktuellen Zustand des Schnittstellenadapters und bietet die Möglichkeit diesen zu konfigurieren. Die aus dem OTP-Speicher zu lesenden Daten werden entweder über den dedizierten Zugriffskontroller oder über das Programmierbare IO geführt, abhängig vom Zustand des Interface-Selektors (5).

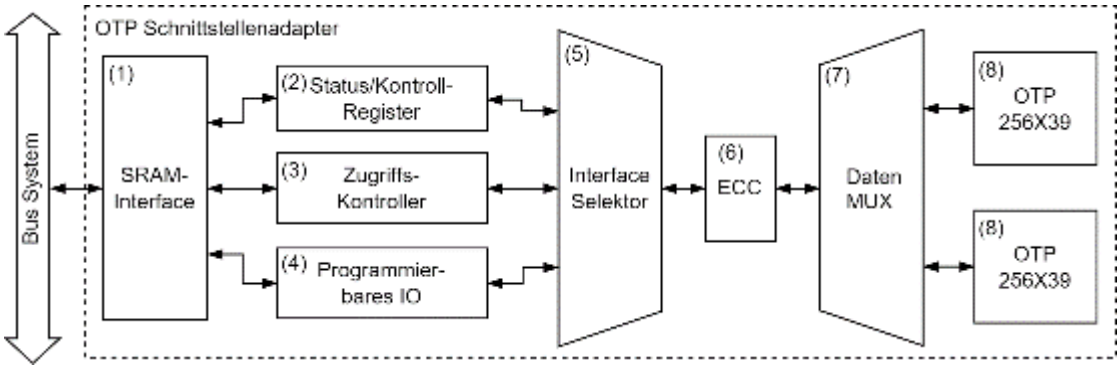


Abbildung 13 Schnittstellenadapter zur Anbindung des OTP-Speichers an das bestehende Bus-System

Der OTP-Speicher (8) wird in einer festen Größe bereitgestellt. Für diesen Prozessorchip werden zwei dieser Speicherblöcke instanziiert. Die Auswahl des jeweiligen OTP-Blocks erfolgt über den Daten-Multiplexer (7).

4.1.5 Firmware für die Prozessor-Architekturen

Das Arbeitspaket umfasst die Einbindung des Prozessors in die firmeninterne Programmierbibliothek sowie die Integration der Architektur in eine etablierte Entwicklungsumgebung.

Entwicklungsumgebung

Aufgrund des umfangreichen Funktionsumfangs und der freien Verfügbarkeit wurde das Programmierwerkzeug als grafische Entwicklungsumgebung ausgewählt. Die Oberfläche bildet mit einer Reihe weiterer Werkzeuge und Hilfsprogrammen die sogenannte Toolchain.

Es wurde die Zusammenstellung der Toolchain in einer initialen Version zusammengestellt und getestet. Die Umgebung wird zur Firmwareprogrammierung sowie zum Aufrufen weiterer Entwicklungswerkzeuge, insbesondere zum Kompilieren, Linken und Debuggen der Programme, verwendet. Die Steuerung des Ablaufs beim Kompilieren und Verlinken des Quellcodes sowie das Übertragen des ausführbaren Programms wird vom Build-Management-Werkzeug übernommen. Um den Programmablauf im Chip kontrollieren zu können, wird über das Programm auch eine Schnittstelle zum *Debugger* bereitgestellt. Damit ist es möglich die Ausführung des Programmcodes auf dem Chip untersuchen zu können. Beispielsweise lassen sich Werte von Variablen und Registerinhalte ausgeben. Außerdem sind das Setzen von Haltepunkten und das schrittweise Ausführen des Programms wichtige Hilfsmittel für die Firmwareentwicklung.

Firmwaredesign

Eine besondere Stärke des HTE Toolboxansatzes besteht in der freien Kombinierbarkeit einzelner Teilkomponenten der Toolbox zu komplexen Mikrokontrollern. Zur Sicherstellung einer einfachen und schnellen Realisierung von komplexen Signalverarbeitungssystemen wurde bei der Konzipierung der Programmbibliothek der Schwerpunkt auf folgende drei Eigenschaften gelegt:

Wiederverwendbarkeit

Für die Sicherstellung der Wiederverwendbarkeit und der damit verbundenen Austauschbarkeit einzelner Programmkomponenten wurde die Firmwarearchitektur in die in Abbildung 14 gezeigten Schichten aufgeteilt. Die Applikationsschicht beinhaltet hauptsächlich die produktspezifischen Dienste. Diese Schicht nutzt die unterstützenden Funktionalitäten der Zwischenschicht (z.B. Kommunikationsprotokolle, Systemdiagnose oder Dateisystem). Für den Zugriff auf externe Geräte wurden einzelne Treiber entwickelt, welche der Gerätetreiberschicht zugeordnet werden. Damit die Gerätetreiber mit den an den Mikrokontroller angeschlossenen Peripheriekomponenten kommunizieren können, werden die Schnittstellen der Mikrocontrollerhardware genutzt. Um die Unabhängigkeit der Gerätetreiber vom Mikrokontroller zu gewährleisten, wurden in der Mikrokotrollerabstraktionsschicht weitere Schnittstellentreiber mit einer hardwareunabhängigen API entwickelt. Alle Schichten können die Funktionen des Betriebssystems nutzen (z.B. Speicher-Allokieren, Tasks, Semaphoren, Event-Gruppen, Software-Timer). Um auch die Abhängigkeit der Programmkomponenten in den verschiedenen Schichten zu einem spezifischen Betriebssystem zu vermeiden, wurde die Betriebssystemabstraktionsschicht (OSAL) definiert.

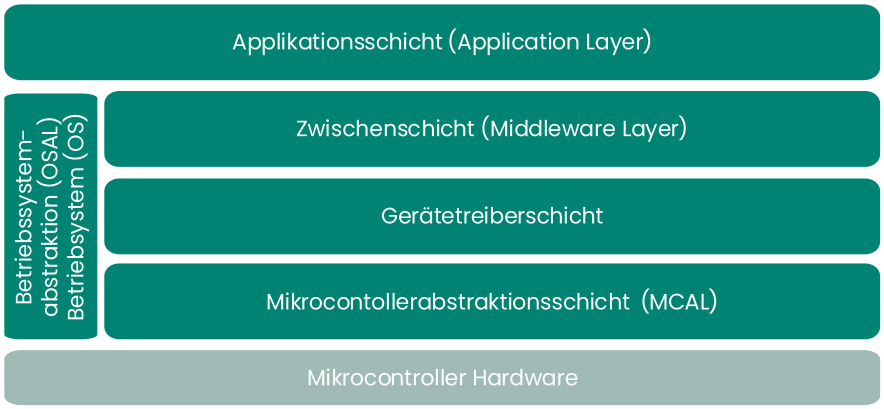


Abbildung 14: Schichten der Programmarchitektur

Wartbarkeit und Zuverlässigkeit

Zur Sicherstellung der Wartbarkeit und Zuverlässigkeit der verschiedenen Programmkomponenten wurde für die Implementierung der Funktionen ein statisches Quellcodeanalysewerkzeug ausgewählt. Diese überprüft den Quellcode auf Konformität zum MISRA-C 2012 Standard.

Benutzerfreundlichkeit

Es wurden klare und funktional begrenzte API-Funktionen der Programmkomponenten erstellt, welche zusätzlich durch detaillierte Funktionsbeschreibungen zur einfachen Verständlichkeit beitragen. Mit Hilfe eines Software-Dokumentationswerkzeugs wird durch Nutzung spezieller Schlüsselwörter in der Quellcodedokumentation automatisiert eine übersichtliche Dokumentation im HTML und PDF-Formt erstellt.

Debugger Integration in die Entwicklungsumgebung

Die für die Entwicklungs- und Testphase der Firmware notwendige Debugging-Möglichkeit wurde in die Debugging-Einstellungen der Entwicklungsumgebung integriert. Damit ist es möglich eine Debug-Session mit nur einem Klick zu starten. Dies beinhaltet das Kompilieren und Linken der C-Programms, Starten der Debuggers Software und das Übertragen des C-Programmes in den Mikrokontroller. Damit kann das C-Programm Schritt für Schritt durchlaufen und sämtlicher Speicherinhalt einschließlich der Programm-Variablen auf Gültigkeit überprüft werden.

Erstellung des C-Runtime Startup-Codes und des Linker-Scripts

Auf Grundlage des Default-Linker Scripts wurde ein für den Baker-Hughes-spezifischen Mikrokontroller passende Variante erstellt. Diese berücksichtig hauptsächlich das spezielle Speicherlayout des Mikrokontrollers. Dazu passend wurde der Startup-Code für die C-Runtime erstellt, die als C-Progamm-Startpunkt dient und alle für das Hauptprogramm, beginnend mit der main() Funktion, notwendigen Vorbereitung trifft. Dazu gehört unter anderem die Initialisierung des Stack-Pointers und der globalen Variablen im C-Programm.

Adaption der Konfiguration der Quellcodeanalysesoftware an die Compiler-Toolchain

Da jede Compiler-Toolchain spezifische Schlüsselwörter in den mitgelieferten Software-Bibliotheken nutzt sowie spezifische Compiler-Definitionen bereitstellt, wurde die Konfiguration einer Quellcodeanalysesoftware entsprechend angepasst. Damit wird die fehlerfreie Überprüfung der Quellcode-Dateien sichergestellt.

Integration der statischen Quellcodeanalysesoftware als separate Build-Configuration.

Es wurde eine separate Build-Configuration für die statische Code-Analyse erstellt. Damit ist es möglich mit nur einem Klick eine einzelne Quellcode-Datei oder alle Quellcode-Dateien des selektierten Projektes auf Konformität zum MISRA-C 2012 Standard und den Baker Hughes internen Kodierungsrichtlinien zu überprüfen.

4.1.6 Design eines Präzisions-ADC

Im Rahmen dieses Projekts wurde ein hochauflösender Analog-Digital-Umsetzer (ADU) erforscht und entwickelt. Der Prozess begann mit einer Machbarkeitsstudie, um eine geeignete ADU-Architektur zu identifizieren. Es wurde ein konkretes System entworfen, als mikroelektronische Schaltung realisiert und als Layout für die Fertigung vorbereitet.

Das entwickelte ADU-System (Abbildung 15) ist ein zeitkontinuierlicher Delta-Sigma-ADU dritter Ordnung.

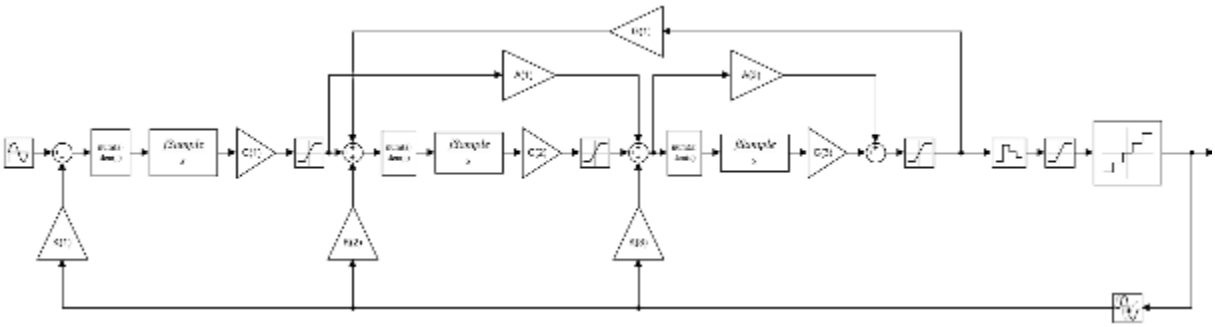


Abbildung 15: ADU auf Systemebene

Abbildung 16 zeigt das Leistungsdichtespektrum (PSD) des ΔΣ ADUs der Simulation auf Transistorbasis.

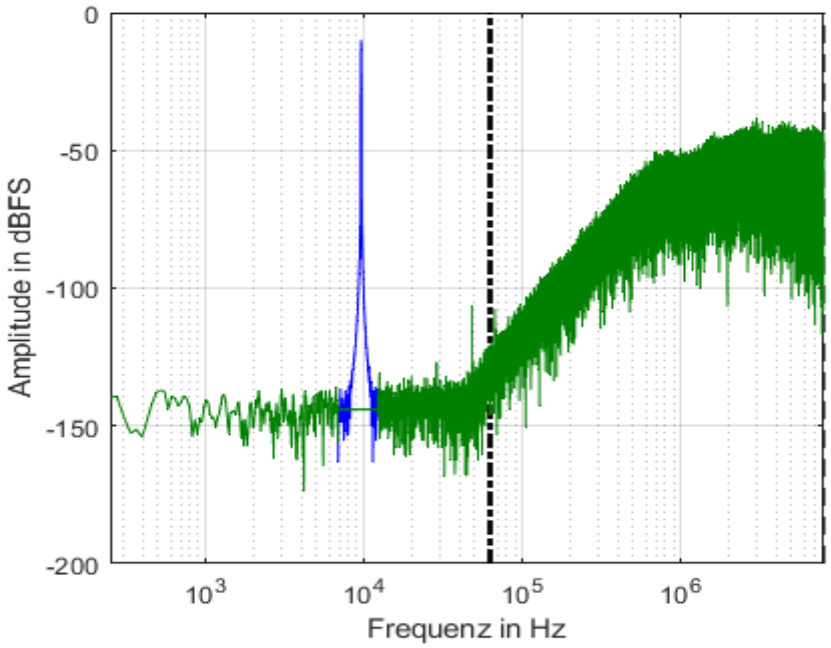


Abbildung 16: Spektrum des ΔΣ ADUs

Die Hardwarerealisierung beinhaltet eine automatische Kalibrierung des analogen Filters im ADU, die auch während der Laufzeit gestartet werden kann. Zusätzlich gibt es manuelle Konfigurationsmöglichkeiten, die eine Evaluierung und Tests der Hardware-Schaltung im Labor ermöglichen und auch in späteren Anwendungen eine Anpassung an die Umgebungsbedingungen bieten. Besonders interessant ist dies für den Betrieb über einen großen Temperaturbereich, da sich ändernde Bauteileigenschaften durch eine Kalibrierung während der Laufzeit kompensiert werden können.

Zusätzlich zur Version des ADUs mit interner Multibit-Auflösung, wird eine weitere Version des Systems bereitgestellt, die eine interne Ein-Bit Auflösung konfiguriert. Die interne Ein-Bit Auflösung bietet den Vorteil einer geringeren Anfälligkeit für parasitäre systembedingte nichtlineare Verzerrungen, jedoch verringert sich die ENOB des Systems um etwa zwei Bit.

4.1.7 Entwicklung eines schnellen Prozessorkerns

Das Ziel dieses Teilprojektes bestand in der Konzeption und Implementierung eines hoch performanten Prozessors unter Verwendung von Hochtemperatur-ASIC-Technologie. Im Zuge der Konzepterstellung wurde ein Prozessorkonzept entwickelt, das die ISA erfüllt und gleichzeitig hohe Taktraten erreicht. Das ausgearbeitete Konzept enthält fünf verschiedene Phasen: Instruktion abrufen, Dekodieren, Ausführen, Speicherzugriff und Zurückschreiben.

Einige Phasen wurden aufgrund ihrer Komplexität in mehrere Subphasen unterteilt, um eine Verarbeitung mit dem Zieltakt zu ermöglichen. Der Prozessor wurde erweitert, um die Möglichkeit zu haben, die Pipeline der Ausführungsphase dynamisch zu verlängern. Dies gewährleistet eine In-Order-Verarbei-

tung, während der Prozessor seine Ressourcen optimal nutzt. Hierbei wurden verschiedene Architekturen eingesetzt, um die einzelnen Komponenten möglichst performant zu gestalten. Allerdings führt dies häufig zu einem hohen Grad an Parallelität, was wiederum die Chipfläche vergrößert.

Für die Instruction Fetch, den Instruktionscache und Datencache sowie für alle Ausführungseinheiten (Execute-Units) wurden individuelle Unittests entwickelt. Diese Unit Tests basieren auf einer UVM-Teststruktur und beinhalten entsprechende Agenten. Dabei wurde auf Wiederverwendbarkeit geachtet, sodass alle Ausführungseinheiten den gleichen Agenten importieren und individuell initialisieren können. Die Tests decken eine Vielzahl von Randfällen und eine breite Palette von zufällig generierten Testszenarien ab. Die zufällig generierten Tests sind so konstruiert, dass sie nur valide Eingabedaten produzieren. Die Performance jeder einzelnen Einheit wird mit einer Referenzimplementierung in SystemVerilog verglichen, wobei auftretende Abweichungen angezeigt werden. Alle Einheiten werden in einer Top-Level Testbench zusammengeführt, um eine zentrale Steuerung aller Tests zu ermöglichen. Darüber hinaus wurden diverse kombinierte Tests sowie Tests aller Ausführungseinheiten zusammen durchgeführt, um potenzielle Synchronisationsprobleme zu identifizieren. Ein Test des Kerns ohne Caches wurde durchgeführt, sowie ein Tests mit Caches, jedoch ohne Hauptspeicher, und abschließend ein Tests, der nur noch die Toplevel Signale (JTAG) anlegt und das gesamte System testet.

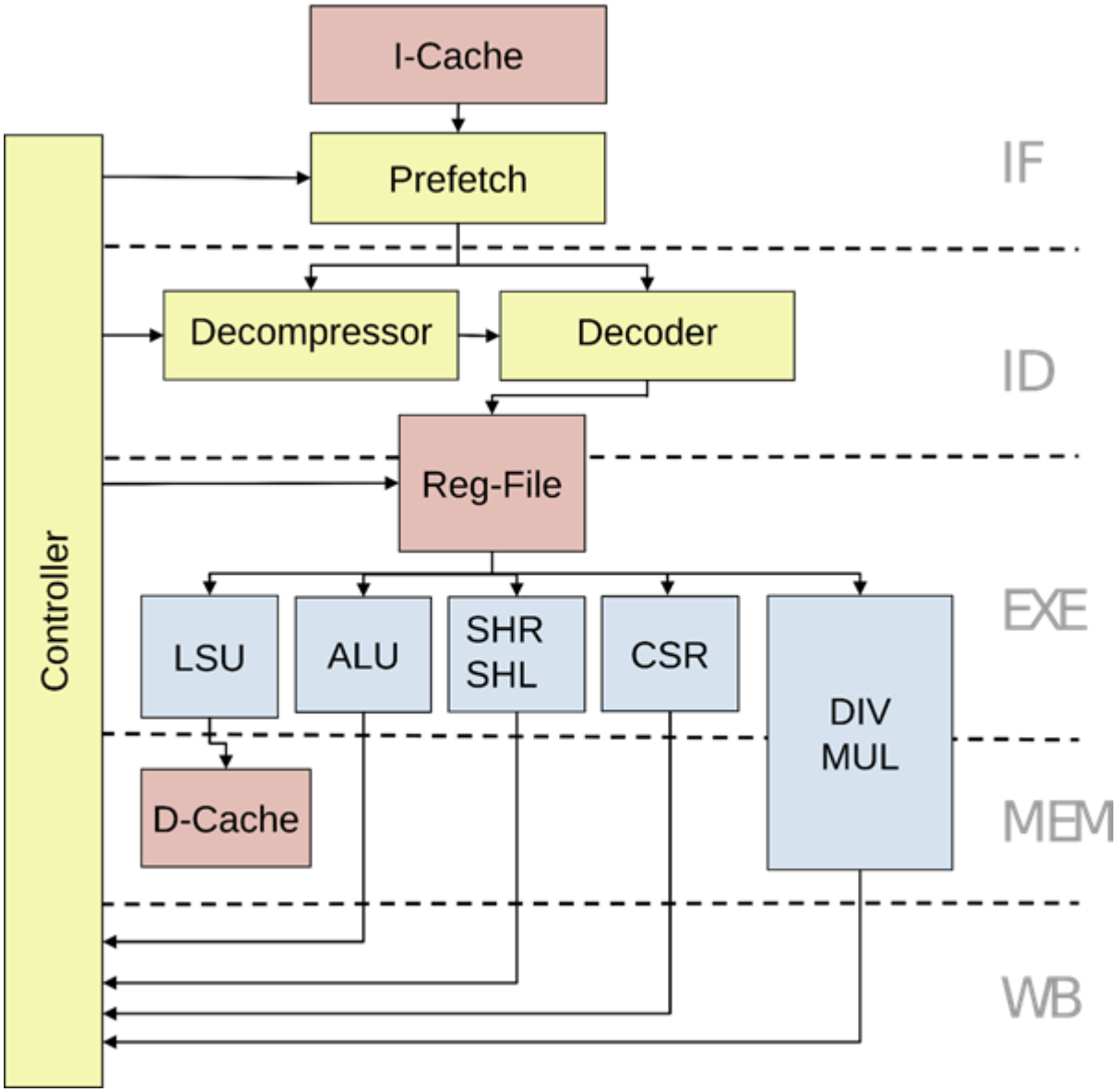


Abbildung 17: Der Prozessorkern mit den fünf übergeordneten Pipelinestufen

Zudem wurde um den Prozessor herum ein System-on-Chip (SoC) entwickelt. Dieses SoC umfasst einen Instruktions-Cache, der in die „Instruction Fetch Unit“ integriert ist, einen dedizierten Daten-Cache sowie ein on-chip-Bussystem, das den Prozessor, die Caches und den On-Chip-Speicher verbindet. Der Daten-Cache ist in der Lage, mehrere Datenworte zwischenzuspeichern und dem Prozessor mit maximalem Takt zur Verfügung zu stellen. Dieser Cache ist notwendig, um die Verzögerungen durch ein langsames Interconnect-System und die damit verbundenen größeren Hauptspeicher zu überdecken.

Dieses SoC wurde um eine Debug-Schnittstelle erweitert, die eine Kommunikation über JTAG auch nach außen ermöglicht. Der Prozessor verfügt damit über grundlegende Debug-Funktionen: Er kann während des Betriebs anhalten und wieder starten. Solange der Prozessor angehalten ist, kann die

Registerbank ausgelesen und verändert werden. Zudem lässt sich ein eingeschränkter Satz an Instruktionen ausführen. Diese werden jedoch vollständig nacheinander abgearbeitet, sodass die Prozessor-Pipeline im Debug-Modus anders genutzt wird als im Normalbetrieb. Ein Modul, das Floating-Point-Arithmetik beherrscht, wurde implementiert und für hohe Taktraten in der Zieltechnologie optimiert.

Die maximale Taktfrequenz ist aktuell durch die Speicher, die sich am Technologielimit bewegen, begrenzt. Um diese Speicher mit dem Rest des Systems zu verbinden, wurde ein Clock-Domain-Crossing entworfen. Aus diesem Grund ist das Debug-Modul nicht direkt an den Bus angeschlossen, sondern für eine direkte Kommunikation mit dem Kern konzipiert.

4.1.8 Entwicklung eines intelligenten, schnellen Klasse-D Verstärkers

Das Teilprojekt zur Entwicklung eines intelligenten, schnellen Klasse-D Verstärkers, welcher unter anderem als Hochvolt-Halbbrücke z.B. für Schaltwandlerapplikationen oder als Ansteuerung für einen 3-Phasen-Elektromotor eingesetzt werden kann, wurde während des Entwicklungszeitraums in vier Arbeitspakete unterteilt. Die enthaltene Leistungsstufe wurde so ausgelegt, dass diese bei einer Umgebungstemperatur von 175 °C einen Laststrom von bis zu 3 A bereitstellen kann und der Einsatz für Geothermieanwendungen hinsichtlich Temperatur und Zuverlässigkeit gewährleistet ist.

Für das erste Arbeitspaket wurde die Leistungsstufe, bestehend aus den Leistungsschaltern, Gate-Treibern und Pegelumsetzer, nach Abbildung 18 entwickelt. Die Leistungsstufe wurde so ausgelegt, dass die Funktion in Hinblick auf die zuvor genannten Spezifikationen mit einer Schaltfrequenz von mindestens 2 MHz im Einsatz für Geothermieanwendungen hinsichtlich Temperatur und Zuverlässigkeit gewährleistet ist. Die jeweilige Last wird extern an die nach außen geführten Pads angeschlossen, was in Abbildung 18 rechts der rot gestrichelten Linie dargestellt ist.

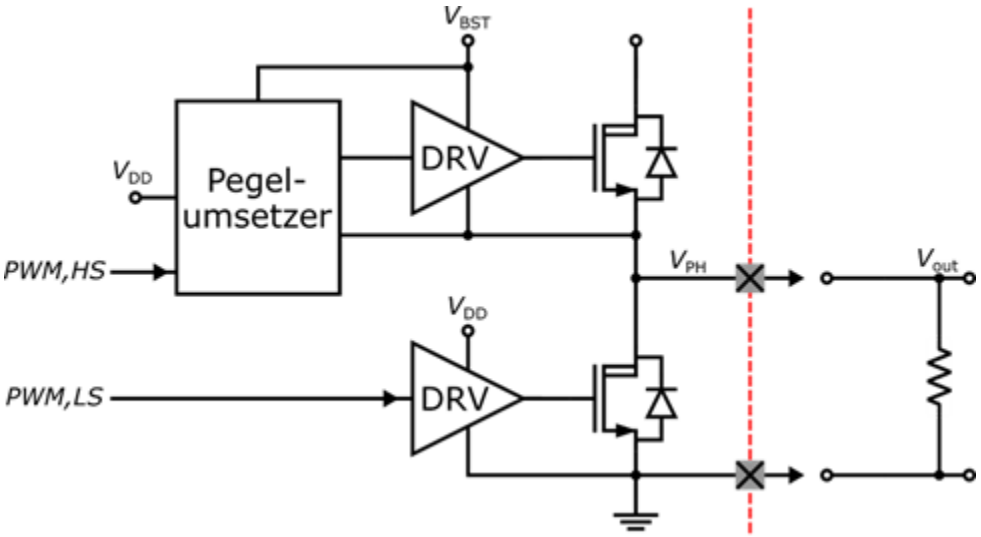


Abbildung 18: Konzept des Klasse-D Verstärkers

Aufgrund der maximal möglichen Eingangsspannung werden für die Leistungsschalter Superjunction-Transistoren verwendet. Um bei einem Laststrom von 3 A eine möglichst geringe statische Verlustleistung zu erreichen, müssen die Leistungstransistoren eine gewisse Größe aufweisen. Bei einer elektrischen Weite von W = 150 mm weisen die Leistungstransistoren einen Einschaltwiderstand von je 130 mΩ auf. Die statische Verlustleistung weist somit einen Wert von etwa $(3\ \mathrm{A})^2 \cdot 130\ \mathrm{m\Omega} = 1{,}2\ \mathrm{W}$ auf. Durch eine mäanderförmige und damit quadratische Aufteilung der elektrischen Weite nimmt einer der Leistungstransistoren eine Fläche von knapp 1 mm² ein. Weitere Metallisierung und die Verschaltung des Leistungstransistors erhöht die finale Fläche um einen zwei- bis dreimal so großen Wert.

Der Gate-Treiber zur Ansteuerung der beiden Leistungstransistoren ist in Abbildung 19 dargestellt. Um eine geringe Laufzeitverzögerung zu gewährleisten, wird ein kaskadierter Gate-Treiber mit insgesamt sechs Inverter-Stufen verwendet. Die ersten fünf Stufen sind dabei in einem Split-Path-Ansatz implementiert, um die Verluste durch Querströme in der letzten Inverter-Stufe zu verringern.

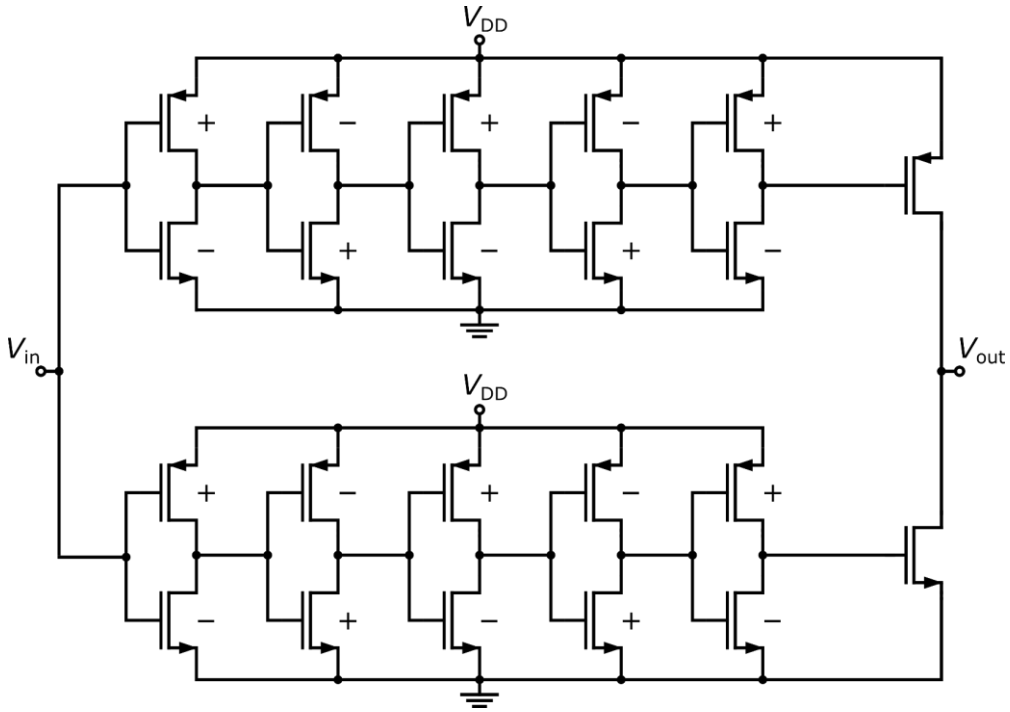


Abbildung 19: Schaltungsaufbau des Gate-Treibers

Die Eingangsspannung V_{in} zur Ansteuerung des Leistungsschalters wird auf zwei Pfade aufgeteilt, welche zu der letzten Inverter-Stufe führen. Durch eine asymmetrische Dimensionierung der kaskadierten Transistoren wird sichergestellt, dass die beiden letzten Transistoren schneller ausschalten als der jeweils andere eingeschaltet wird.

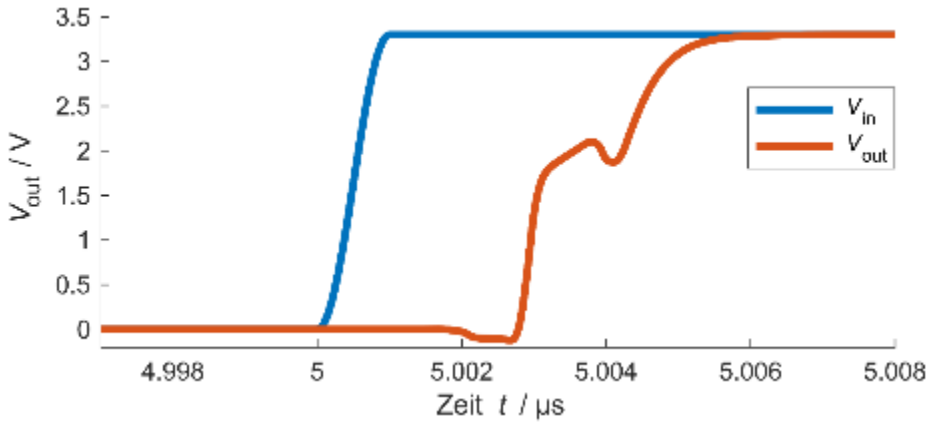


Abbildung 20: Zeitliches Schaltverhalten des Gate-Treibers

Der Gate-Treiber weist bei der hier aufgeführten Auslegung eine Laufzeitverzögerung (Propagation Delay) von t_{pd} = 2,5 ns auf – siehe Abbildung 20. Wird einer der beiden Leistungstransistoren angeschlossen, beträgt die Dauer zum vollständigen Einschalten von diesem etwa t_{switch} = 3 ns. Die Anstiegsrate (Slew Rate) der Drain-Source Spannung beträgt dabei SR = 50-60 V/ns. Mit diesem zeitlichen Schaltverhalten ist die Funktion der Leistungsstufe im MHz-Bereich gewährleistet.

Zur Ansteuerung des High-Side Leistungstransistors wird der kapazitive Pegelumsetzer in Abbildung 21 verwendet. Dieser ist verantwortlich dafür, dass bei fallender und steigender Transiente der Phasenspannung V_{PH} der Leistungstransistor fehlerfrei ein- und ausgeschaltet werden kann. Die Hauptkomponenten des Pegelumsetzers sind die Eingangsstufe in der Low-Side sowie Schutzdioden, eine Austast-Schaltung und ein SR-Flipflop vor dem Ausgang V_{out} in der High-Side.

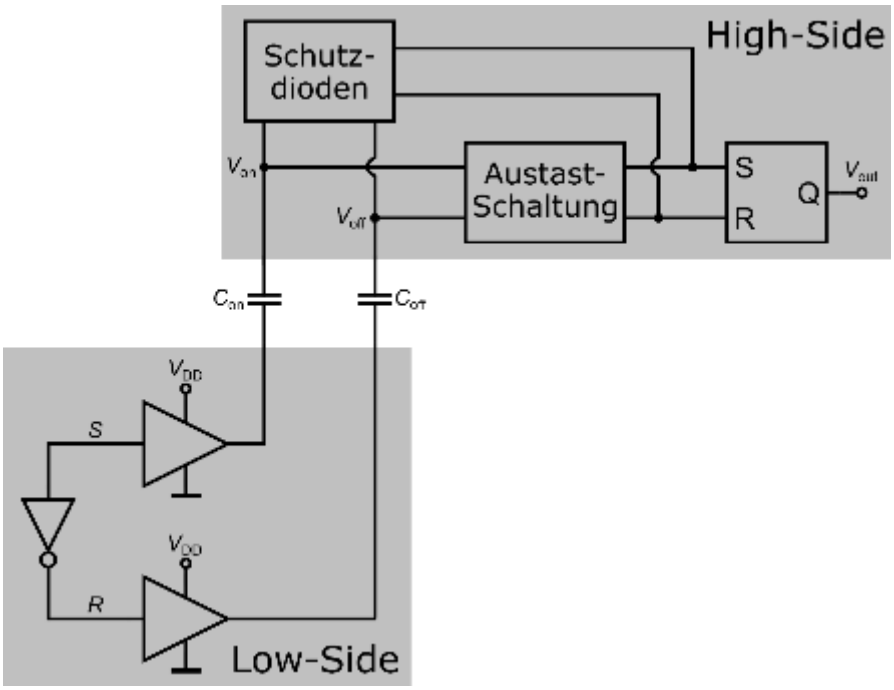


Abbildung 21: Prinzip-Schaltbild des Pegelumsetzers

An die Eingangsstufe des Pegelumsetzers wird das PWM-Signal aus der Low-Side angeschlossen. Das Setz-Signal *S* gibt an, wann das Ausgangssignal des Pegelumsetzers ausgegeben werden bzw. das Einschalten des High-Side Leistungstransistors erfolgen soll. Das Rücksetz-Signal *R* ist das invertierte Setz-Signal *S* und ist für das Ausschalten des High-Side Leistungstransistors verantwortlich. Die Kapazitäten C_{on} und C_{off} übertragen die jeweils gepulsten Signale an die High-Side. Diese werden nach dem Durchlaufen der Austast-Schaltung an das SR-Flipflop am Ausgang übergeben. Die Austast-Schaltung wird beim Pegelumsetzer benötigt, um den Einfluss von Potentialänderungen am Schaltknoten V_{PH} auf den Schaltzustand des SR-Flipflops zu verhindern.

Die Schutzdioden haben die Aufgabe den Pegelumsetzer nach einer Schalttransienten wieder schneller in den Initialzustand zu versetzen und den Potentialen V_{on} und V_{off} definierte Pegel zuzuweisen. Zusätzlich gewährleisten diese Dioden, dass die digitalen Eingänge der High-Side Logik vor Überspannungen durch den fliegenden Schaltknoten V_{PH} geschützt sind.

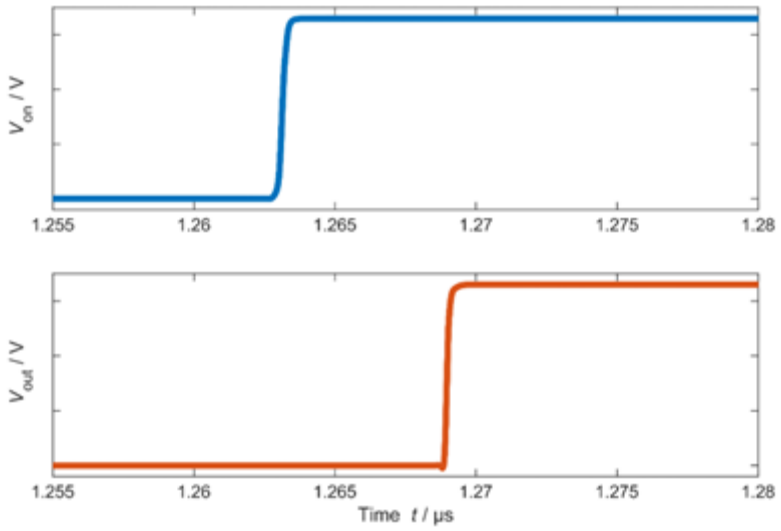


Abbildung 22: Übertragung des PWM-Signals in die High-Side

Abbildung 22 zeigt das Schaltverhalten des Pegelumsetzers auf. Das pulsweiten-modulierte Eingangssignal V_{on} der Low-Side wird mit einer Verzögerungszeit von etwa 6 ns in die High-Side übertragen. Die Ausgangsspanung V_{out} des Pegelumsetzers bezieht sich in diesem Fall auf den Schaltknoten V_{PH} und nicht auf die Masse. Da der Pegelumsetzer nur in der High-Side benötigt wird, wird in der Low-Side ein Verzögerungselement von etwa 6 ns gebraucht, um ein zeitgleiches Einschalten der beiden Leistungstransistoren ohne dieses Verzögerungselements zu verhindern. Diese wurden in den Low-Side Pfad eingefügt, was dem vollständigen Blockschaltbild der Leistungsstufe in der folgenden Abbildung 23 entnommen werden kann.

Das Gesamtsystem der Leistungsstufe wurde mit einem Lastwiderstand auf seine Funktionalität überprüft. Bei Raumtemperatur, der maximalen Eingangsspannung im nominellen Betrieb, einem Laststrom von 3 A und einer Schaltfrequenz von 2 MHz ergibt sich der in Abbildung 24 zeitlich dargestellte Verlauf der Ausgangsspannung V_{out}.

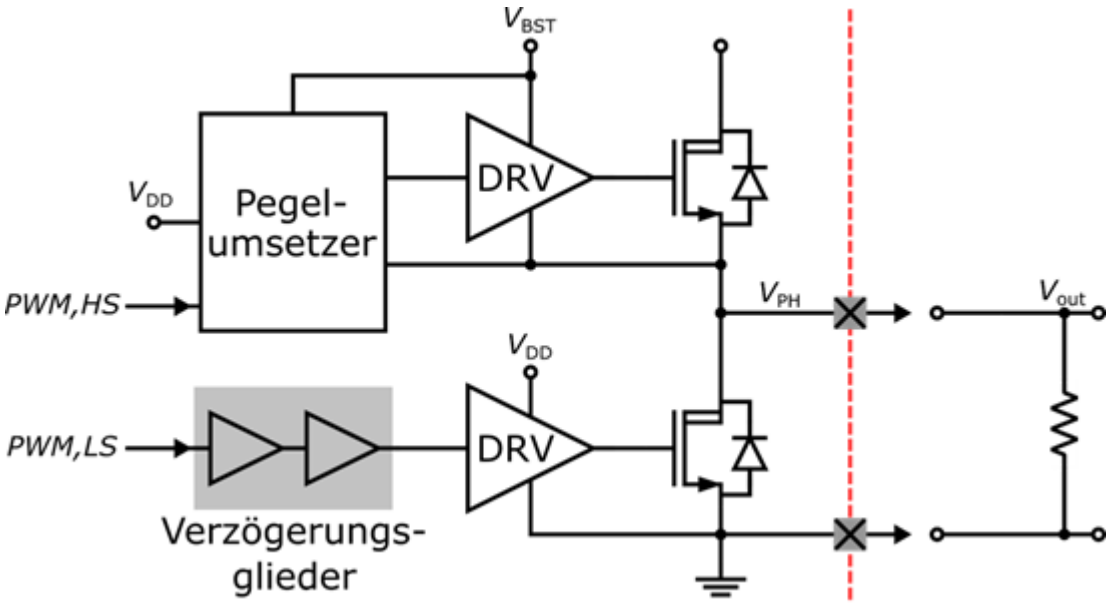


Abbildung 23: Blockschaltbild der Leistungsstufe mit Verzögerungsblock

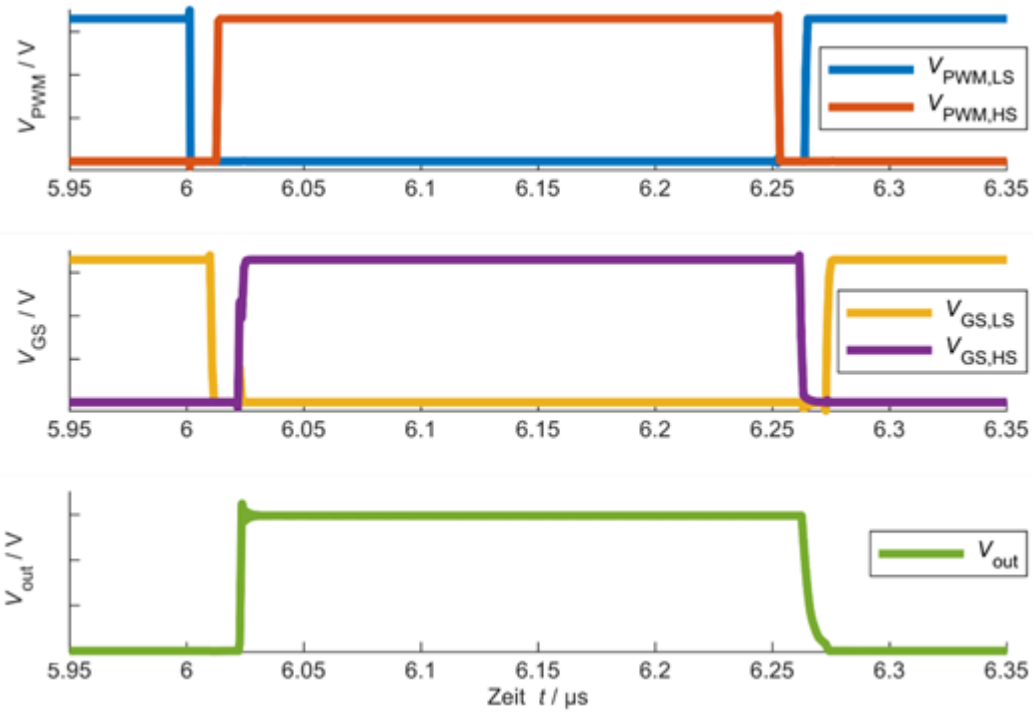


Abbildung 24: Zeitlicher Verlauf der Totzeitkontrolle und der Ausgangsspannung bei Raumtemperatur

Das nicht-lineare Absinken der Ausgangsspannung V_{out} tritt aufgrund der implementierten Totzeit zwischen den beiden Ansteuersignalen der Leistungstransistoren in High- und Low-Side auf. In der Totzeit,

in der beide Leistungstransistoren ausgeschaltet sind, fängt die Ausgangsspannung an, sich über die parasitären Kapazitäten des Low-Side Leistungstransistors zu entladen. Die Überschwinger der Ausgangsspannung V_{out} beim Einschalten des High-Side Leistungsschalters treten aufgrund parasitärer Größen in den Zuleitungen der chip-extern eingespeisten Eingangsspannung V_{INH} und dem High-Side Leistungstransistors auf.

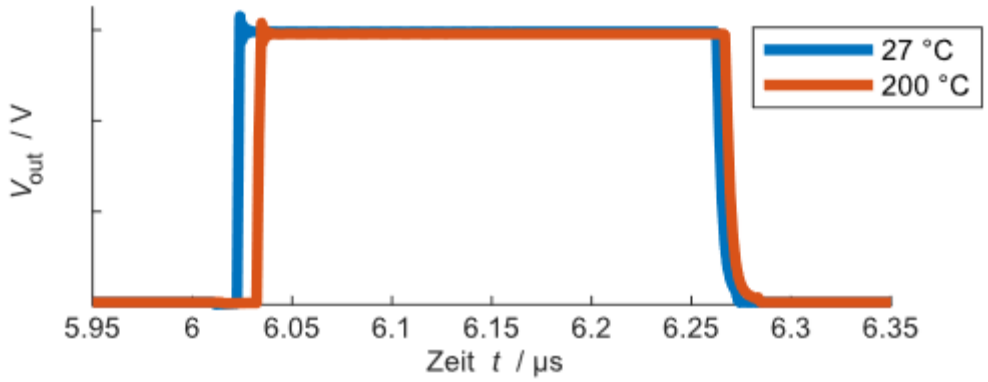


Abbildung 25 zeigt den Verlauf der Ausgangsspannung bei 200 °C im Vergleich zur Raumtemperatur.

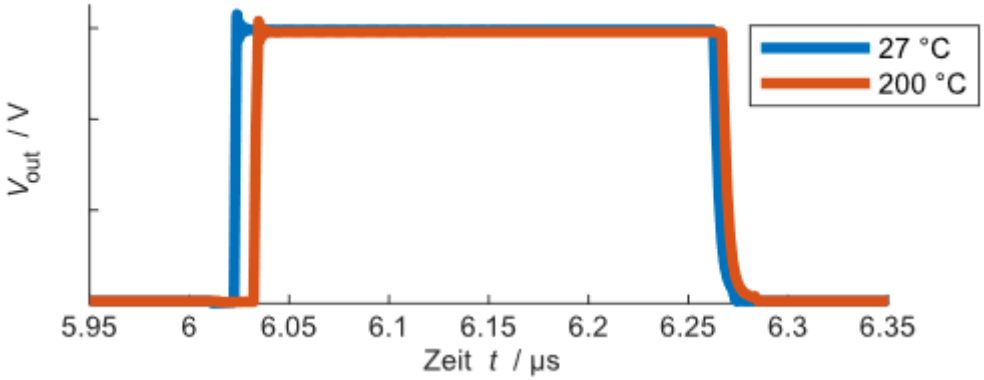


Abbildung 25: Verlauf der Ausgangsspannung bei Raumtemperatur und 200 °C

Mit diesen Ergebnissen erfüllt die Leistungsstufe alle technischen Spezifikationen und gewährleistet die Funktionalität bezüglich Temperatur und Zuverlässigkeit für den Einsatz in Geothermieanwendungen.

Für das zweite Arbeitspaket wurde eine integrierte aktive Bootstrap-Versorgungsschaltung entwickelt, welche benötigt wird, um die High-Side zu versorgen. Das Ziel hierbei war es, auf eine externe zweite Versorgungsspannung zu verzichten und die vorhandene Versorgungsspannung zu verwenden. Der Vorteil einer aktiven Bootstrap-Schaltung verglichen mit einer konventionellen Bootstrap-Versorgung ist es, dass der Spannungsabfall über die normalerweise verwendete Diode verhindert wird, da stattdessen ein aktiver Schalttransistor implementiert wird. Dieser aktive Schalttransistor schaltet die Versorgungsspannung V_{DD} zu der Bootstrap-Versorgung V_{BST}, wenn die High-Side ausgeschaltet ist, um die externe

Bootstrap-Kapazität aufzuladen. Wird die High-Side eingeschaltet, wird die High-Side, bestehend aus Gate-Treiber und Teilen des Pegelumsetzers über diese Kapazität versorgt.

Das dritte Arbeitspaket umfasste die Entwicklung einer Replica-Strommessstufe. Mit dieser Messstufe kann der Strom durch die beiden Leistungstransistoren detektiert und gemessen werden. Die Messung erfolgt dabei separat auf der High-Side und auf der Low-Side. Dafür wurde für beide Schaltungen jeweils ein Sense-Transistor als Stromspiegel eingesetzt, welcher den Strom durch den jeweiligen Leistungstransistor nachbildet. Der Strom durch den Sense-Transistor ist dabei deutlich kleiner als durch den Leistungsschalter, um die Verluste gering zu halten. Der nachgebildete Strom wird anschließend mithilfe eines Operationsverstärker in eine äquivalente stromproportionale Spannung umgewandelt, welche ausgelesen oder für interne Diagnosezwecke verwendet werden kann.

Im letzten Arbeitspaket wurden drei Diagnoseschaltungen entwickelt, welche die Performance der Leistungsstufe auswerten. Die Kurzschlussstrom-Detektion ermittelt, wann der maximale Laststrom überschritten wird. Die Open Load Detektion und die Unterspannungsschutz-Schaltung detektieren, wann die Ausgangsspannung V_{out} der Leistungsstufe den Maximalwert überschreitet, respektive die Versorgungsspannung V_{DD} den minimalen Wert unterschreitet.

In Abbildung 26 ist dazu abschließend das Prinzipschaltbild von zwei Leistungsstufen in der Applikation zur Realisierung eines Klasse-D Verstärkers zur Generierung eines 3 A Sinus-Spulentroms mit einer Frequenz von 2 MHz abgebildet. In der darauffolgenden Abbildung 27 sind die zugehörigen Signal-Zeit-Verläufe bei 27 °C und 175 °C dargestellt.

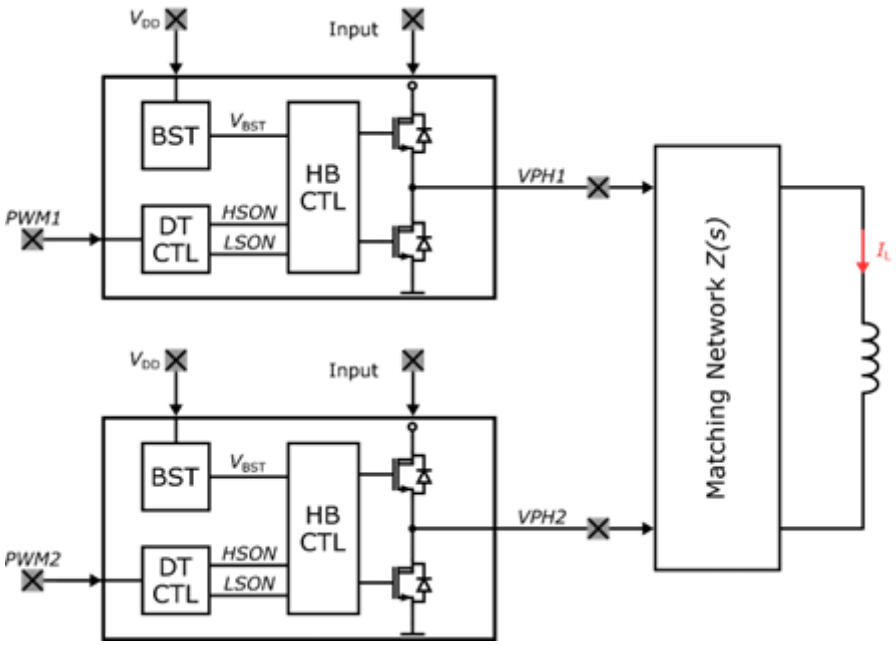


Abbildung 26: Prinzipschaltbild der Applikation des Klasse-D Verstärkers

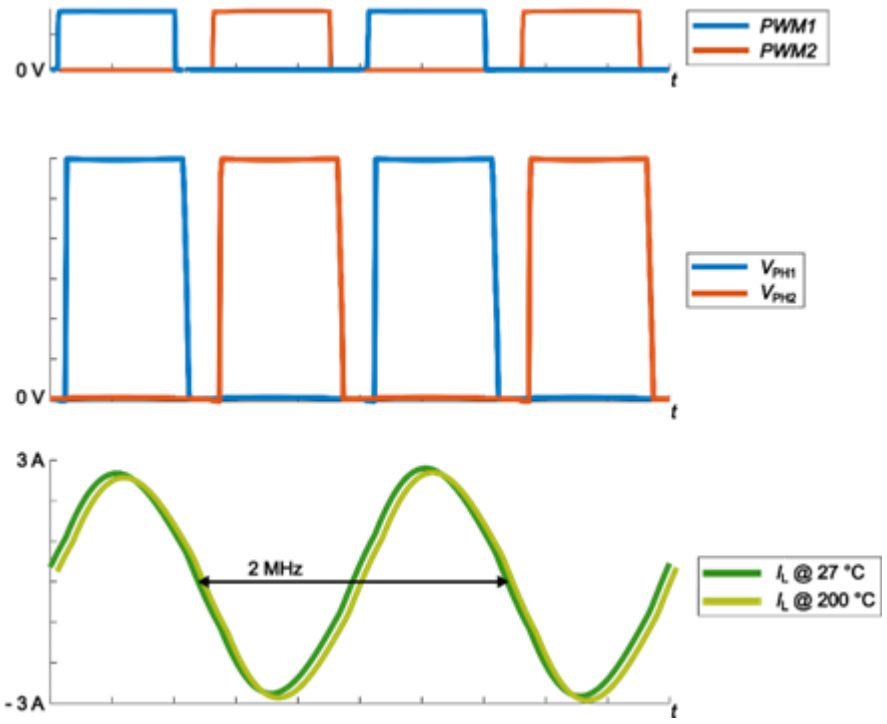


Abbildung 27: Signal-Zeit-Verläufe zur Applikation des Klasse-D Verstärkers

4.1.9 Design eines integrierten Abwärtswandlers, Konzept 2

Für die Implementierung des zweiten Abwärtswandlers wurde das Konzept des Abwärtswandler modifiziert und die Auslegung des dafür notwendigen externen Ausgangsfilters zur Realisierung einer BUCK-Abwärtswandlung überarbeitet, um höhere Eingangsspannungen konvertieren zu können.

Leistungsstufe

Für den Entwurf der Leistungsstufe wurden die Hochvolt-NMOS-Transistoren in der Halbbrücke und dem Pegelumsetzer aus AP 2.2 gegen flächentechnisch größere Hochvolt-NMOS-Transistoren ausgetauscht. Auch hier wurde wieder wie zuvor ein Transistortyp mit einer mindestens um 30 % höheren Drain-Source Spannungsfestigkeit als die maximal auftretende Eingangsspannung ausgewählt. Somit ist sichergestellt, dass während des Betriebs keine Schädigungen durch auftretende Schaltspitzen erfolgen können, welche das Resultat parasitärer Eigenschaften im Zuleitungszweig sind. Dazu ist eine höhere Spannungsfestigkeit ebenfalls notwendig, damit gemäß ESD-Designvorschrift der Technologie entsprechende ESD-Schutzstrukturen implementiert werden können. Diese sollten erst ab einer Spannung größer 10% der maximalen Eingangsspannung aktiviert werden und eine maximale Klemmenspannung kleiner der Drain-Source Spannungsfestig aufweisen.

Die Treiberstärken des High- und Low-Side Gate-Treibers wurden ebenfalls auf die neuen Parameter der Hochvolt-NMOS-Transistoren in der Halbbrücke angepasst und erhöht, damit auch weiterhin eine Totzeit von etwa 10 ns zwischen den Einschaltphasen von High- und Low-Side eingehalten und ein fehlerfreies Umschaltverhalten sichergestellt werden kann. Dies kann den Signal-Zeit-Verläufen der Gate-Source Spannungen V_GS_HS und V_GS_LS aus Abbildung 28 entnommen werden.

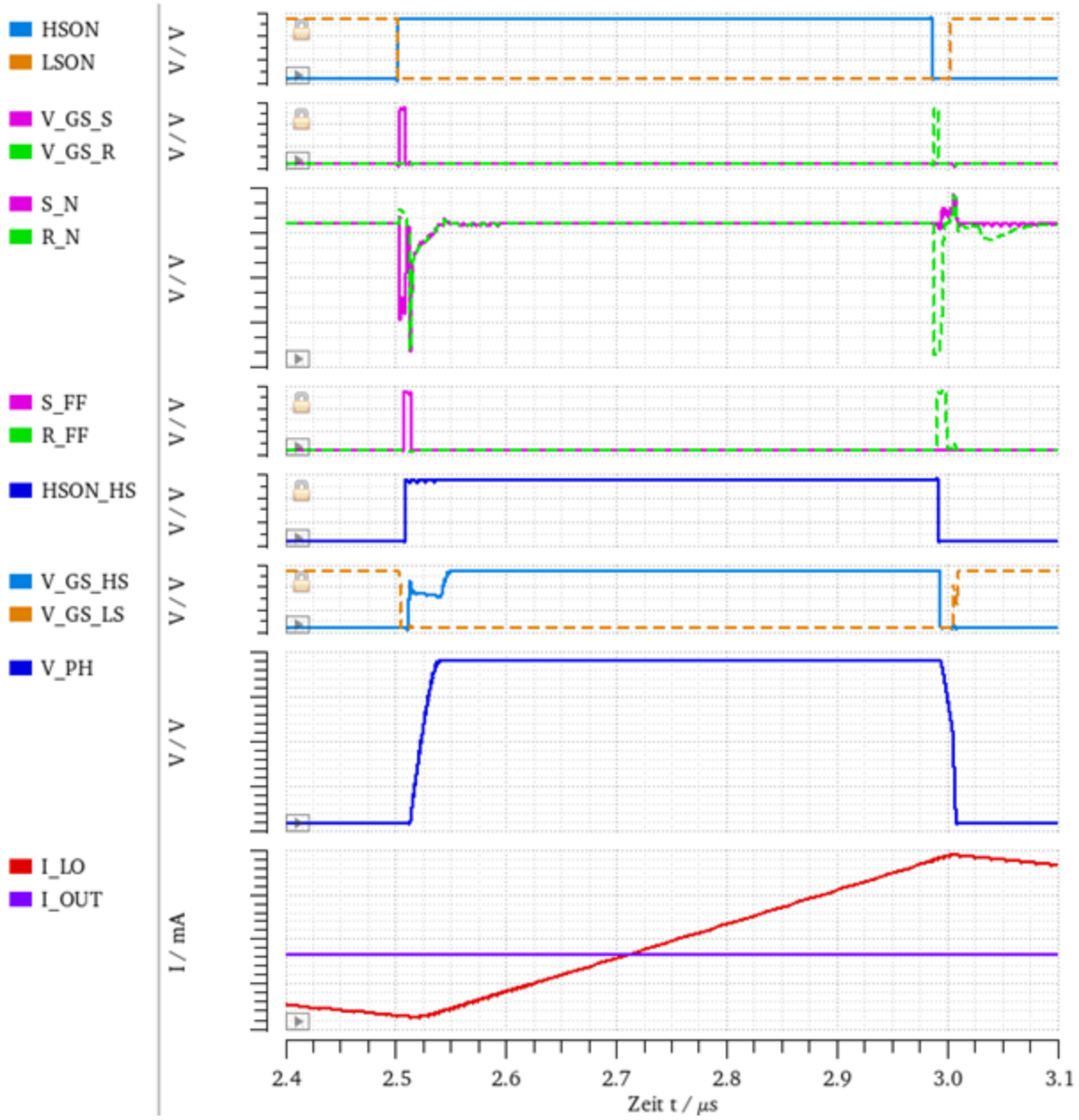


Abbildung 28: Simulationsergebnisse von Leistungsstufe u. Ausgangsfilter über Zeit, T = 27 °C

Abschließend wurde im Pegelumsetzer eine Ausblendlogik zur Gleichtaktstörfestigkeit (CMTI) vorgeschaltet. Dieses wurde erforderlich, da die nun flächentechnisch größeren Hochvolt-NMOS-Transistoren im Vergleich zum Pegelumsetzer aus AP 2.2 eine wesentlich größere parasitäre Drain-Source Kapazität besitzen, welche im Zusammenspiel mit der ansteigenden Eingangsspannung während des Einschaltvorgangs des High-Side Schalttransistors aus der Halbbrücke eine Gleichtaktstörung an den Eingängen S_N und R_N der High-Side Logik im Pegelumsetzer hervorrufen. Dies lässt sich den Signal-Zeit-Verläufen aus Abbildung 28 entnehmen. Anhand der Signal-Zeit-Verläufe aus Abbildung 29 wird deutlich, wie die Gleichtaktstörung an beiden High-Side-Eingängen durch die Ausblendlogik mittels Sperrsignal FF_RDY = 0 nicht an das SR-Flip-Flop weitergegeben wird. Dadurch wird der undefinierte Schaltzustand HSON_HS (bei S_FF = R_FF = 1) = X vermieden, sodass es zu keinem frühzeitigen Wiederausschalten des High-Side-Schalttransistors in der Halbbrücke kommen kann.

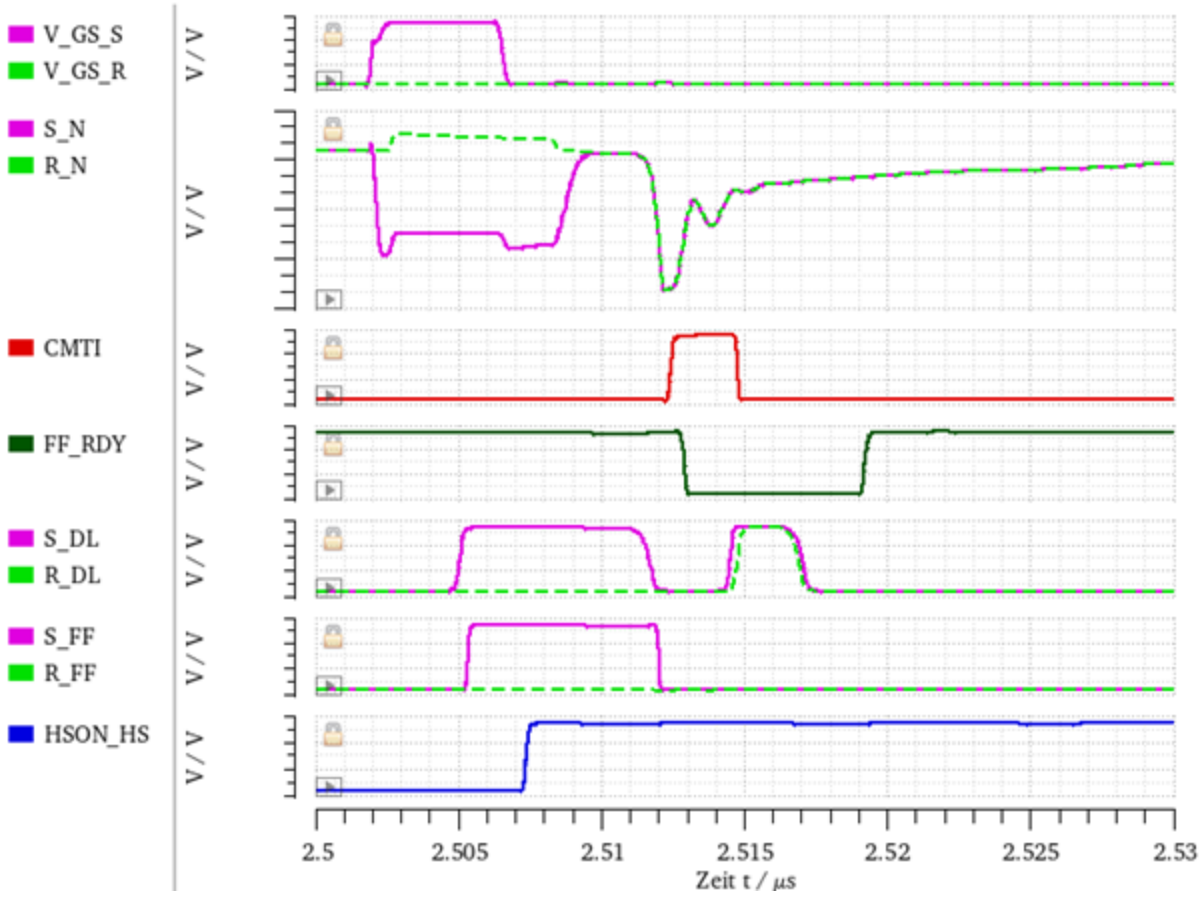


Abbildung 29: Simulationsergebnisse der Pegelumsetzer High-Side Logik über Zeit während des Einschaltvorgangs des High-Side Schalttransistors der Halbbrücke

4.1.10 Hochspannungs-Bootstrapping

Für das Bootstrapping des zweiten Schaltwandlerkonzepts wurde für den Schalttransistor MBST ein flächentechnisch größerer Hochvolt-NMOS-Transistor ausgewählt. Daraus resultierte die Notwendigkeit einer Redimensionierung der Diode D_1, der Kapazität C_1 und der Treiberstärke des Treibers DRV. Die Anpassung war aufgrund der größeren parasitären Drain-Source Kapazität des Schalttransistors MBST und des nun ansteigenden Potenzials des Schaltknotens V_PH erforderlich, damit für den Schalttransistor MBST unter Berücksichtigung von Prozessvariation und des Temperaturbereichs zwischen -30 °C und 175 °C ein sicheres Ausschalten, während der HSON Einschaltphase gewährleistet werden kann.

Andernfalls würde es während der HSON Einschaltphase zu einer Rückspeisung aus der Bootstrapspannung V_BST in die Versorgungsspannungsdomäne V_DD der Low-Side kommen, was zu einer fehlerhaften Versorgung der High-Side Schaltungsblöcke und somit einem fehlerhaften Schaltverhalten der gesamten Leistungsstufe führen kann.

In Abbildung 30 sind die Signal-Zeit-Verläufe während des Betriebs der Leistungsstufe bei maximalem Ausgangsstrom und einer Low-Side Versorgungsspannung exemplarisch dargestellt. Die Verifikation des Hochspannungs-Bootstrapping Schaltungsblocks erfolgte dabei zusammen mit der Leistungsstufe, den relevanten Schaltungsblöcken zur Versorgungsspannungsdomäne der Low-Side des ersten Abwärtswandlerkonzepts sowie parasitären Elementen in den Zuleitungszweigen zur externen Bootstrap-Kapazität C_{BST_EXT}. Ein durch Prozessvariation und Temperatur resultierender Toleranzbereich für V_DD wurde dabei ebenfalls verifiziert.

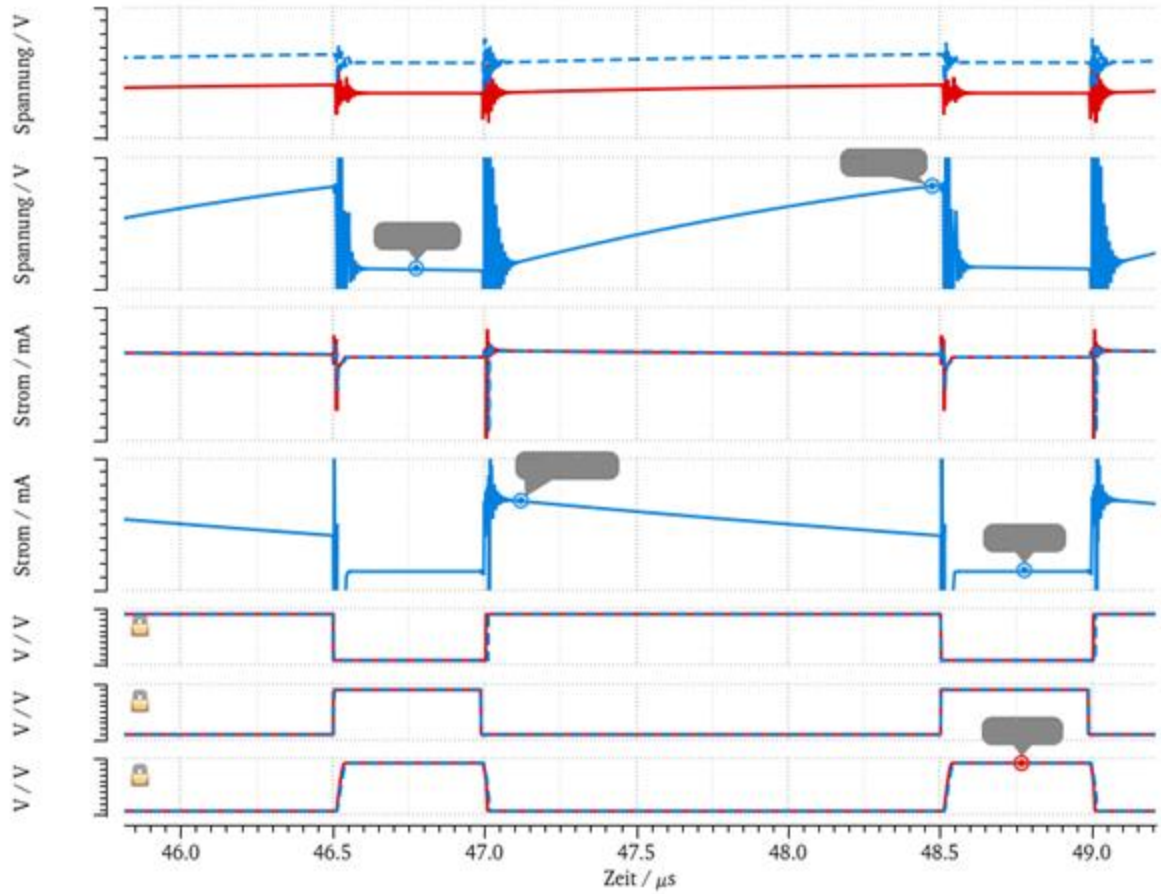


Abbildung 30: Signal-Zeit-Verläufe der Leistungsstufe und des Aktiven Hochspannungs-Bootstrappings bei 27 °C und 175 °C

Die Signal-Zeit-Verläufe von V_BST und I_MBST zeigen ebenfalls die durch die parasitären Elemente in den Zuleitungszweigen hervorgerufenen Schalttransienten zu den Umschaltphasen der Signale HSON und LSON. Diese sind zum einen ein Resultat der hohen Stromspitzen, während der HS Treiber umschaltet und den Bootstrap-Kapazitäten Ladung entnimmt und zum anderen aufgrund von Ladungsverschiebungen durch die Potenzialverschiebung des V_PH Knotens. Um die Auf- und Entladevorgänge der Bootstrap-Kapazitäten eindeutiger darzustellen, wurden die Signal-Zeit-Verläufe von V_BST und I_MBST noch einmal bei 27 °C exemplarisch hervorgehoben.

Der Abbildung 30 lässt sich abschließend entnehmen, dass für Geothermieanwendung bis 175 °C eine Hochvolt-Bootstrapversorgung innerhalb des Toleranzbereichs sichergestellt und ein fehlerfreies Schaltverhalten der Leistungsstufe garantiert werden kann.

4.1.11 Strommessschaltung

Es wurden drei Konzepte zur Realisierung einer Strommessung erarbeitet worden, die unterschiedliche Randbedingungen und Anforderungen an integrierte Strommessschaltungen berücksichtigen. Nachfolgende Einsatzmöglichkeiten wurden identifiziert.

1 Selbstdiagnose
Strommessungen von Schaltungen und Schaltungsteilen im Integrierten Schaltkreis. Die Besonderheit besteht darin, dass die zu messenden Ströme im Mikro- oder unterem Milliampere-Bereich liegen. Die Auflösung muss wenige µA betragen.

2 Messung von Hochstrompfaden
Hierbei steht die Diagnose von externen Schaltungen im Vordergrund. Die externen Schaltungen können Schaltungen der Spannungsversorgung sein (z.B.: DC/DC Converter) aber auch die Phasen eines Antriebes können hiermit gemessen werden. Hier sind höhere Strombereiche zu erfassen, die unter Umständen in höheren DC-Arbeitspunkten zu entnehmen sind.

3 Die Strommessung als Istwertgeber in einer Stromregelschaltung.
Dieses Konzept findet Anwendung in regelungstechnisch optimierten Regelkreisen von DC/DC-Konvertern. Hierbei stellt die Systembandbreite einen limitierenden Faktor dar.

Messung von Strömen über einen Shunt-Widerstand

Eine Spannungsmessung über einem Shunt-Widerstand wurde als geeignete Methode identifiziert, um Stromwerte zur Selbstdiagnose als auch zum Messen von Hochstrompfaden zu erfassen.

Bei der Messmethode mit einem Shunt-Widerstand ist dieser möglichst niederohmig zu dimensionieren, um sowohl die Verlustleistung zu minimieren als auch einem unerwünscht hohen Spannungsfall zu vermeiden, der eine Verschiebung des Ground-Potenzials zur Folge hätte.

Diese Messmethode stellt daher besondere Ansprüche an den Messverstärker, der nicht nur volldifferenziell messen muss, sondern auf Grund der geringen Potenzialdifferenz auch eine hohe Verstärkung bei niedriger Eingangs-Offsetspannung aufweisen muss. Zu Verifikationszwecken wurde der Instrumentenverstärker auf eine Verstärkung A = 40 dB eingestellt und mit einem 10 mV Eingangssignal beaufschlagt. In Abbildung 31 ist die Ausgangsspannung abzulesen, die sich nach Formel 1 ergibt und bei V_{OUT} = 2.5 V liegt.

$$\boldsymbol{V_{OUT} = A * (V_{INP} - V_{INM}) + VCM}$$

Formel 1: Ausgangsspannung des volldifferenziellen Instrumentenverstärkers

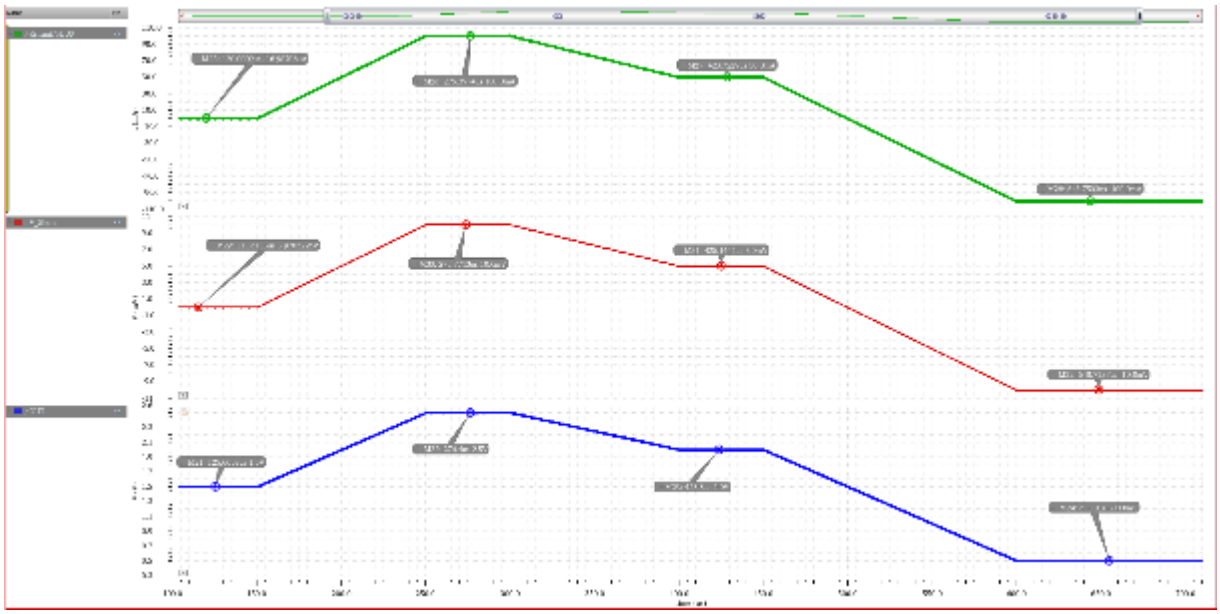


Abbildung 31: Transienter Verlauf der Ausgangsspannung eines Instrumentenverstärkers

Abbildung 31 zeigt die Funktionsweise der entwickelten Schaltung in der transienten Simulation. Die obere Kennlinie stellt den Stromverlauf durch den Shuntwiderstand dar und damit das zu messende Signal. Die mittlere Kennlinie entspricht dem Spannungsabfall über dem Shuntwiderstand in Folge des Stromflusses, wobei das Vorzeichen die jeweilige Richtung des Stromes angibt. Die untere Kennlinie bildet das von der entworfenen Schaltung verstärkte Messsignal ab, das entsprechend der voreingestellten Verstärkung von 100 eine um diesen Faktor vergrößerte Spannungsdifferenz am Ausgang des Verstärkers anzeigt. Zum Abbilden von sowohl positiven als auch negativen Strömen wurde der Nullpunkt am Ausgang des Verstärkers auf 1.5 V eingestellt. Demensprechend entspricht ein Signal kleiner 1.5 V einer negativen Stromrichtung und größer 1.5 V einer positiven Stromrichtung.

Die in diesem Arbeitspaket entworfene Strommessschaltung wurde verifiziert. Die Simulationsergebnisse sind über Temperatur und Prozessvariationen stabil.

Messung von Strömen in Hochstrompfaden

Eine Strommessschaltung für Hochspannung wurde im Rahmen von AP 2.8 entwickelt. Hierbei wurde das Strom-Replika-Verfahren angewendet. In Abbildung 32 ist die Implementierung innerhalb des Designs des Klasse-D Verstärkers zu sehen. Abbildung 33 zeigt die zugehörigen Simulationsergebnisse. Die Strom-Replika-Schaltung wird ebenfalls im zweiten Wafer Run in Arbeitspaket AP 6 integriert.

Damit ist dieses Arbeitspaket AP 5.3 abgeschlossen.

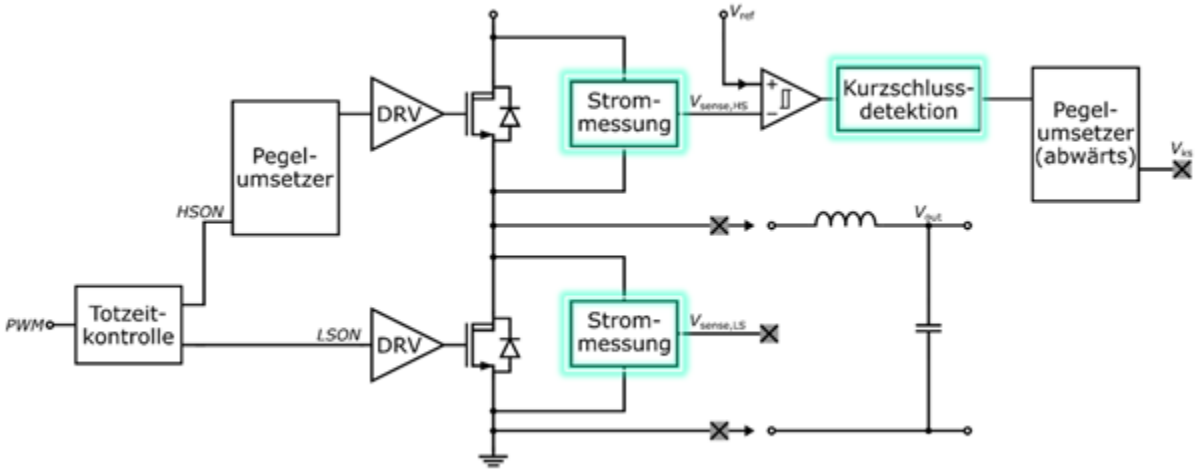


Abbildung 32: Strommessungen in der Highside/Lowside eines Klasse-D Verstärkers

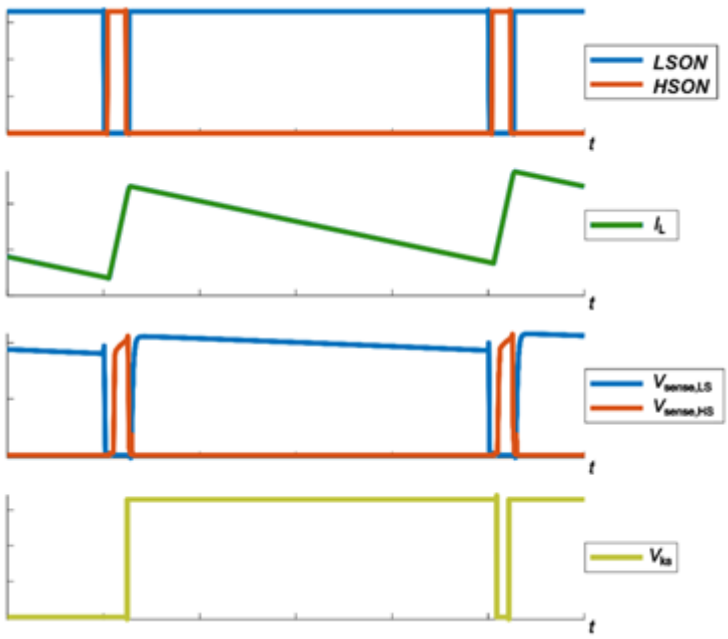


Abbildung 33: Simulationsergebnisse der Highside/Lowside Strommessung

4.1.12 On-Chip-Bus

Der On-Chip-Bus dient als Schnittstelle zwischen Prozessorkern und angebundenem Speicher- sowie Peripheriemodulen. Die Zugriffsrate des Prozessorkerns auf den Speicher ist höher als auf die der Peripherie, weshalb der On-Chip-Bus in einen Bereich mit hoher Datenrate und in einen Bereich mit geringerer Datenrate unterteilt wird. Das On-Chip-Bus -Protokoll wird für die Anbindung des Speichers genutzt. Der Zugriff auf die Daten erfolgt nach dem Pipelining-prinzip, wodurch sich der Zugriff in eine

Adress- und Datenphase unterteilt. Dadurch lassen sich höhere Taktraten erzielen und der Prozessorkern kann in jedem Takt ein neues Datenwort einlesen bzw. speichern. Das sekundäre On-Chip-Bus - Protokoll ist für die Ansteuerung von Peripheriemodulen vorgesehen. Bei diesem erfolgt das Anlegen der Adressen und Daten sequenziell. Dies führt zu einem langsameren Zugriff, erfordert jedoch weniger Hardwareaufwand.

Insbesondere ist eine deutliche Verringerung der Zugriffslatenz auf den langsamen Peripheriebus um mehr als 50% hervorzuheben. Es wurde hierbei die Annahme ausgenutzt, dass der Prozessor-Kerntakt immer mindestens so hoch wie der Peripherie-Bustakt ist. Dies ist in hier betrachteten Microcontroller-Systemen üblicherweise der Fall und stellt damit keine nennenswerte Einschränkung dar.

Das in AP2.7 verwendete Bussystem für den schnellen Prozessorkern erlaubt einen Multi-Master-Betrieb und ist kompatibel zu dem in diesem Arbeitspaket implementieren Bussystem. Bei zukünftiger Erweiterung um DMA-Funktionalitäten kann daher auch auf dieses Bussystem zurückgegriffen werden.

Damit steht ein flexibler On-Chip-Bus zur Verfügung.

4.1.13 Peripheriekomponenten

Die Integration von Peripheriekomponenten in die System-On-Chip Architektur erweitert das Einsatzgebiet des Prozessors. Durch die Verwendung einer seriellen Schnittstelle kann die Kommunikation mit externen Bausteinen erfolgen. Die Einbindung eines Timer-Moduls ermöglicht zeitabhängige Programmabläufe. Damit auf dem Prozessor einfache Steuer- und Kommunikationsaufgaben ausgeführt werden können, wurde als serielle Schnittstelle ein SPI-Modul (Serial Peripheral Interface) implementiert. Dieses wird genutzt, um auf Daten eines extern angebundenen Speichers zuzugreifen. Des Weiteren wurde eine asynchrone serielle Schnittstelle (UART) sowie einen I2C-Bus-Controller hinzugefügt, um Sensoren und andere externe Komponenten auszulesen bzw. anzusteuern sowie ein Watchdog-Timer zur Überwachung des korrekten Programmablaufs integriert, welcher das System im Fehlerfall zurücksetzen kann. Darüber hinaus wurde sowohl ein einfacher Interrupt-Controller als auch eine erweiterte Variante entworfen. Der einfache Interrupt-Controller ermöglicht das Auslösen periodischer Ereignisse sowie von Software-Interrupts, welche bei der Verwendung von Echtzeit-Betriebssystem Verwendung finden. Der erweiterte Interrupt-Controller bietet im Gegensatz zur einfachen Variante mehr Interrupt-Quellen, erlaubt also zukünftig die Anbindung einer größeren Anzahl an Peripheriemodulen, sowie konfigurierbare Prioritäten der Interrupt-Quellen.

Der Umgang mit Interrupt-Flags in einigen Peripherie-Modulen (SPI, UART, GPIO und weitere) wurde vereinheitlicht und auf dem FPGA-Emulationssystem getestet. Diese Änderung erlaubte die Vereinheitlichung von Firmware-Treibern. Ein GPIO-Modul wurde implementiert und um Funktionen zum direkten Setzen und Zurücksetzen von IO-Pins erweitert, welches kompakteren Code für IO-Funktionen bei gleichzeitig geringem Hardwareaufwand ermöglicht.

Damit steht eine Basis an Peripheriemodulen zur Verfügung, welche es erlauben, die gängigen Anforderungen an Kommunikations- und Steueraufgaben zur erfüllen.

Firmwaredesign

Für die Nutzung UART-Schnittstelle aus der Firmware heraus wurde ein Treiber-Modul programmiert. Damit wird ermöglicht, dass allgemeingültige Funktionalitäten aus der Firmware-Bibliothek hardware-unabhängig auf die UART-Schnittstelle zugreifen können. So wurde bereits die Trace-Funktionalität in die Firmware integriert, um über die UART-Schnittstelle Diagnosenachrichtigen in Echtzeit ausgeben zu können. Diese werden, neben dem Debugger, dafür genutzt, um das Laufzeitverhalten der Firmware zu überprüfen und Fehlerzustände zu erkennen.

In gleicher Art wurde ein Treiber-Modul für die SPI-Schnittstelle entwickelt, welche die Funktionen der hardware-unabhängigen SPI Firmware-Schnittstelle implementiert. Dieser Treiber kann damit von dem bereits in der Firmware-Bibliothek verfügbaren Treiber für einen externen Flash-Baustein genutzt werden.

Des Weiteren wurde ein Treiber für den Zugriff auf die im externen Flash-Baustein gespeicherte Firmware implementiert, sodass sowohl Applikationen durch den Prozessor geladen werden können als auch Aktualisierungen dieser Firmware über die verfügbaren Kommunikationsschnittstellen erfolgen können.

Mit Hilfe dieser Treibermodule wurde die Verifikation der Funktionalitäten der Hardwareeinheiten durchgeführt.

4.1.14 JTAG Adapter

Für die Hardware des JTAG-Adapters wurde ein Konzept gewählt, welches mit Hilfe eines USB-nach-JTAG Wandlerbausteins die erforderlichen seriellen Signalverläufe zur Ansteuerung der JTAG-Schnittstelle generiert. Die Vorteile des gewählten Bausteins liegen darin, dass die zusätzliche externe Beschaltung einfach ist und dass Treiber- und Programmierschnittstellen für verschiedene Programmier- und Skriptsprachen verfügbar sind. Weiterhin wird dieser Baustein von dem Debugger, welcher für den Prozessor ausgewählt wurde, unmittelbar unterstützt.

Abbildung 34 zeigt das Konzept des entworfenen Adapters, um die Verbindung zwischen einem Computer und einem Controller zu realisieren.

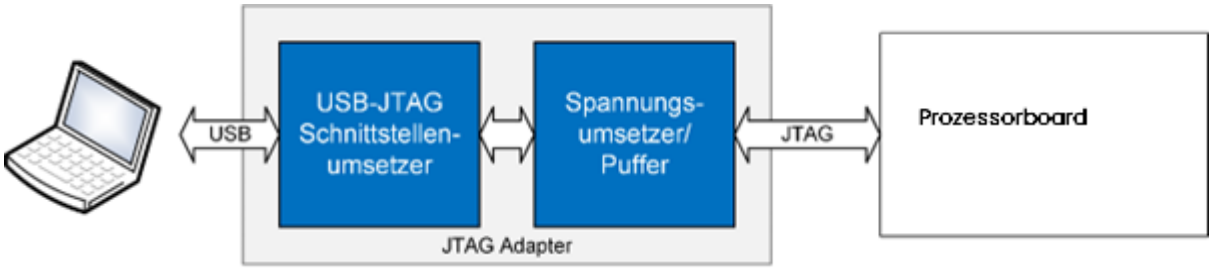


Abbildung 34: JTAG Adapter (Konzept)

Die entwickelte Schaltung setzt sich im Wesentlichen aus dem FT2232H USB-zu-JTAG Wandler und mehreren Spannungsumsetzern zusammen. Die Schaltung wird aus der USB-Spannung in Verbindung mit einem Low-Dropout-Regler versorgt, sowie einer weiteren Kleinspannung, welche von dem JTAG-Baustein selbst generiert wird.

Die Spannungsumsetzer decken zwei wesentliche Funktionen ab. Zum einen ermöglichen sie eine variable Anpassung der JTAG-Signal-Spannungspegel an die Zielkomponente. Dies erhöht die Flexibilität und damit Wiederverwendbarkeit des Adapters für zukünftige Chipdesigns. Der zweite Aspekt ist die spannungsmäßige Entkopplung des Adapters von der Zielplatine, indem die Ausgangstreiber nicht versorgt bzw. nach Bedarf in einem hochohmigen Zustand geschaltet werden. Dies verhindert Querströme zwischen USB-Schnittstelle/Computer und dem Ziel, wenn beispielsweise die Spannungsversorgung von letzterem kurzzeitig ausgeschaltet wird. Dieses Szenario tritt insbesondere in automatisierten Testabläufen häufig auf und kann die Messungen negativ beeinflussen.

Neben den fünf JTAG-Signalen wurde auch eine Ansteuerung eines Reset-Signals vorgesehen. Insgesamt deckt das Design damit sowohl elektrisch als auch funktional alle Anforderungen ab.

Der Schaltplan wurde in ein Platinenlayout überführt, die Platine anschließend gefertigt und die Komponenten bestückt. Der Adapter wurde mit dem Testchip in Betrieb genommen, und die Programmierung und In-System-Debugging erfolgreich demonstriert. Weiterhin wurde ebenfalls eine Ansteuerung in der Skriptsprache Python unter Nutzung einer geeigneten Softwarebibliothek exemplarisch durchgeführt.

Damit steht ein vollständig funktionierender JTAG-Adapter zur Verfügung, der flexibel für aktuelle und zukünftige Chipdesigns eingesetzt werden kann.

4.2 Chipfertigung

Im Rahmen des Projekts wurden zwei Chipfertigungen durchgeführt. Abbildung 35 und Abbildung 36 zeigen die jeweiligen Wafer. Für jeden der im Bericht genannten Chipdesigns ist Zwecks Vorbereitung zur Fertigung ein Toplevel-Layout erstellt worden.

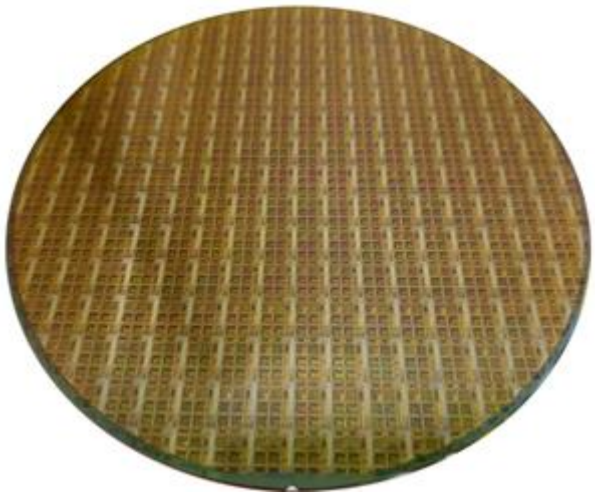


Abbildung 35: Wafer zur Chipfertigung aus Arbeitspaket AP 3

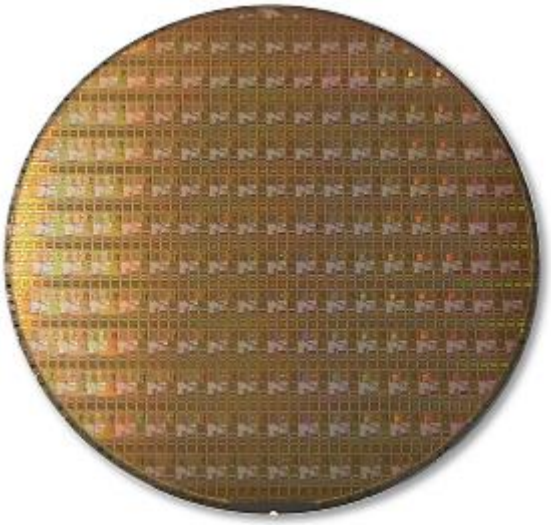


Abbildung 36: Wafer zur Chipfertigung aus Arbeitspaket AP 6

4.3 MCM-Technologie

4.3.1 MCM Technologie

Die Anforderungen hinsichtlich Strukturgrößen, Zuverlässigkeit und Qualität von MCM-Substraten wurden identifiziert. Auf Basis eines Referenzlayouts, das unterschiedliche Aspekte der COB-Technologie abtestet, wurden Machbarkeits- und Angebotsanfragen gestartet. Hierbei stellte sich heraus, dass insbesondere die Drahtbondverbindungen hohe Anforderungen an die Strukturgrößen, die Prozessierung und die Qualität der Metallisierungen stellen. Da auf Leiterplatten im Regelfall gelötet und nicht drahtgebondet wird, unterschied sich die Wissensbasis der verschiedenen Lieferanten hier teils deutlich.

Nach Einholung der Anfragen erfolgte im Anschluss die Bewertung und Selektion der vielversprechendsten Lieferanten und Basismaterialien sowie die Definition einer geeigneten Testprozedur. Das Referenzdesign wurde bei insgesamt zwölf Lieferanten angefragt. Von diesen kamen zehn Substrathersteller wegen unterschiedlicher Gründe nicht in Frage: Stückkosten zu hoch (4), technisch nicht in der Lage (2), nicht an Kleinvolumen interessiert (2), PCB Herstellung aufgegeben (2). Es kann somit als Erfolg gewertet werden, dass zwei voneinander unabhängige Lieferanten für MCM-Substrate identifiziert und etabliert werden konnten, die in der Lage waren, MCM-Substrate zu dem geplanten Kosten- und Lieferzeitenziel herzustellen.

Die anhand eines Referenzdesigns konnte gezeigt werden, dass sich die Substratkosten um ca. 87% und die Lieferzeiten um ca. 66% reduzieren lassen. Des Weiteren lassen sich einmalige Kosten um ca. 91% reduzieren. Da es sich hier um ein erstes Angebot für die vorgeschlagene MCM-Technologie handelt, ist davon auszugehen, dass sich die Preise und Lieferzeiten mit wachsender Herstellerfahrung noch anpassen werden. Dennoch ist davon auszugehen, dass der Kosteneinspareffekt signifikant hoch bleiben wird.

Auf den gelieferten MCM Substraten wurden schließlich Drahtbond- und Bestückversuche durchgeführt, um die Prozessierbarkeit zu evaluieren. Als Ergebnis zeigten sich beim Drahtbonden und der Komponentenbestückung keine größeren Probleme. Aufgrund der größeren Durchbiegung der MCM-Substrate im Vergleich zum Stand der Technik wurden Optimierungen der Substratklebung durchgeführt, die es ermöglichen, das Substrat prozesssicher in das Gehäuse zu montieren.

Reduzierung von Viastrukturgrößen

Ein Aspekt der Miniaturisierung ist die Erhöhung der Verdrahtungsdichte auf dem Schaltungsträger. Je weniger Platz für die Verdrahtung benötigt wird, desto kleiner kann das Elektronikmodul werden. Eine höhere Verdrahtungsdichte kann durch Verkleinerung der Leiterbahn- und Viastrukturen erreicht werden. Dabei stellen für viele Leiterplattenhersteller kleine Leiterbahnbreiten eine untere technische Grenze dar. Hierbei gilt, dass das Verhältnis bei sogenannten Microvias zwischen Bohrungsdurchmesser und Prepregstärke höchstens 1:1 betragen darf, d.h. die Stärker des Prepregmaterials begrenzt den minimalen Viadurchmesser. Mit den aktuell benutzten Prepregstärken sind diese Microvias auf einen minimalen Durchmesser des Lochs limitiert. Das Ziel der geplanten Untersuchungen ist es, Prepregs mit einer geringeren Stärke zu qualifizieren um geringere Microviadurchmesser zu erlauben. Der realisierte Flächenbedarf eines Vias konnte um 41% reduziert werden. Bei einer typischen Gesamtanzahl Vias in einem MCM geht dies mit einer Verringerung des Flächenbedarfs von bis zu 4% bezogen auf die Gesamtgrößer der Leiterplatte einher.

Es wurden Basismaterialsysteme identifiziert, die dünnere Prepregs anbieten und weitere für Hochtemperaturanwendungen wichtige Eigenschaften (z.B. niedrige CTE Werte und hohe Glasübergangstemperaturen Tg) besitzen. Die kleineren Vias waren im Zuverlässigkeitstest unauffällig, aber das Leiterplattenmaterial selbst zeigte eine verstärkte Rissbildung nach Hochtemperaturauslagerung. Daher ist

das erste getestete Basismaterialsystem nicht für Hochtemperaturanwendungen geeignet. Ein zweites Material B zeigte deutliche Delaminationseffekte nach Hochtemperaturauslagerung und ist daher nicht für Geothermieanwendungen geeignet. Ein drittes Material C hingegen zeigte sich in den bisherigen Tests als weitgehend stabil während Hochtemperaturauslagerung und ist damit ein potenzieller Kandidat für Hochtemperaturanwendungen. Durch Querschliffe konnte bestätigt werden, dass einige an den Substratkanten sichtbare Mikrorisse sich nicht ins Leiterplatteninnere fortsetzen und damit nicht weiter kritisch sind. Außerdem konnte die Charakterisierung von einem vierten Material D abgeschlossen werden. Dieses zeigte sich ebenfalls als nicht geeignet für Hochtemperaturanwendungen. Die elektrische Überwachung des Zuverlässigkeitstests zeigt Unterbrechungen in den Via-Teststrukturen an.

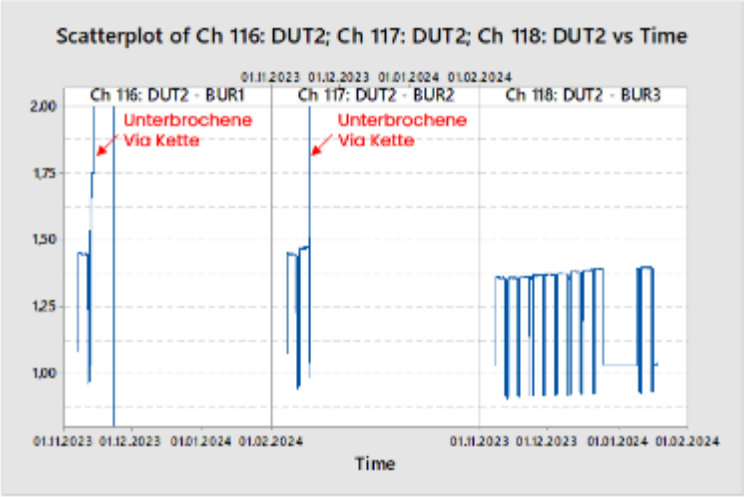


Abbildung 37: Elektrische Messungen während des Via-Zuverlässigkeitstest (zwei Via-Strukturen elektrisch unterbrochen, eine Via-Struktur unauffällig)

Abschließend lässt sich festhalten, dass sich eines von vier getesteten Materialsystemen als geeignet für Hochtemperatur-Geothermieanwendungen erwiesen hat. Mit diesem Materialsystem sind miniaturisierte Viagrößen realisierbar.

Alternative Fertigungsverfahren für MCM Technologie

Im Rahmen des Forschungsvorhabens wurden Materialien und Fertigungsprozesse evaluiert, um eine Aufbau- und Verbindungstechniklösung zu finden, die geringere Kosten durch einen kompatibleren Massenfertigungsprozess realisieren kann. Unter Anwendung spezialisierter Beschichtungs- und Vergussverfahren kann eine Chip-on-Board Technologie für Untertageanwendungen realisieren werden. Bei dieser Technologie werden Komponenten direkt auf der Leiterplatte montiert, drahtgebondet und verkapselt. Im Dam and Fill Prozess wird zunächst eine Barriere um den zu schützenden Bereich mit einem hochviskosen Dam-Material aufgetragen. Anschließend werden im so abgegrenzten Bereich mit

einem (bei Verarbeitungstemperatur) niedrigviskosen Füllmaterial komplett aufgefüllt und so Nacktchip und Bonddrähte vollständig umschlossen. Nach dem Aushärten ist so eine stabile chemische und mechanische Schutzverkapselung gewährleistet.

Die wesentlichen Vorteile der Chip-On-Board Technologie ist die Miniaturisierung sowie die gleichzeitige Verwendung von Lötprozessen an Stelle von Klebeprozessen, um die Herstellungskosten zu reduzieren. Für den Einsatz dieser Technologie ist die Beeinflussung des empfindlichen Drahtbondprozesses durch Verunreinigungen aus dem Lötprozess zu minimieren.

Für den Einsatz dieser Technologie ist die Beeinflussung des empfindlichen Drahtbondprozesses durch Verunreinigungen aus dem Lötprozess zu minimieren. Hierfür wurden die Prozesse zum Maskieren der Bondpads untersucht und optimiert, sodass aufgeklebte Dies in Kombination mit nachfolgenden Lötprozessen zuverlässig kontaktierbar bleiben. Lötprozesse erzeugen prozessbedingt Lotspritzer. Selbst sehr kleine Lotspritzer können anschließende Drahtbondprozesse beeinträchtigen. Daher müssen insbesondere Flächen, auf denen später gebondet werden soll, mit einer temporären Lotstoppmaske abgedeckt werden. Es wurden umfangreiche Tests durchgeführt, um eine Lotstoppmaske zu finden, die gleichmäßig aufgetragen werden kann und nach dem Löten rückstandsfrei wieder entfernt werden kann.

Die Nutzung eines Reflowlötprozesses macht es erforderlich, dass zunächst die Lötprozesse durchgeführt werden und Klebeprozesse nachfolgen. Das Masking, das Löten und nachfolgende Waschprozesse können potenziell die Oberflächen derart verändern, dass Klebe- und Drahtbondprozesse negativ beeinflusst werden. Im Rahmen des Fördervorhabens haben wir uns auf Fragestellungen des Drahtbondprozesses beschränkt.

Folgende Ergebnisse konnten erarbeitet werden:

- Zum Schutz der Bondflächen während des Reflow-Lötens wurde ein neues Maskierungsverfahren entwickelt. In ausgiebigen Untersuchungen an aufgebauten Mustern wurde kein negativer Einfluss auf die Zuverlässigkeit verschiedener Drahtbondprozesse mit vorgelagertem Lötprozess beobachtet.
- Beim Aufbau der Proben für die verschiedenen Zuverlässigkeitstests wurde festgestellt, dass ein einzelner Drahtbondprozess angepasste Bondparameter benötigt, um zuverlässige Bondverbindungen herstellen zu können. Es wurde beobachtet, dass Verunreinigungen während des Fertigungsprozesses sich negativ auf die Zuverlässigkeit der Bondverbindungen auswirkten. Durch Anpassung der Fertigungsprozesse und zusätzlicher Substrathalter, die das Handling der Substrate während der Fertigung verbesserten, konnten die zuvor beobachteten Bond-Liftoffs eliminiert werden.

Die Wirksamkeit der getroffenen Maßnahmen wurde in weiteren Versuchen überprüft und konnte bestätigt werden.

Eine fortgesetzte Miniaturisierung und Integration bezogen auf die Größe der verwendbaren Komponenten ist ein weiterer Ansatz zur Kostensenkung. Stand der Technik ist die Verwendung von SMD-

Komponenten der Bauteilgröße 0402 mit äußeren Abmaßen von ca. 1,0 mm x 0,5 mm. Die nächstkleinere Bauform stellt das 0201-Package mit Abmaßen von 0,6 mm x 0,3 mm dar. Sollen diese Komponenten elektrisch leitend geklebt werden, muss der Dispensprozess für den Klebstoff weiterentwickelt werden. Da die bisherigen Dispenstests gezeigt haben, dass derart kleine Dotgrößen nicht stabil dispenst werden können, wurden drei Ansätze zur weiteren Bearbeitung vorgeschlagen: Materialcharakterisierung des verwendeten Klebstoffes, Testen alternativer Hardware sowie Testen alternativer Klebstoffvarianten.

Die Charakterisierung des verwendeten Klebstoffes wurde durchgeführt und die nachfolgenden verarbeitungsrelevanten Kennwerte untersucht:

- Dynamische Differenzkalorimetrie (DSC), um Verlauf der Aushärtereaktion zu untersuchen
- Isotherme Viskositätsbestimmung bei einer Frequenz und drei verschiedenen Temperaturen, um den Gelpunkt zu bestimmen
- Isotherme Viskositätsbestimmung bei Raumtemperatur im Frequenzbereich 0,5 – 50 rad/s, um den Einfluss von Schergeschwindikeiten auf die Viskosität zu untersuchen. Die Messung wurde an mehreren Tagen hintereinander wiederholt, um einen Einfluss von Standzeiten feststellen zu können.
- Bestimmung der Viskosität bei hoher und niedriger Schergeschwindigkeit (Sprungviskosität)
- Untersuchung des Sedimentationsverhalten der Füllstoffpartikel
- Untersuchung des Benetzungsverhaltens auf unterschiedlichen Substraten
- Vergleich der Messergebnisse von zwei unterschiedlichen Klebstoffchargen

In Abbildung 38 und Abbildung 39 sind exemplarisch die Ergebnisse der DSC-Messungen und der Viskositätsmessungen dargestellt. Aus der DSC ist ersichtlich, dass die Aushärtereaktion des Klebstoffes erst bei Temperaturen deutlich oberhalb von 100 °C beginnt. Es ist daher davon auszugehen, dass im Rahmen des Prozessfensters beim Dispensen keine Klebstoffreaktion stattfindet, die das Dispensergebnis negativ beeinflusst. Abbildung 39 zeigt die Scherratenabhängigkeit der Viskosität. Es ist eine deutliche Scherverdünnung messbar. Das heißt, die Viskosität sinkt mit zunehmender Schergeschwindigkeit. Für den Dispensprozess ist dies eher vorteilhaft. Gleichzeitig ist zu erwarten, dass der Klebstoff eine Einlaufphase benötigt, bevor er stabil dispenst werden kann.

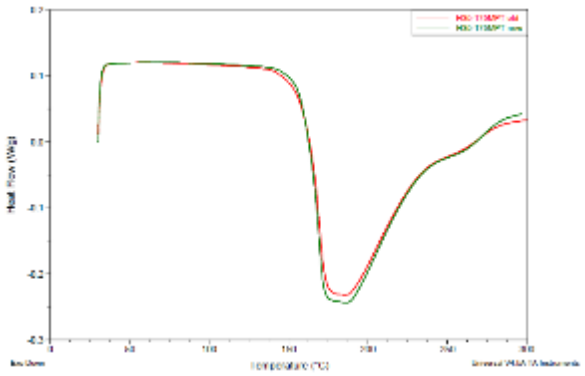


Abbildung 38: Ergebnisse der DSC Messungen

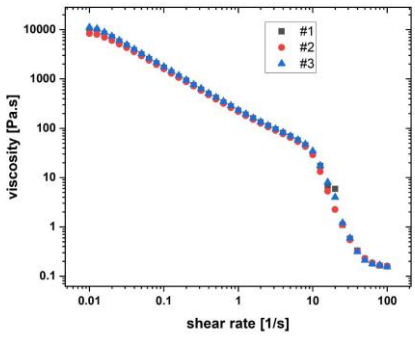


Abbildung 39: Scherratenabhängigkeit der Viskosität

Abbildung 40 und Abbildung 41 stellen jeweils die Ergebnisse aus den Benetzungstests dar. Beide Bilder zeigen, dass sich der Klebstoff nur sehr zäh von der Dispensspitze löst. Dies wird bei einem kontaktierenden Dispensprozess immer Prozessschwankungen verursachen und somit auch die minimale Punktgröße limitieren. Wird das Substrat von unten beheizt, unterstützt dies den Dispensprozess.

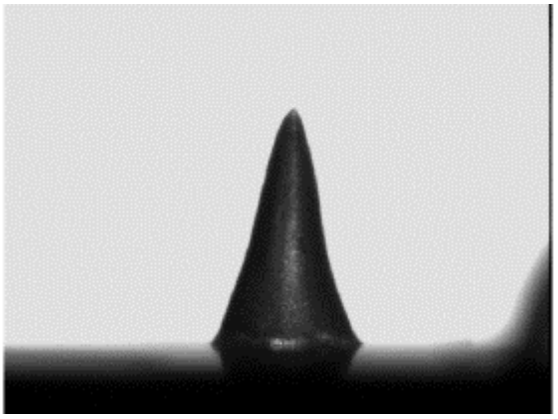


Abbildung 40: Benetzung bei RT

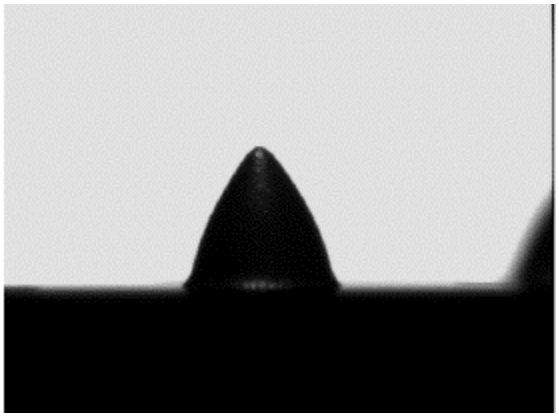


Abbildung 41: Benetzung bei 40°C

Da der aktuell verwendete Klebstoff eine sehr hohe Viskosität besitzt und ein relativ schlechtes Benetzungsverhalten aufweist, wurden weitere Versuche zum Verkleinern der dispensten Klebstoffdepots mit Klebstoffen mit niedrigerer Viskosität durchgeführt. Für kleine Klebstoffdepots müssen Dispensspitzen mit kleinen Innendurchmessern verwendet werden. Im Versuch wurde untersucht, ob sich durch die niedrigere Viskosität das Fließverhalten in und das Ablöseverhalten von der Dispensspitze so verändert, dass kleine Klebstoffmengen aufgetragen werden können.

Zunächst wurden Tests mit dem Sample B (mittlere Viskosität) durchgeführt. Durch Variation der Dispensparameter konnten Klebstoffpunkte dispenst werden. Der Dot hat eine runde Form in der Draufsicht

und ist kegelförmig in der dreidimensionalen Ansicht. Die gefundenen Dispensparameter wurden anschließend hinsichtlich Langzeitstabilität im Dispensprozess getestet.

In der lichtmikroskopischen Analyse der Dispensergebnisse fielen innerhalb einzelner Klebstoffpunkte Unregelmäßigkeiten auf. In der lichtmikroskopischen Bewertung war nicht eindeutig zu erkennen, ob es sich hierbei um Reflektionen, Blasen oder Partikel im Klebstoff handelte. Es wurden daher zusätzlich Untersuchungen des Klebstoffes mit dem Rasterelektronenmikroskop durchgeführt.

In Abbildung 42 ist ein dispenster Klebstoffpunkt in einer rasterelektronenmikroskopischen Aufnahme zu sehen. Man kann sehr gut die einzelnen Partikel des Klebstoffes erkennen. Auffällig ist die ungleichmäßige Verteilung von Größe und Form der Partikel. Einzelne Partikel weisen eine Größe von bis zu ca. 50 µm auf, vgl. Abbildung 43. Dies entspricht nicht den Erwartungen, da laut Datenblattangabe die maximale Partikelgröße bei 20 µm liegen sollte. Es wurden unterschiedliche Klebstoffchargen und -kartuschen auf unterschiedliche Weise präpariert und untersucht. In allen Varianten konnten Partikel gefunden werden, die deutlich größer als die angegebenen 20 µm waren.

Es wurde ersichtlich, dass der aktuelle Prozess nicht allein durch die Viskosität, sondern auch durch die verwendeten Partikel limitiert wird, womit eine zuverlässige Montage von 0201-Komponenten mit dem derzeit eingesetzten Klebstoff nicht möglich ist.

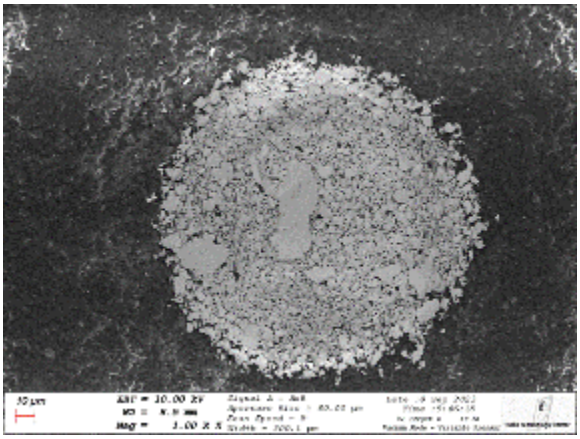


Abbildung 42: Rasterelektronenmikroskopische Aufnahme eines dispensten Klebstoffpunktes

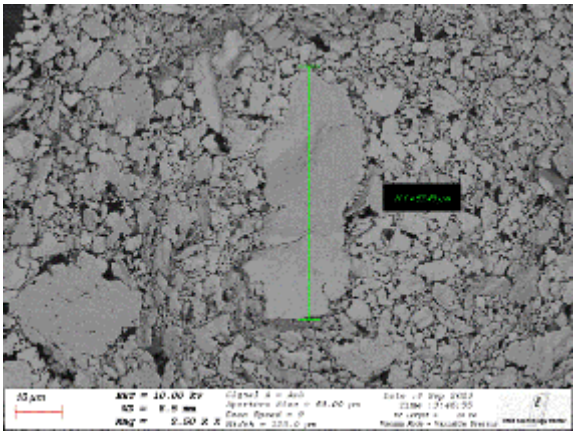


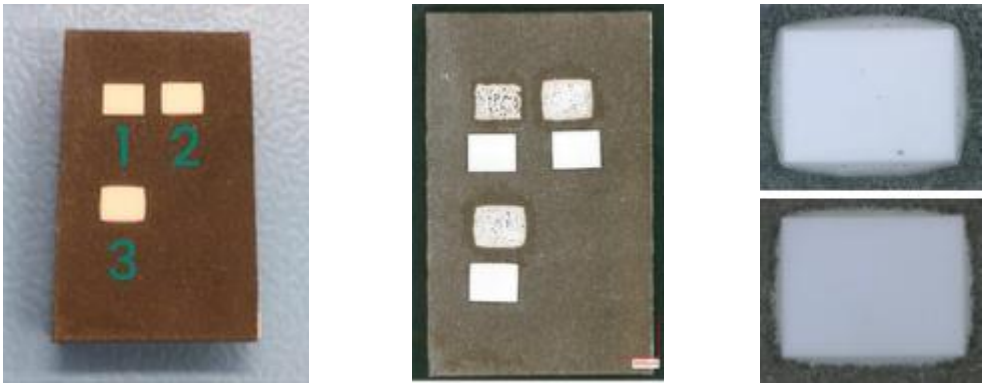
Abbildung 43: Partikel im Klebstoff, rasterelektronenmikroskopische Aufnahme

4.3.2 Konzepte zur alternativen Aufbau- und Verbindungstechnik

Zum Schutz der Elektronikmodule vor korrosiven Umgebungseinflüssen wurden mehrere potenzielle Beschichtungs- und Vergussmaterialien identifiziert. Die Eigenschaften der aussichtsreichsten Materialien sollen miteinander verglichen werden. Hierfür wurde ein exemplarisches MCM-Elektronikmodul aus

dem aktuellen Produktportfolio für einen Vergleichstest identifiziert. Durch den Einsatz von sowohl digitalen Komponenten mit Fine-Pitch-Bonddrähten als auch einer Vielzahl an analogen Komponenten auf dem gleichen Substrat kann mit einem einzigen Test eine große Bandbreite an Technologien überprüft werden.

Zusätzlich zu den bereits erarbeiteten Entwürfen für alternative Gehäuse wurden kurze Testgehäuse aus Metall gedruckt, um das Anschlusskonzept zu verifizieren. Hierbei stellte sich heraus, dass die, aus Gründen der guten Stabilität gegenüber stark korrosiven Atmosphären gewählten, mit Chrom und Silizium dotierten Nickeldrähte (NiCroSil), nicht mit den etablierten Elektronikloten mit dem Adaptersubstrat verbunden werden konnten. Als Alternative wurde eine Kombination aus Löt- und Schweißverbindung angewandt. Hierbei kommt zusätzlich ein lötbares, reines Nickelstück zum Einsatz. Der Nickeldraht wird durch die Adapterplatine eingeführt, der NiCroSil-Draht durch eine Durchführung gezogen am Berührpunkt im Winkel von 90° werden beide Drähte miteinander verschweißt. Anschließend konnte die Nickelseite unter Verwendung von SN96-Lot mit dem Adapter verbunden werden und nach einem Reinigungsschritt die Verbindungsstelle vergossen werden. In Abbildung 44 (a) sind Testgehäuse mit montiertem Adaptersubstrat, eine Detailaufnahme der Schweißverbindung (c) sowie die vergossene Verbindungsstelle (b) abgebildet.

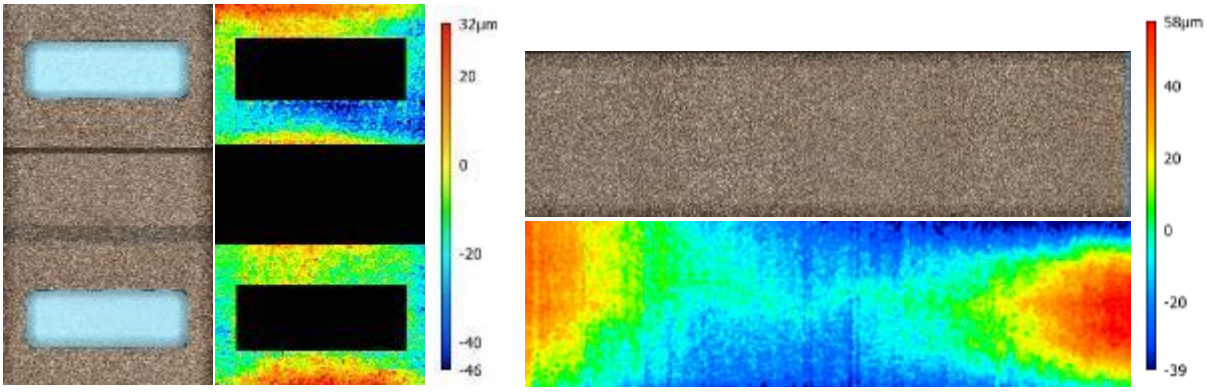


(a) **(b)** **(c)**

Abbildung 44: Klebe- (a) und Schertests (b) auf den unbearbeiteten rauen Oberflächen der 3D-gedruckten Gehäuse zeigen eine gute Verarbeitbarkeit und Haftung. Gegenüber gefrästen Gehäusen (c oben) kann bei den gedruckten Teilen ein deutlich größerer Klebstoffbedarf beobachtet werden, die Ränder des Klebstoffminiskus werden ausgefranster (c unten).

Um die Belastbarkeit der Klebeverbindung von Adaptersubstrat bzw. MCM und Gehäuse zu bewerten, wurden Klebe- und Schertests auf der Oberfläche der Testteile durchgeführt, siehe Abbildung 44. In Abbildung 44b ist der Kohäsionsbruch erkennbar, was auf eine gute Anbindung auf den gedruckten Oberflächen hindeutet. Jedoch weisen die Klebeflächen, bedingt durch die raue Oberfläche, Fehlstellen in Form von Luftblasen auf. Diese Oberflächenstruktur führt zu einer Ausfransung der Ränder des Kleb-

stoffmeniskus. Die gemessenen Scherkräfte sind hierbei vergleichbar mit Klebungen produktiv eingesetzten Referenzoberflächen, so dass eine verlässliche Verbindung von gedruckten Teilen und MCM-Substraten angenommen werden kann.



(a) **(b)**

Abbildung 45: Ebenheitsmessungen an den Klebeflächen der gedruckten Gehäuse. (a) Testgehäuse mit Flächen zur Klebung der Adaptersubstrate, (b) Oberfläche eines finalen Gehäuses zur Klebung des MCMs.

Zur Beurteilung der Klebbarkeit von Adaptersubstraten und MCMs in die Gehäuse, wurden Ebenheitsmessungen durchgeführt. Exemplarisch sind in Abbildung 45 Klebeflächen für die Adaptersubstrate im Testgehäuse (a) und eine typische Klebefläche für die MCMs (b) dargestellt. Um sowohl die zuvor beschriebene Oberflächenrauheit als auch die Verwölbung der Testsubstrate zu kompensieren, wird die aufgebrachte Klebstoffschichtdicke erhöht. Auf den Adaptersubstraten wurden – um mechanische Auswirkungen des Vergussprozesses abschätzen zu können – mehrere Bonddrähte aufgebracht. Das Gehäuse wurde anschließend vergossen. Röntgenaufnahmen der Bonddrähte zeigen nur minimale Abweichungen der Drahtbondform nach Verguss und Aushärten der Vergussmasse. Auch in einem ersten Langzeittest über einen Zeitraum von ca. 1.400 h konnten abgesehen von anfänglichen Schwankungen keinerlei Degradationseffekte beobachtet werden. Es kann daher davon ausgegangen werden, dass auch Bonddrähte auf den MCMs nicht durch den Vergussprozess beeinträchtigt werden.

Für die Anbindung der durchgeführten Anschlussdrähte außerhalb des Gehäuses wurde PUK-Schweißen als zuverlässige Methode identifiziert. Die Defekte während des Schweißvorgangs konnten durch eine galvanische Isolation der Anschlussdrähte abgestellt werden und eine Kontaktierung erfolgreich realisiert werden.

Der Einbau von Adaptersubstrat und das Erstellen der elektrischen Verbindungen durch das Gehäuse fand beim vollständigen Gehäusetyp analog zum Testgehäuse statt. Nach dem Reinigungsschritt wurde das oben beschriebene MCM montiert und mit Bonddrähten elektrisch mit dem Adaptersubstrat verbunden. Der aus vorherigen Untersuchungen vorhandene Testaufbau konnte für diesen Aufbau angepasst werden, so dass das fertig aufgebaute Modul einem elektrischen Test erfolgreich unterzogen werden konnte. Dieses Konzept wurde im weiteren Projektverlauf verfeinert, hin zu einem Elektronikkonzept mit

deutlichem Kostenvorteil. Hierbei wird ein Stecker eingelötet und die Baugruppe mit Vergussmasse unter Zuhilfenahme eines Rahmens vergossen. Die Baugruppe wurde realisiert und vor dem Verguss erfolgreich auf Funktionalität überprüft. Anschließend erfolgte der Verguss der Baugruppe und die Kontaktierung mittels eingelötetem Stecker wie beschrieben. Schätzt man allein die Materialkosten für das alternative Konzept gegen die Kosten für Gehäuse und Deckel gegenüber dem Stand der Technik ab, ergibt sich eine Materialkostenersparnis von 70 % für diese exemplarische Baugruppe.

4.4 Zuverlässigkeitstests

Ein wesentliches Projektziel war es, die Zuverlässigkeit der ASIC-Technologie für den Langzeitbetrieb bei 175 °C bewerten zu können. Hierfür wurde im Rahmen des Vorhabens ein Messsystem entwickelt, welches komplexe DUTs gleichzeitig testen kann. Die Durchführung umfasste die Konzipierung sowie Entwicklung der Testhardware und -software, die Testdurchführung sowie die Testauswertung. Alle geplanten Arbeiten an den Zuverlässigkeitstest konnten vollständig abgeschlossen werden.

Insbesondere die Inbetriebnahme der Testhardware in Verbindung mit der Testsoftware erwies sich als sehr komplex und zeitintensiv. Um den Zuverlässigkeitstest zu beschleunigen, wurde die Testtemperatur um 10 K auf 185 °C erhöht und die Testdauer von 5.000 Stunden auf 3.007 Stunden reduziert. Der Beschleunigungsfaktor AF wurde entsprechend der nachfolgenden Definition ermittelt:

$$AF = e^{\frac{E_a}{k}\left(\frac{1}{T_{field}} - \frac{1}{T_{test}}\right)}$$

AF : Beschleunigungsfaktor

E_a: Aktivierungsenergie, hier: 0,9 eV

Tabelle 1: Beschleunigungsfaktor AF für das Beschleunigte Testen bei 185 °C

Testtemperatur: 185 °C	Betrieb bei 185 °C	Betrieb bei 175 °C
AF	1,0	1,66
Testzeit (h)	3.007	5.000

Nach Abschluss des Testzeitraumes konnte gezeigt werden, dass alle Testchips die Temperaturbelastungen über den Zeitraum von über 3.007 Stunden standhielten und keine Ausfälle der ASICs festgestellt werden konnten.

Nachfolgend werden die Ergebnisse die Implementierungen der verwendeten Messsysteme, durchgeführte Inbetriebnahmen, sowie die durchgeführten Zuverlässigkeitstest vorgestellt.

4.4.1 Erster Zuverlässigkeitstest

Beim ersten Zuverlässigkeitstest wurde ein vereinfachtes Messsystem verwendet. Das getestete Design war ein Testchip, welcher als Technologiedemonstrator vor Projektbeginn in der ASIC-Technologie realisiert wurde.

Zur Testdurchführung wurden sechs Test-Boards aufgebaut und in einer Klimakammer bei 185 °C betrieben. Zum Kontaktieren wurden Kabel an die Kontakte der Boards gelötet, um Messungen an den wesentlichen Funktionsblöcken der Testchips durchzuführen und um die Versorgungsspannungen der Chips bereitzustellen.

Mit dem vereinfachten Messsystem konnten die Stromaufnahmen der Testchips sowie die Ausgangswerte folgender Blöcke gemessen werden: Spannungsreferenz (Vref), Low-Dropout-Regler (Vlinreg), Temperaturspannung (Vtemp), Bias-Strom (Vbias), Analog-Digital-Konverter Ausgang (Vadc), Spannungsgesteuerter Oszillatortakt (Fvco). Nachfolgend werden auf die Kurvenverläufe der Spannungsreferenz und die der Temperaturspannung eingegangen.

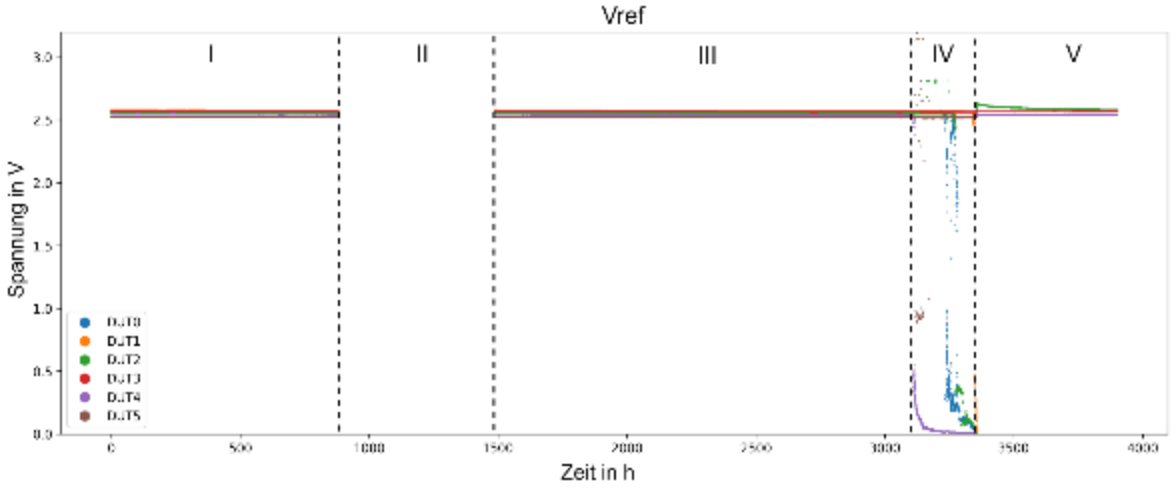


Abbildung 46: Ausgangsspannung der Spannungsreferenz (Vref) in Abhängigkeit der Zeit

In Abbildung 46 ist die Ausgangsspannung der Spannungsreferenz (Vref) in Abhängigkeit von der Testzeit dargestellt. Der nominale Ausgangswert betrug 2,5 V. Die Kurven aller DUTs liegen leicht oberhalb, da die Referenzspannungen bei diesem Test ungetrimmt sind. Der Test unterteilt sich in fünf Phasen.

Die Phasen I bis III zeigen die Ergebnisse bis zum Ausfall des ersten DUTs nach 3108 Stunden. Während Phase II ist das Logging-System unterbrochen; der Test lief unverändert weiter, lediglich die Daten wurden nicht gespeichert. In Phase IV treten nacheinander Ausfälle bei DUT4, DUT5, DUT0, DUT2 und DUT1 auf, lediglich DUT3 beendet Phase IV ohne Ausfall. Phase III überschreitet bereits die geplante Testzeit von 3007 Stunden, dennoch wurde die Ausfallursache untersucht. Dieses Problem tritt ausschließlich auf den Substraten auf, Migrationseffekte auf dem ASIC konnten nicht identifiziert werden. Dies wird auch durch die Kurvenverläufe in Phase V deutlich. Bei DUT2, DUT3 und DUT4 wurden die ASICs von den auffälligen Substraten abgeschert, auf neue Substrate geklebt, neu gebondet, mit neuen Anschlusskabeln versehen und erneut in der Klimakammer bei 185 °C für 500 Stunden betrieben. Die Messwerte stimmen mit denen überein, die vor dem Ausfall gemessen wurden.

Das Absinken der Ausgangsspannungen der Spannungsreferenzen in Phase IV führte zu einem Ausfall weiterer interner Funktionsblöcke der ASICs, was sich ebenfalls in deren Messdaten zeigte. Nach dem Neuaufbau der drei DUTs waren diese ebenfalls wieder im nominellen Bereich.

Die Messwerte in Abbildung 46 haben in Phase IV einen steilen Verlauf. Die fehlerverursachende Kupfermigration in den Substraten ist dagegen ein schleichender Prozess und setzt bereits vor der Beobachtung des Fehlers der Vref-Spannung ein. Dies lässt sich an den Messdaten der Temperaturspannung in Abbildung 47 erkennen. Phase IV beginnt hier bereits nach ca. 2300 Stunden. Das unterschiedliche Verhalten der Kurven liegt an der Treiberfähigkeit beider Blöcke. Die Vtemp-Spannung ist schwach getrieben: Änderungen des Lastwiderstandes (z. B. Kurzschlusspfade durch Migration) können durch die Quelle nicht ausgeglichen werden. Die Quelle der Referenzspannung hingegen ist durch eine Verstärkerschaltung gepuffert. Eine Abnahme des Lastwiderstandes wird durch einen höheren Stromfluss ausgeglichen, bis dieser ebenfalls nicht mehr ausreicht, um die Ausgangsspannung zu stabilisieren.

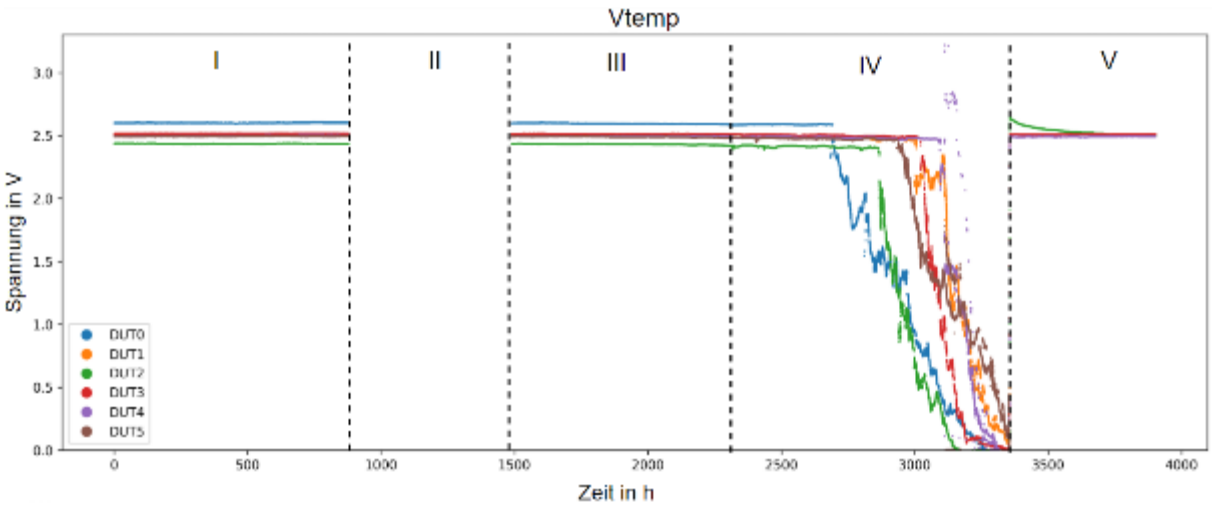


Abbildung 47: Ausgangsspannung der Temperaturspannung in Abhängigkeit der Zeit

4.4.2 Zweiter Zuverlässigkeitstest

Während der erste Zuverlässigkeitstest noch mit einem vor Projektbeginn existierendem ASIC-Design durchgeführt, um insbesondere die Tauglichkeit der ASIC-Technologie zu überprüfen, zielte der zweite Zuverlässigkeitstest auf die Prüfung der Tauglichkeit der neu entwickelten Designblöcke hinsichtlich Funktion, Langzeitdrift und Elektromigration ab. Beim zweiten Zuverlässigkeitstest wurden folglich neue Testboards für die drei verschiedenen Testchips entwickelt und der Testaufbau des komplexen Testsystems so angepasst, dass gleichzeitig verschiedene Testchips getestet werden konnten. Die geforderte Testzeit betrug weiterhin 3007 h bei einer Testtemperatur von 185 °C. Die Platinen wurden erneut als MCM-Aufbauten realisiert.

Für die Testdurchführung war eine Inbetriebnahme mit anschließender Testauswertung der jeweiligen Platinen erforderlich. Da im Rahmen dieses Arbeitspaketes drei verschiedene MCM-Aufbauten entwickelt wurden, ergab sich ein höherer Aufwand im Vergleich zum ersten Zuverlässigkeitstest. Die Inbetriebnahme beinhaltete das erstmalige Anschließen der Testboards an das Testsystem, das Ausprobieren aller implementierten Funktionen, das Vergleichen der aufgenommenen Messwerte mit den Simulationsergebnissen sowie das Charakterisieren der Schaltungen unter Temperatur. Auf Grund der hohen Komplexität der neu entwickelten Testchips erwies sich die Inbetriebnahme der drei MCM-Aufbauten als langwieriger als erwartet. Um das Kontaktieren der MCM-Aufbauten, insbesondere das der Kontakte zu vereinfachen und dadurch ein schnelleres Inbetriebnehmen der Schaltungen zu ermöglichen, wurde eine eigens auf den Kontakt-Stecker ausgelegte Breakout-Platine entwickelt und aufgebaut. Die Bananenstecker und die Stiftleisten auf der Oberseite der Breakout-Platine ermöglichen ein einfaches und schnelles Kontaktieren der Kontaktleiste des angeschlossenen Testboards. Durch die universelle Belegung der Breakout-Platine kann das Board auch für zukünftige Inbetriebnahmen wiederverwenden werden. Die Inbetriebnahme aller drei Test-Boards wurde sowohl bei Raumtemperatur als auch unter Temperatur (185°C) abgeschlossen.

Aufbau des Testsystems

Das Konzept des Testsystems ist in Abbildung 48 dargestellt und sieht eine Separation in mehrere Platinen vor. Jeder Testchip befindet sich auf einem Testboard (DUT, rot). Diese sind mittels Card-Edge-Konnektoren mit den Multiplexplatinen (MUX, grün) verbunden. Vier Testboards können auf eine

MUX-Platine gesteckt werden. Anschließend können vier MUX-Platinen auf eine fünfte MUX-Platine gesteckt werden, sodass insgesamt 16 Testchips angebunden sind.

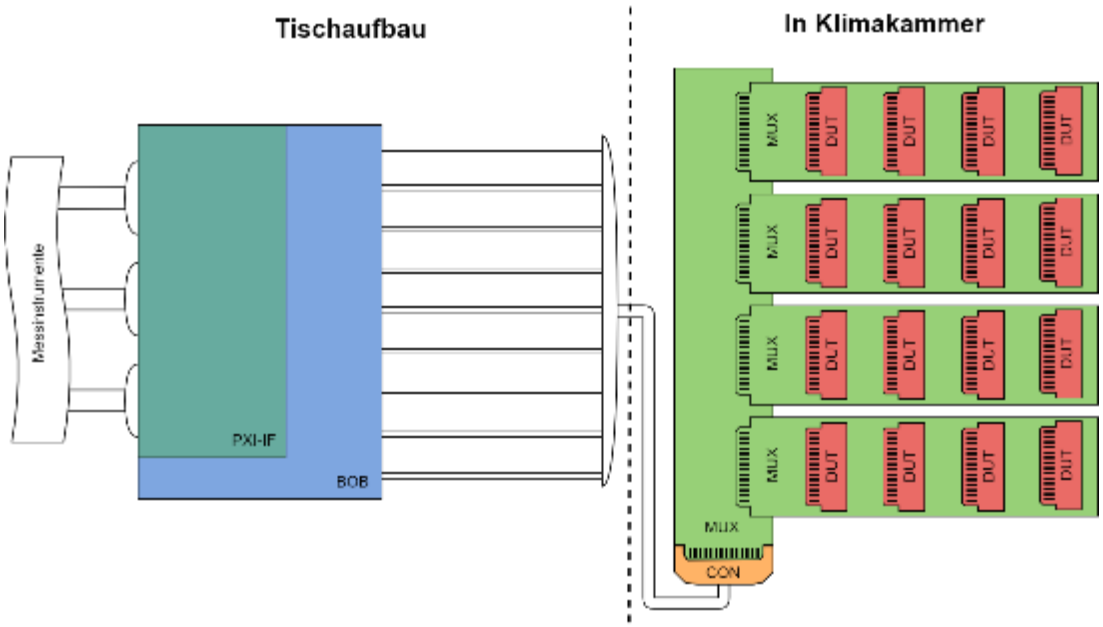


Abbildung 48: Schematische Darstellung des Testkonzepts

Die Zusammenschaltung aus DUT- und MUX-Platinen befindet sich in einer Klimakammer. Der Kabelbaum, der die in Abbildung 48 vertikal dargestellte Multiplexer-Platine mit dem Messsystem verbindet, ist zweigeteilt: Ein Bündel aus temperaturfesten Kabeln wird benutzt, um die Signale aus der Klimakammer zu führen. An einem Patchpanel außerhalb des Ofens werden die Signale über RJ45-Kabel zur BOB- und PXI-IF-Platine geführt (BOB: Break-out-Board, blau; PXI-Interface, türkis). Auf Basis dieses Konzepts wurden die einzelnen Platinen entwickelt. Die Platinen wurden gefertigt und in Betrieb genommen. Bei der Konzipierung des Testsystems wurde die Designentscheidung getroffen, die Testchips nicht auf der gleichen Platine unterzubringen wie die Multiplexer- und Auswerteelektronik. Diese Separation hat den Vorteil, dass die Testadapter-Platinen bei einem vorzeitigen Ausfall ausgetauscht werden können.

Beim komplexen Messsystem ist eine weitaus größere Anzahl an parallelen Messungen pro DUT möglich (86 anstatt 8); außerdem lassen sich 16 DUTs gleichzeitig testen. Durch das Multiplexen der Messkanäle sind zusätzliche Multiplex- und Decoder-ICs nötig, die ebenfalls im Ofen bei Hochtemperatur betrieben werden. Die Trennung von Multiplex-Komponenten und DUTs auf separate Platinen erwies sich als essenziell, denn wie prognostiziert, erreichen die Multiplexplatinen nicht die geforderte Langzeitstabilität von 185 °C und 3007 Stunden. In Abbildung 49 ist erneut die Temperaturspannung abgebildet, diesmal allerdings mit dem komplexen Messsystem. Es stehen insgesamt 16 DUT-Slots zur Verfügung. Der Test wurde im gesamten Zeitraum von 1050 Stunden vier Mal unterbrochen. Es zeigte sich, dass einzelne Messpunkte ab 500 Stunden Testzeit bereits über dem nominalen Wert von 2,5 V liegen.

Mit zunehmender Zeit steigt die Anzahl an fehlerhaften Messungen. Der Grund für die Messabweichungen liegt bei diesem System allerdings vermehrt an Problemen beim Zusammenspiel aus Messsoftware und Multiplexlogik, worauf ein Großteil der fehlerhaften Messwerte aus Abbildung 49 zurückzuführen ist. Erste Fehlfunktionen im Testaufbau sind ab ca. 800 Stunden beobachtbar. Dieses konnte mit Hilfe eines Kreuztests (Vertauschen von DUT-Platinen) gezeigt werden. Das derzeitige Konzept erfordert daher einen Austausch der Multiplexplatinen nach etwa 800 Stunden. Die Analyse der Auffälligkeiten wurde vorgenommen und für die Konzipierung weiterer Testaufbauten aufbereitet.

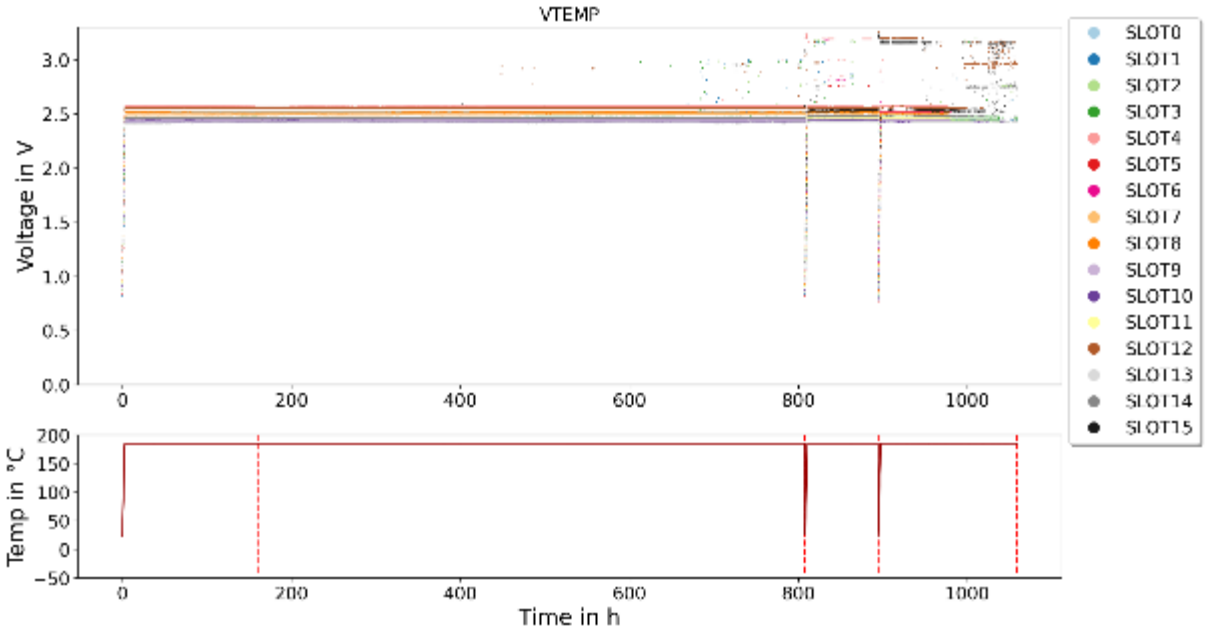


Abbildung 49: Ausgangsspannung Temperaturspannung (komplexes Messsystem)

Prozessortest

Langzeittest

Nach der erfolgten Integration wurde der Test mit acht Testboards begonnen.

In Abbildung 50 sind die Messwerte der Referenzspannungsquellen der acht DUTs dargestellt. Der lückenhafte Verlauf der Kurven ist auf Aussetzer im Logging-System zurückzuführen. Das Testsystem läuft in einer Umgebung ohne unterbrechungsfreie Spannungsversorgung. Leider kam es auf Grund von häufigen Netzschwankungen zu kurzzeitigen Stromausfällen, die am Anfang des Testzeitraums zum Ausschalten der Netzteile des Testsystems führten. Die späteren Ausfälle ab 2000h Testzeit sind auf Abstürze der Entwicklungsumgebung des Testsystems zurückzuführen.

Beim Betrachten der Messwerte der einzelnen Kurven fällt auf, dass die Messungen ab ca. 1250h zunehmend vom bisherigen Mittelwert der Messungen abweichen. Dieses Verhalten ist bereits aus dem Langzeittest auf AP 1 bekannt und war auch hier zu erwarten. In AP1 stand ein zweites Testsystem zur Verfügung, in welches die Testboards nach zunehmender Degradation eingesockelt und weiter getestet

werden konnten. Nach Abschluss der geforderten Testzeit von 3007h (beschleunigt bei 185°C, statt 5000h bei 175°C) wurde der Test gestoppt.

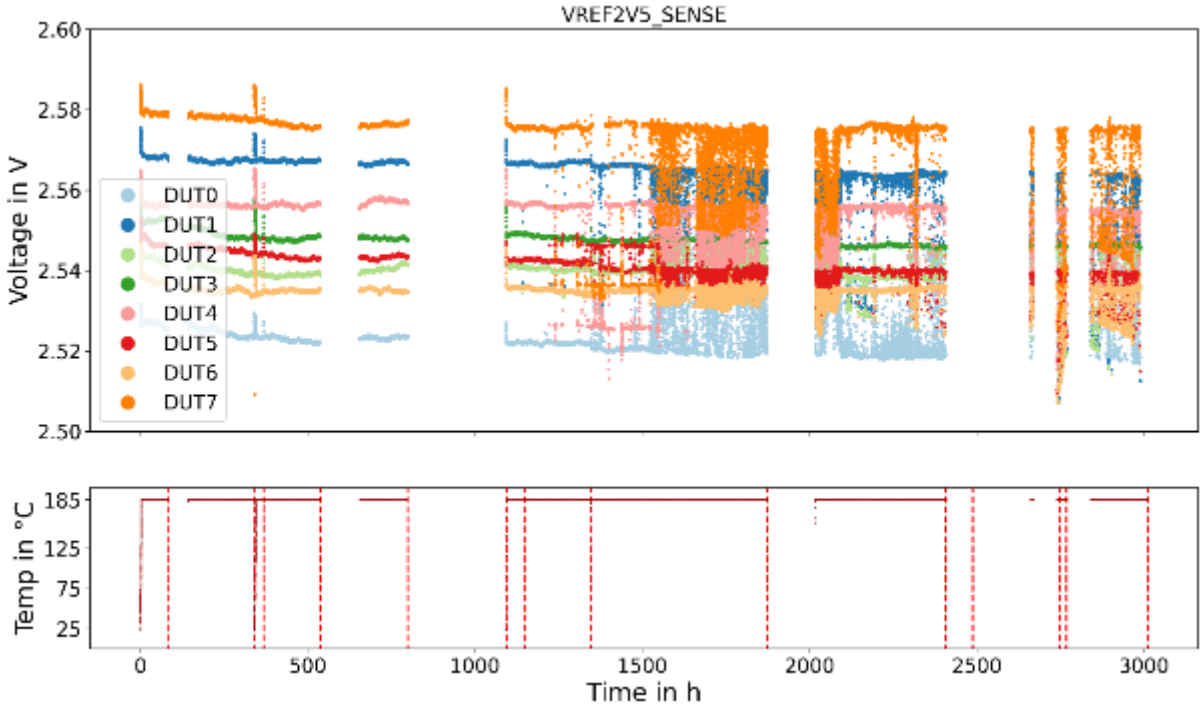


Abbildung 50: Abhängigkeit der Referenzspannungsquelle von der Zeit bei 185°C

Das zunehmende Rauschen in Abbildung 50 deutet auf einen anderen Degradationsmechanismus des Testsystems hin als in der Testauswertung von AP 1 beobachtet. Um den einwandfreien Betrieb der Chips nach dem Testdurchlauf zu beurteilen, wurden alle acht DUTs nach Abschluss der Testzeit einzeln, ohne Testsystem getestet. Alle Testboards funktionieren und erzeugen die erwarteten Messwerte.

Hauptaugenmerk des Zuverlässigkeitstests ist die Beurteilung des Langzeitverhaltens der einzelnen Messungen. Bei der Referenzspannungsmessung zeigt sich über die gesamte Testzeit ein leichtes Absinken der Spannung. Der Effekt ist zu Beginn der Testzeit am stärksten, schwächt sich mit zunehmender Zeit ab (Burn-In). Die Änderungen sind allerdings gering; sie liegen innerhalb der Vorgabe von ±5 mV. Sollten Messabweichungen in Zukunft eine stärkere Rolle spielen und signifikante Drifts erzeugen, könnte anhand der Ergebnisse aus den Langzeittests durch eine ratiometrisch ausgelegte Messschaltung oder geeignetes Trimming eine deutliche Reduzierung des Effekts erzielt werden.

Schaltwandler Konzept 1

Inbetriebnahme

Bei der Erstinbetriebname des BUCK-Abwärtswandlers, Konzept 1 – wurden das sequentielle Ein- und Ausschaltverhalten, das digitale Trimming von intern generierten Versorgungs- und Referenzspannungen bzw. Strömen sowie das Ausregelverhalten überprüft. In der Abbildung 51 sind die Messergebnisse des Einschaltverhalten exemplarisch über eine Zeit von 2 ms bei 27 °C dargestellt.

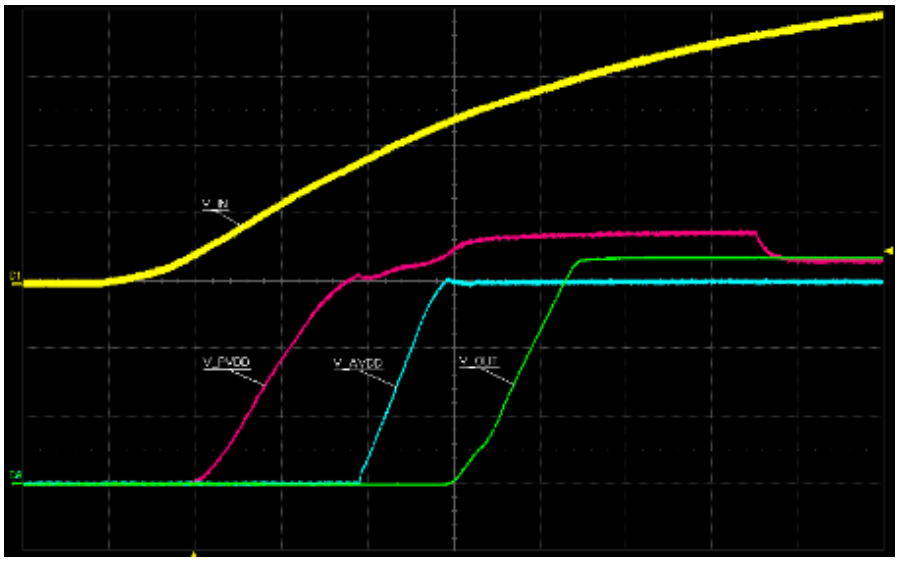


Abbildung 51 Startvorgang beim Einschalten der 49 V Eingangsspannung – 27°C

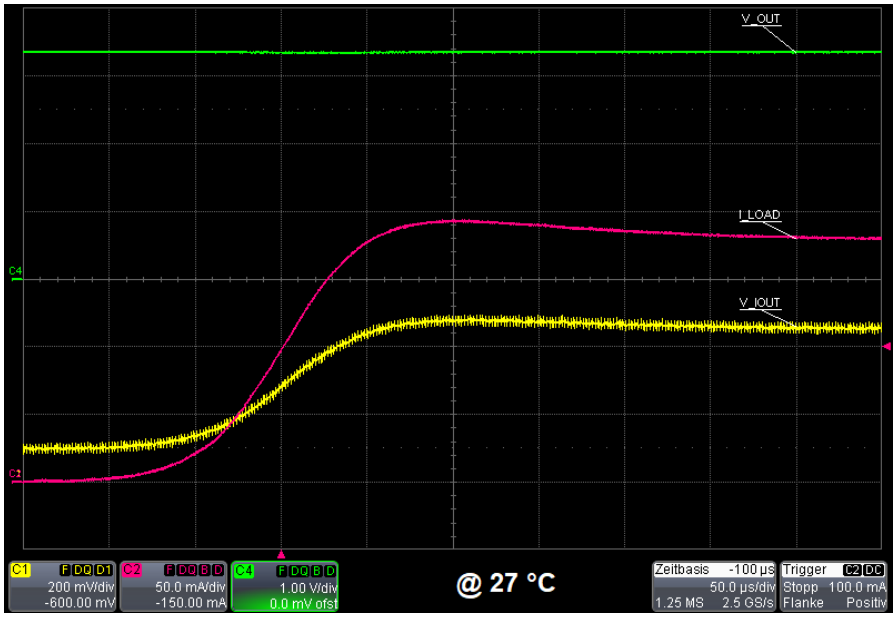
Den Messergebnissen ist zu entnehmen, dass die Einschaltsequenz analog zu den vorherigen Simulationsergebnissen abläuft. Nach dem Einschalten der Eingangsspannung V_IN (gelb) wird die von dem Funktionsblock der initialen Spannungsversorgung – der abschaltbare Hochvolt-Linearregler – die interne Versorgungsspannung V_PVDD (rot) im spezifizierten Bereich bereitgestellt. Bis zu dem Zeitpunkt von etwa 780 µs wird auch ebenfalls die Referenzspannung von V_REF = 2,5 V und der Referenzstrom von I_BN erfolgreich generiert, welche in der Abbildung 51 jedoch nicht mit abgebildet sind. Die Einschaltsequenz sieht jedoch vor, dass die zweite interne Versorgungsspannung von V_AVDD (blau) erst nach Bereitstellung der Referenzspannung generiert wird, was den Signal-Zeit-Verläufen von V_PVDD und V_AVDD zu entnehmen ist. Das zeitweilige Einbrechen und flachere Ansteigen von V_PVDD im Zeitraum von etwa 780 – 1000 µs ist analog zu den Simulationsergebnissen dem Aufladen der externen 1 µF Pufferkapazität der Spannungsdomäne geschuldet. Der Abbildung 51 ist zu entnehmen, dass der Schaltwandler dann bei etwa 990 µs beginnt, nach dem Bereitstellen aller internen Versorgungs- und Referenzdomänen sowie dem Starten des Oszillators die Ausgangsspannung V_OUT (grün) zu generieren. Nach dem Erreichen einer Schaltschwelle kann den Messwerten auch entnommen werden, dass die Abschaltung der initialen Spannungsversorgung und die Selbstversorgung aus der Ausgangsspannung erfolgreich nach einer Wartezeit von 500 µs funktioniert. Dies ist zu erkennen an dem Absinken

der V_PVDD Versorgungsspannung ab etwa 1,7 ms. Das Einschaltverhalten funktioniert dazu erfolgreich bei 185 °C, ebenso wie das fehlerfreie Ausschalten und die digitale Trimmung der 2,5 V Referenzspannung, des 2,0 µA Referenzstromes und des Oszillators.

Nachfolgend sind in Abbildung 52 und Abbildung 53 die ersten Messergebnisse des Schaltwandlers beim Ausregeln von Lastwechsel bei 27 °C und 185 °C über 500 µs dargestellt. Den Abbildungen ist zu entnehmen, dass sowohl bei einem Lastanstieg von 50 mA auf 230 mA als auch bei einem Lastabwurf von 230 mA auf 50 mA, die Ausgangsspannung V_OUT (grün) stabil geregelt bleibt und die Spezifikation auch bei Hochtemperatur eingehalten wird. Die zeitlichen Lastverläufe sind bei diesen Abbildungen einmal in Form des gemessenen Laststroms I_LOAD (rot), welcher sich im Bereich von 0 – 180 mA ändert, und des gesamten Ausgangsstroms I_OUT dargestellt, wobei dieser durch einen 0,1 Ohm Messwiderstand R_M auf dem Testboard fließt und die Spannung darüber von einem Verstärker mit Faktor 20 als Messsignal V_IOUT (gelb) ausgegeben wird. Der gesamte Ausgangsstrom I_OUT setzt sich hierbei aus der 50 mA Grundlast und dem jeweiligen Laststrom I_OUT zusammen.

$$V_{\mathrm{IOUT}} = R_{\mathrm{M}} \cdot I_{\mathrm{OUT}} \cdot 20 = R_{\mathrm{M}} \cdot (I_{\mathrm{LOAD}} + 50\ \mathrm{mA}) \cdot 20 = \left\{ \begin{matrix} 0{,}10\ \mathrm{V}\ ;\ \text{mit}\ I_{\mathrm{LOAD}} = 0\ \mathrm{mA} \\ 0{,}46\ \mathrm{V}\ ;\ \text{mit}\ I_{\mathrm{LOAD}} = 180\ \mathrm{mA} \end{matrix} \right\}$$

Es zeigt sich also schon jetzt, dass mit der ausgewählten Technologie integrierte Hochvoltabwärtswandler realisiert werden können, die Eingangsspannungen erfolgreich auf eine Ausgangskleinspannung von V_OUT wandeln können und das auch bei Hochtemperaturen von 185 °C.



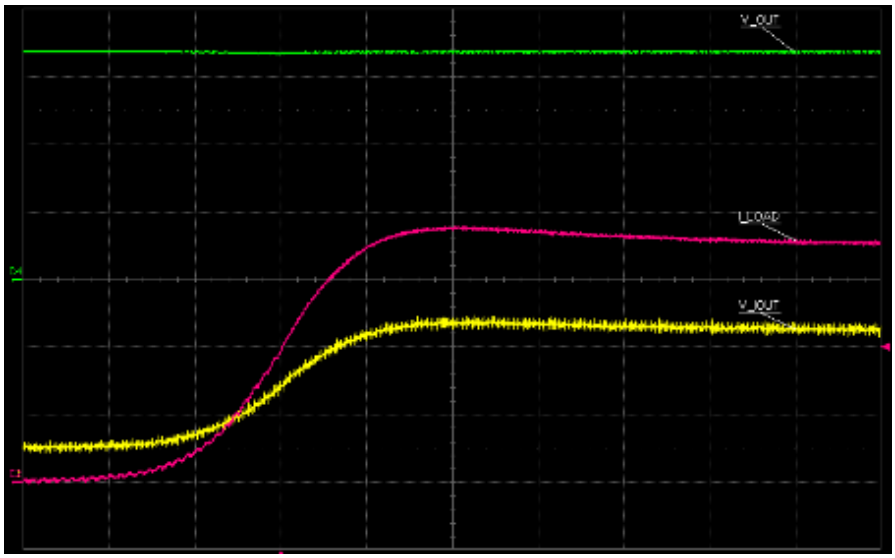
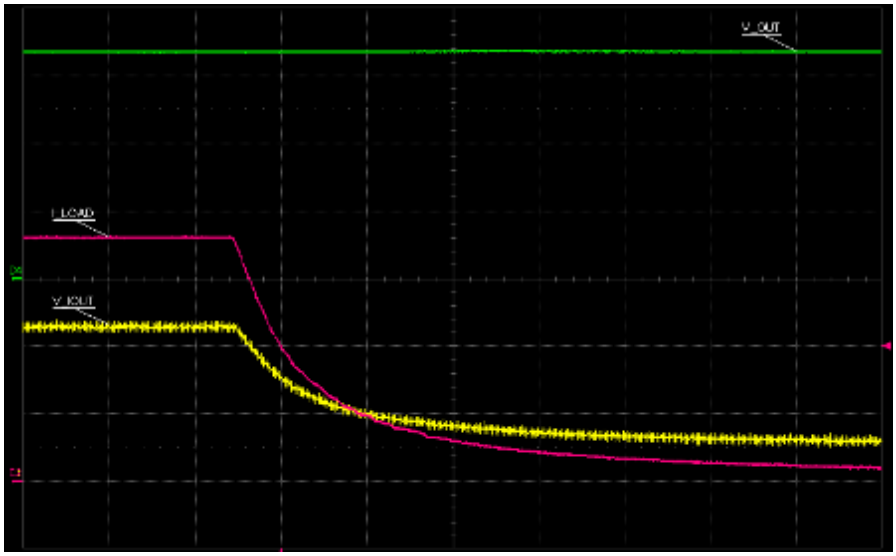


Abbildung 52 Ausregelverhalten bei Lastzunahme von +180 mA bei 185 °C



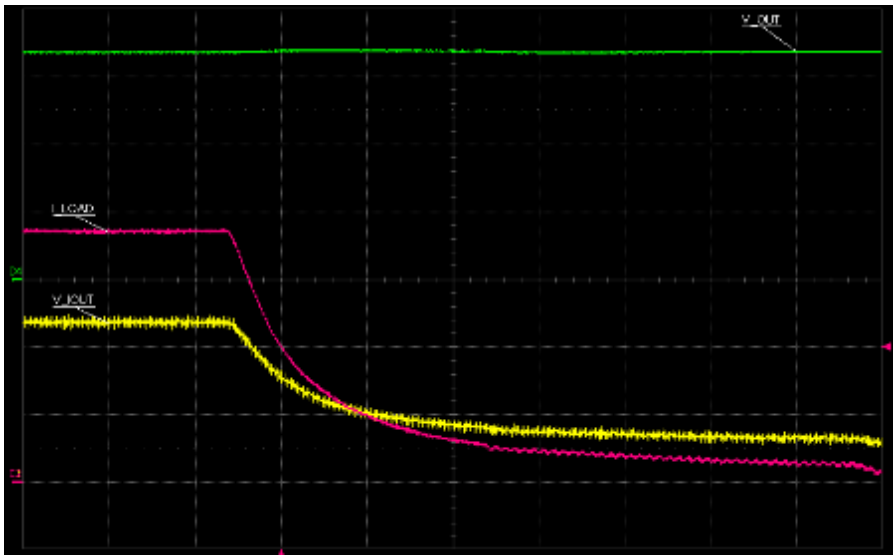


Abbildung 53 Ausregelverhalten beim Lastabwurf von -180 mA, bei 27 °C (oben) und 185 °C (unten)

Verstärkerdesign 1

Inbetriebnahme

Für die Inbetriebnahme wurde ein typisches Szenario angenommen, wie es in einer späteren Applikation realistisch ist. Dafür wurde der Verstärker über eine externe Beschaltung in einen Betriebszustand gebracht, in dem er ein Sensorsignal nichtinvertierend mit einer festen Verstärkung von A_{CL} = 40dB auf einen gewünschten Pegel anhebt. Dabei wurde am Eingang eine Gleichtaktspannung von V_{CM} = 1.0V angelegt, wie sie zum Beispiel als Ruhepegel aus einer Sensormessbrücke zu entnehmen ist. Auf dieses Gleichtaktsignal wurde ein Differenzsignal aufmoduliert, dass dem zu verstärkenden Sensorsignal entspricht. Da das Eingangssignal mit dem Faktor 100 multipliziert wird und der Verstärker am Ausgang nicht übersteuern soll, wird das Differenzsignal in seiner Amplitude auf V_{DIFF} = 10mV eingestellt.

$$\boldsymbol{V_{OUT} = V_{CM} + (V_{DIFF} * A_{CL})}$$

Nach diesem Setup sollte sich nach vorstehender Formal für einen idealen Verstärker am Verstärkerausgang ein Spannungspegel von V_{OUT} = 1.0V + (0.01V x 100) = 2.0V einstellen. Sobald sich durch Prozess- und Bauteilschwankungen, oder sonstiger Asymmetrien eine Eingangsoffsetspannung $V_{IN,OFF}$ einstellt, wird diese mit demselben Verstärkungsfaktor am Ausgang sichtbar. Die Gleichung für den realen Verstärker verändert sich wie nachfolgend dargestellt.

$$\boldsymbol{V_{OUT} = V_{CM} + \left((V_{DIFF} + V_{IN,OFF}) * A_{CL}\right)}$$

Sowohl mit diskreten Bauelementen, als auch im integrierten Schaltungsdesign kann trotz sorgfältigen Designmethoden mit Eingangsoffsetspannungen im Bereich $V_{IN,OFF}$ = 5..10 mV gerechnet werden. Nach der vorstehenden Gleichung ergibt sich statt der erwarteten Ausgangsspannung von V_{OUT} = 2.0 V ein Pegel von V_{OUT} = 3.0 V. Die Versorgungsspannung des Systems beträgt lediglich V_{AVDD} = 3.3 V. Der Verstärkerausgang droht also zu „clippen“. Im Falle eines noch höheren Sensorsignals wird der Verstärker übersteuert und ein Informationsverlust ist nicht abzuwenden.

Wenn sich durch Prozessschwankungen oder Asymmetrien eine Eingangsoffsetspannung in einem Verstärker einstellt, ist diese zunächst in Betrag und Polarität unbekannt. Man kann diese durch spezielle Messverfahren im späteren Verlauf messen, jedoch kann sie dann nicht beeinflusst werden. Um für das gewählten Kompensationsprinzip eine Beurteilung der Funktionsfähigkeit vornehmen zu können, wurden auf dem Testchip zusätzliche Schnittstellen geschaffen, die in einer Applikation so nicht verfügbar wären. An dieser Schnittstelle kann eine äußere DC-Spannung angelegt werden, die dann stellvertretend eine imaginäre Eingangsoffsetspannung imitiert.

Die Charakterisierung des relevanten Schaltungsblocks wurde in einer Klimakammer vorgenommen. Hier können Umgebungstemperaturen von T = -40 …185 °C eingestellt werden. Der Verstärker wurde wie oben beschrieben mit angegeben Gleichtaktspannungen an beiden Eingängen belegt, zeitgleich wurde eine Sinusspannung mit f = 1 kHz und einer Amplitude von V_{DIFF_peak} = 10 mV angelegt. Die Eingangsoffsetspannung V_{IN,OFF_dc} wurde in mehreren Stufen bis 15 mV eingeprägt.

In Abbildung 54 ist eine Oszilloskopmessung bei Raumtemperatur zu sehen. Die Ordinatenachse zeigt Spannungspegel mit der Auflösung 1.00 V/Einheit an, der Ursprung liegt in der Bildmitte. Zu erkennen ist der Verstärkerausgang in gelb. Er wird durch die Eingangsoffsetspannung $V_{IN,OFF}$ = 15 mV übersteuert und klippt praktisch an der oberen Spannungsversorgungsschiene. Die untere Sinushalbwelle ist zu erkennen, der obere Teil ist jedoch durch die Begrenzung abgeschnitten. In blau ist hier nochmal der zu erwartende Ruhepegel des Verstärkerausgangs dargestellt, der sich ohne Sensorsignal und Offset einstellen würde. Er ist durch die am Eingang anliegende Gleichtaktspannung bestimmt. Die auf beiden Kurven sichtbaren Spannungsspitzen sind durch den Laboraufbau mit langer Leitungsführung zu erklären. Hier werden Störungen und Rauschen aus der Umgebung deutlich schneller in das System eingekoppelt als in einer in sich geschlossenen Applikation.

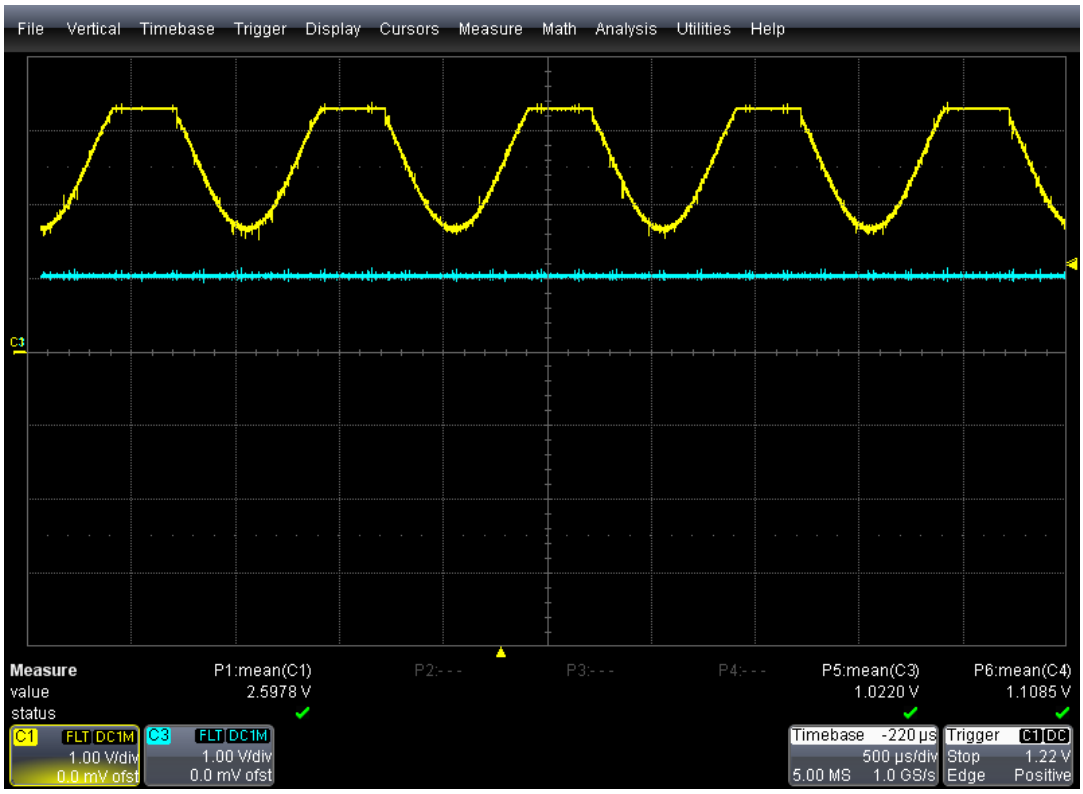


Abbildung 54: Offsetbehafteter Verstärkerausgang bei Raumtemperatur und nicht aktiver Kompensation

In Abbildung 55 ist dasselbe Signal zu sehen, diesmal jedoch mit aktiver Offset-Kompensation. Die Kompensation lässt sich durch ein weiteres Interface im Testchip von außen kontrollieren. In der Applikation wird das durch interne Signale gesteuert.

Gut zu erkennen ist, dass der gelbe Verstärkerausgang trotz seines offsetbehafteten Eingangs um seinen Ruhepegel symmetrisch aussteuert. Die Eingangsoffsetspannung ist nahezu vollständig kompensiert.

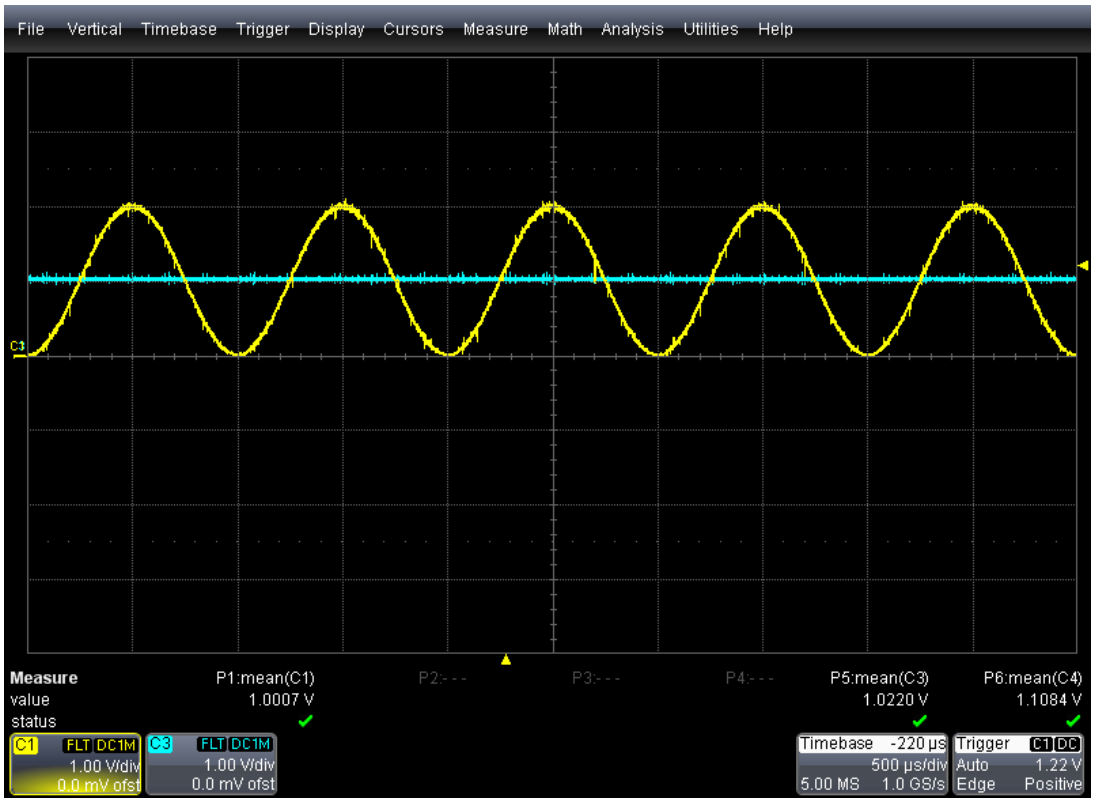


Abbildung 55: Offsetbehafteter Verstärkerausgang bei Raumtemperatur und aktiver Kompensation

Die Tests wurden bei Raumtemperatur, sowie die beiden spezifizierten Minimal-/Maximal-Temperaturen T_{MIN} = - 40 °C und T_{MAX} = 175 °C, durchgeführt. In Abbildung 56 sind die Kurven übereinandergelegt. Kanal M1 entspricht 175°C, M2 entspricht 25°C und M3 ist der Ausgang bei – 40 °C. Die Funktionsfähigkeit der gewählten Kompensationsmethode ist damit für den spezifizierten Temperaturbereich bewiesen.

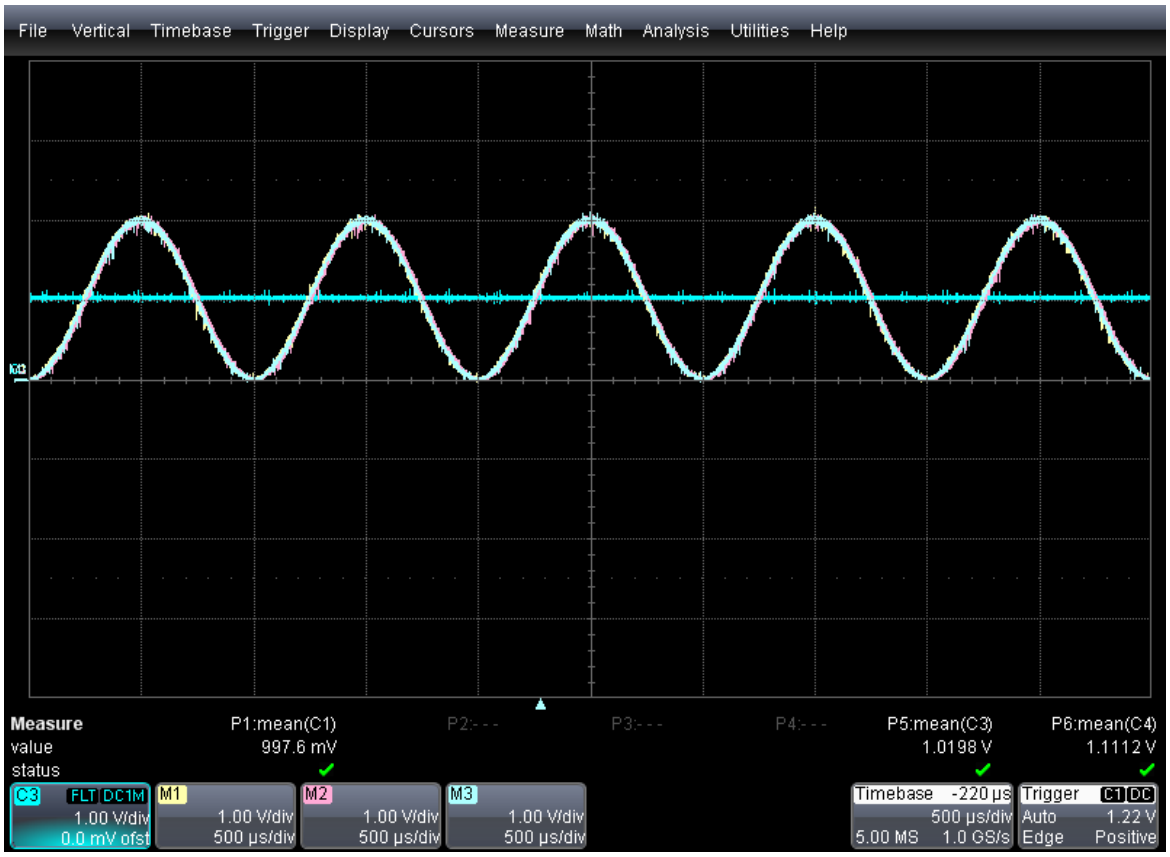


Abbildung 56: Verstärkerausgang mit aktiver Kompensation im Temperaturbereich -40 °C bis 175 °C

Langzeittest

Nach der erfolgten Integration wurde der Test mit drei Testboards begonnen.

Beim Langzeittest wurden die Testboards mit derselben Grundeinstellung wie im Abschnitt „*Inbetriebnahme - Verstärkerdesign*“ betrieben. Abweichend davon wurde am Verstärkereingang statt eines Sinusspannung V_{DIFF} mit Frequenz f ein Gleichspannungsnutzsignal gleicher Amplitude verwendet. Ohne Eingangsoffsetspannung wäre also eine Ausgangsspannung von

$V_{OUT} = V_{CM} + (V_{DIFF} \times A_{CL}) = 1.0V + (0.01V \times 100) = 2.0V$

zu erwarten.

Durch das Anlegen einer künstlichen Eingangsoffsetspannung von $V_{IN,OFF}$ = 10mV und ohne aktivierte Offsetkompensation müsste der Ausgangsspannung auf 3.0 V steigen.

$V_{OUT} = V_{CM} + ((V_{DIFF} + V_{IN,OFF}) \times A_{CL}) = 3.0V$

Die Testboards sind mit DUT1 bis DUT3 durchnummeriert. Abbildung 57 zeigt die Messwerte nach 1500 Stunden bei etwa 185°C. Hierbei ist eine Auffälligkeit zu beobachten, bei welcher die Ausgangsspannung über Zeit eine gewisse Welligkeit aufweist. Die parallele Kurvenform für die drei DUTs deutet auf einen systematischen Fehler im Aufbau hin. Um die Ursache einzugrenzen und bewerten zu können, wurde in Abbildung 58 mit der horizontalen Achse die Zeitauflösung auf eine Woche eingestellt. Hierbei wird deutlich, dass sich das Muster mit einer 24 Stunden-Periode wiederholt. Es wird vermutet, dass äußere Einflüsse wie Raumklimatisierung oder Störungen durch den Tagesbetrieb für Fluktuationen im gesamten Messaufbau verantwortlich sind.

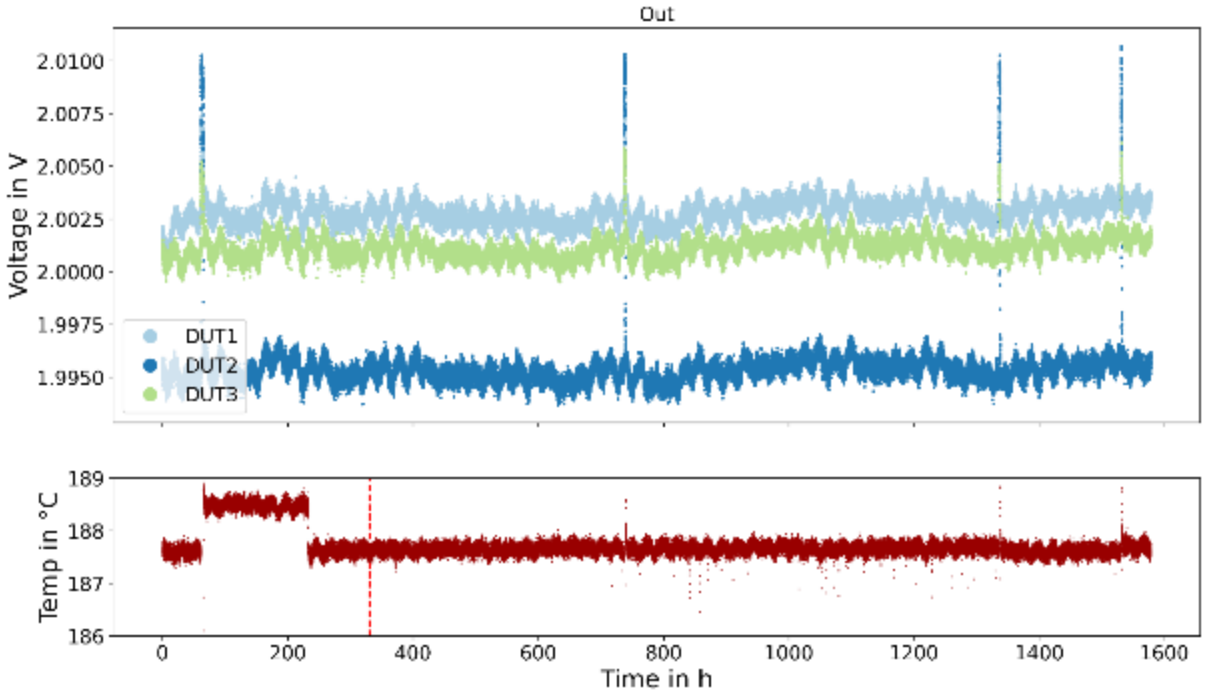


Abbildung 57: Ausgangsspannung mit feinerer Achsenauflösung

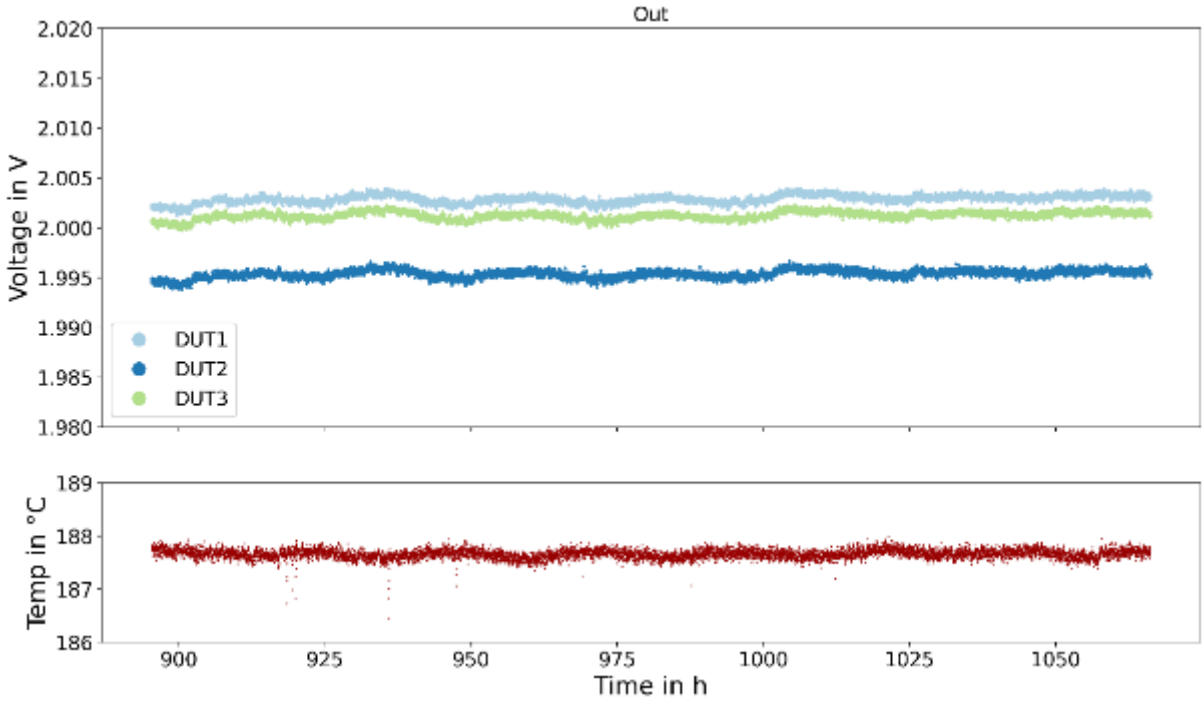


Abbildung 58: Zeitliche Auflösung auf eine Woche dargestellt

Aus den Messergebnissen kann geschlussfolgert werden, dass die aktive Kompensation der Eingangsoffsetspannung in den Zero-Offset-Verstärkern wie gewünscht über den spezifizierten Temperaturbereich funktioniert. Die Langzeittests bestätigen die Funktion über Temperatur für einen signifikanten Zeitraum mit einer stabilen und reproduzierbaren Performance.

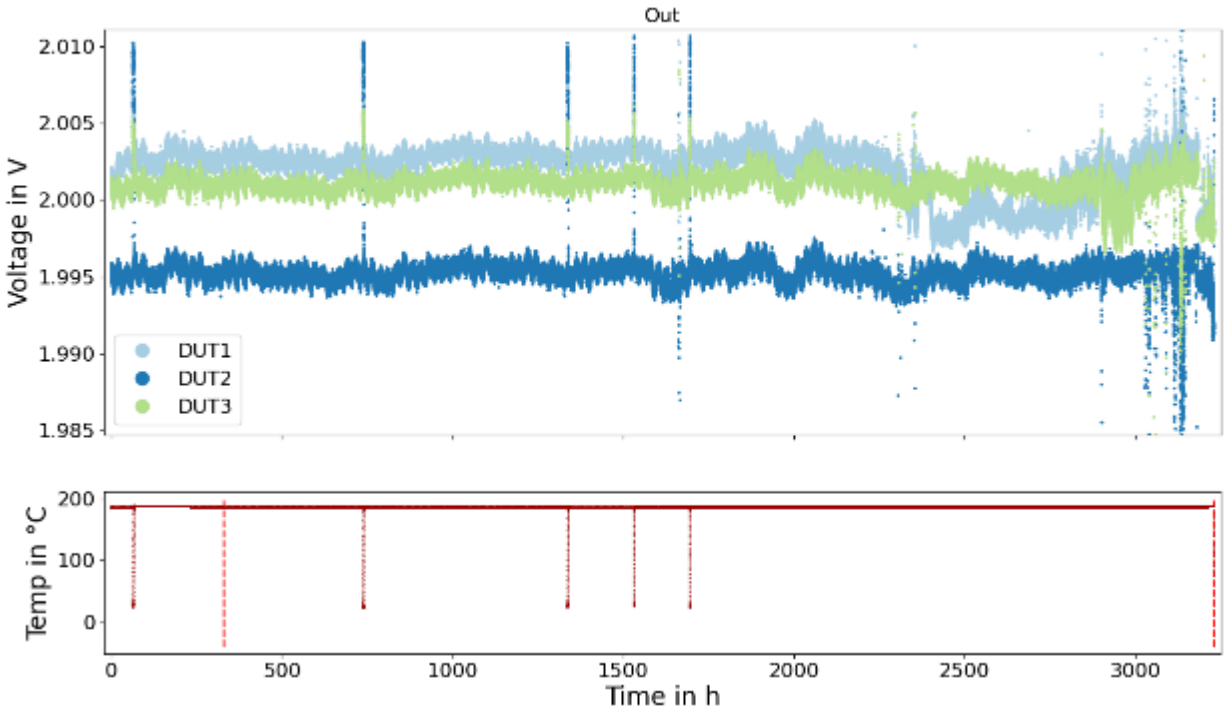


Abbildung 59: Ausgangsspannung des ASICs

Der Test wurde ohne weiterer Auffälligkeiten nach 3100 Stunden bei 185 °C beendet. Abbildung 59 stellt den Verlauf der Messung dar.

Verstärkerdesign 2

Inbetriebnahme

Im Berichtszeitraum wurde der rauscharme Verstärker 2 getestet. Die vollständige Charakterisierung eines solchen Systems ist ungleich komplexer als es bei anderen Systemen die Regel ist. So kann eine genaue Beurteilung der Rauschunterdrückungsperformance nur mit dafür optimierten Messaufbauten und -equipment vorgenommen werden. Für die Langzeitcharakterisierung und Qualifizierung sind diese speziellen Messaufbauten aber ungeeignet. Deshalb wurde entschieden, die Schritte getrennt voneinander vorzunehmen.

Im Testaufbau zur Charakterisierung wurde die Funktion des Verstärkers bestätigt. Die Schaltung zur Betriebspunkteinstellung (engl: Biasing) wurde Vermessen und ihre Ergebnisse entsprechen der Simulation ohne nennenswerter Auffälligkeiten und entsprichen den Simulationsergebnissen in sehr guter Näherung.

Schaltwandler Konzept 2

Inbetriebnahme

Die Erstinbetriebnahme im Labor ergab bei 2 von 3 Testplatinen, dass der BUCK-Abwärtswandler nach Konzept 2 seine eigene Initialisierungsphase nicht vollständig abschließt und die Leistungsstufe zur Spannungswandlung nicht aktiviert werden konnte. Die Initialisierungphase wird von den Funktionsblöcken der internen „Versorgungskontrolle“ und der „Digitalen Steuereinheit“ übernommen, welche sequenziell verschiedene Funktionen im Testchip aktivieren, nachdem einfache Schwellwerte der Eingangsspannung sowie der internen Versorgungsdomänen überschritten wurden. Beim Konzept 1 trat dieses Verhalten auch sporadisch auf, konnte jedoch mit einem Aus- und Wiedereinschalten der Eingangsspannung überschrieben werden. Dies war beim Konzepot 2 leider wiederholt nicht möglich und erfordert nun eine detaillierte Analyse des Test-Setup, der Testplatine und des Testchip praktisch im Labor sowie auch simulativ in der ASIC-Entwicklungsumgebung, um die Ursache zu ermitteln. Diese zeitaufwendige Analyse konnte jedoch nicht mehr im zeitlichen Rahmen des Projekts durchgeführt werden. Da diese Anstartschwierigkeiten aber bei beiden Testchips mit den gleichen Funktionsblöcken ermittelt wurden und lediglich die Leiterbahnführung chipintern unterschiedlich ist, bestärkt dies die Erkenntnis, dass die Funktionsblöcke internen „Versorgungskontrolle“ und der „Digitalen Steuereinheit“ zusammen mit dem Chiplayout nochmal überarbeitet und genauer analysiert werden muss.

4.4.3 Dritter Zuverlässigkeitstest

Testaufbau für 200 °C

Im dritten Durchlauf des Zuverlässigkeitstests wurde die Testtemperatur von 185°C auf 200 °C angehoben. Durch diese Erhöhung stiegen nicht nur die Anforderungen an die Testchips, sondern auch die der Leiterplatten-Substrate und der Aufbau- und Verbindungstechnik. Um die Degradationseffekte, die in den vorhergehenden Zuverlässigkeitstests beobachtet wurden, zu minimieren, wurden Änderungen an den Testadaptern und am Testboard vorgenommen.

Hierzu wurden zwei Konzepte entwickelt und parallel umgesetzt. Konzept 1 umfasste die Entwicklung eines Multiplexer-Test-ASICs dessen Ansatz es ist, die Komplexität der gesamten sich im Ofen befindenden Multiplexing-Elektronik auf eine dafür ausgelegte Komponente zu reduzieren. Der wesentliche Vorteil dieser Lösung ist die Beibehaltung der Anzahl an Messkanälen bei erheblicher Verringerung der Komplexität des Test-Adapter Designs mit einhergehender Minimierung der Ausfallwahrscheinlichkeit auf Grund von Komponentendefekten und Aufbau- und Verbindungsfehler.

Das Multiplexer-ASIC wurde entwickelt und im Wafer Run #2 gefertigt. Das Multiplexer-ASIC stellt 11 differentielle Transmission-Gates, die als analoge Schalter verwendet werden können, 21 digitale Output-Enable-Buffer, sowie Chip-Select-, Write-Enable- und Select-Leitungen zur Verfügung, sodass diverse Multiplexerschaltungen realisiert werden können.

Das zweite Konzept hinsichtlich Testadapter besteht darin, das Multiplexing außerhalb des Ofens durchzuführen. Dadurch werden die Komplexität und die Anzahl der aktiven Elektronik innerhalb des Ofens minimiert. In Abbildung 60 ist die Verdrahtung des Testsetups dargestellt. Von jedem sich im Ofen befindenden DUT ist ein einzelner Kabelstrang (je 16 Adern) nach außen geführt und an einer bereits vorhandenen Breakout Box angeschlossen.

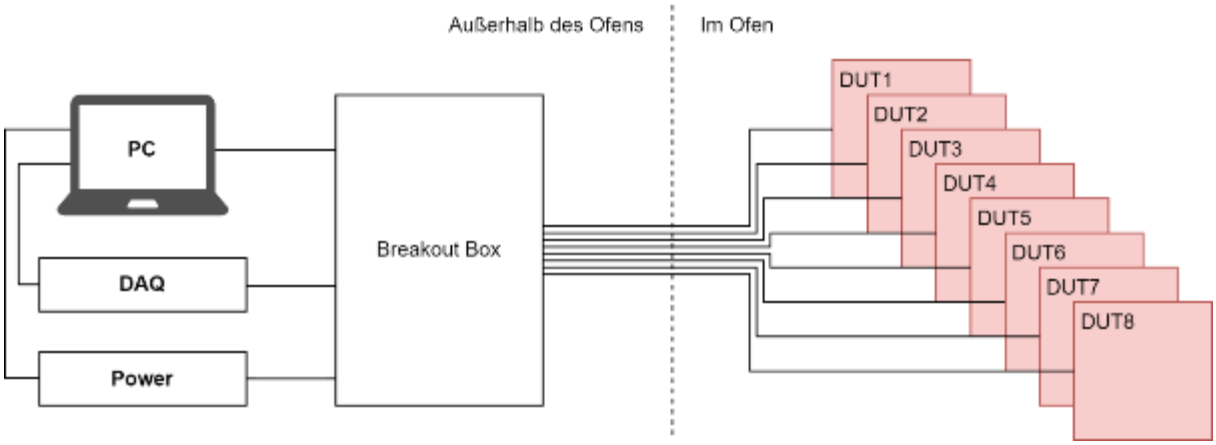


Abbildung 60: AP7 Testsetup

An dieser sind ebenfalls ein PC, eine Data Aquisition Unit (DAQ) und eine Spannungsversorgung (Power) angeschlossen. Mit diesem Aufbau ist es möglich, unter Verwendung des Prozessor-Testchip, die Stromaufnahme jedes einzelnen DUTs zu messen, mittels JTAG-Schnittstelle auf den Prozessorkern zuzugreifen, einen Reset durchzuführen und die analogen Spannungen Vref (Referenzspannung) und Vlr (Linear Regler Ausgang) zu messen.

Nach einer Bewertung der beiden Ansätze wurde das zweite Konzept auf Grund der reduzierten Integrationskomplexität gewählt.

Bei Verwendung von MCM-Substraten für die Testboards hat sich gezeigt, dass je nach Messkanal ab ca. 3000 Stunden bei 185 °C bei unbeschichteten Substraten die auftretende Kupfermigration und -oxidation zu Messfehlern führt. Ein Einsatz bei 200 °C und 5000 Stunden würde dazu führen, dass die Testchips mehrfach abgeschert, und auf neuen Testboards aufgebaut werden müssten. Die MCM-Substrate hatten einen 6-lagigen Aufbau mit minimalen Leiterbahnabständen. Im vorangegangenen Bericht wurde beschrieben, dass eine LCC-Breakout-Platine entworfen wurde, mit der es möglich ist, Testchips in LCC84 Gehäusen aufzulöten und im Ofen zu betreiben. Diese Platine hat einen vereinfachten 2-lagigen Aufbau. Ebenfalls sind die minimalen Leiterbahnabstände vergrößert worden.

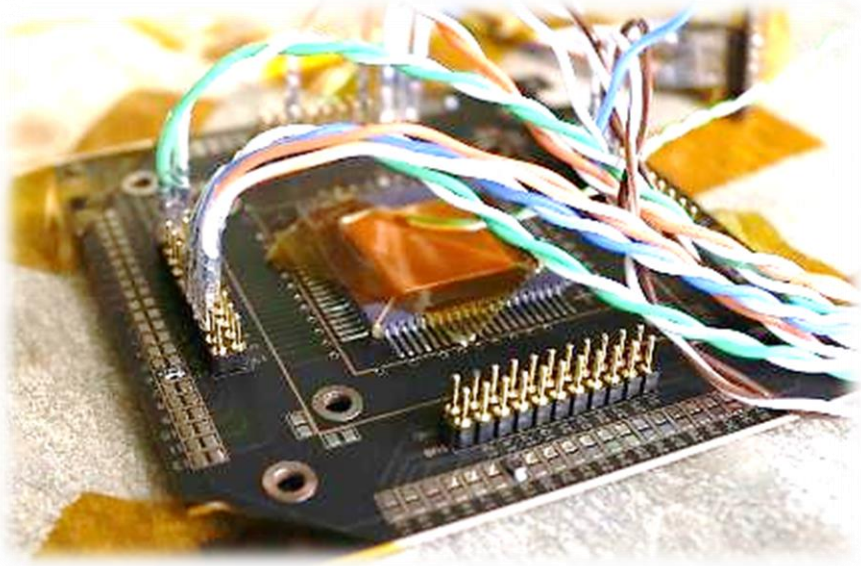


Abbildung 61: LCC84 Breakout Platine – Nach 500 h bei 200°C

Der entscheidende Unterschied ist, dass bei der Produktion der LCC-Breakout-Platine auf einen Verpressschritt und die damit einhergehende Verwendung von Halogenbehafteten-Prepreg Lagen verzichtet wurde. Diese wirken unter Temperatur zu der bereits beschriebenen Kupfermigration und -oxidation.

In einem vorgelagertem Testlauf konnte die LCC-Breakout-Platine mit dem Testchip bereits für 500h bei 200°C ohne Ausfall betrieben werden. Nach ca. 3400h wurde der Test beendet. Abbildung 62 zeigt die Messung der Referenzspannung in Abhängigkeit von der Testzeit (das Fehlen der Messwerte zwischen 3100h und 3380h ist auf einen Ausfall des Logging-Rechners zurückzuführen).

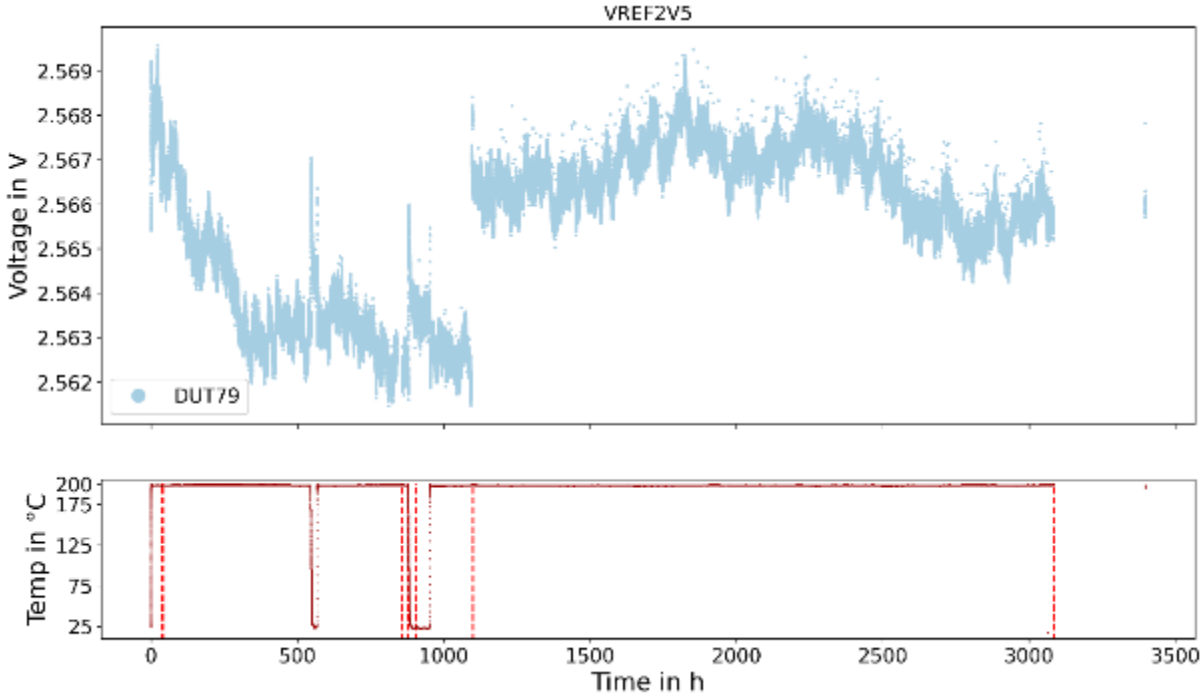


Abbildung 62: ASIC-80-A – Messung der Referenzspannung mit LCC-Breakout-Platine bei 200°C

Die Referenzspannung ist wie bei den Aufbauten in AP 1 und AP 4 ein Indikator für den Degradationszustand des MCM-Aufbaus. Es ist zu erkennen, dass über den gesamten Zeitraum eine Änderung in der Ausgangsspannung von lediglich 7.5 mV auftritt. Zusätzlich zur Auswertung der Referenzspannungsquelle wurde mittels JTAG-Interface auf den Digitalteil des Testchips zugegriffen. Hier gab es keinen Kommunikationsausfall; der Testchip antwortet zuverlässig während der gesamten Testlaufzeit. Es ist demzufolge keinerlei Anzeichen für eine Degradation zu erkennen.

Das Ergebnis dieses Tests ist von entscheidender Bedeutung. Vorab wurde damit gerechnet, dass eine Degradation des Substrats zu einem vorzeitigen Ausfall führt und ein erneuter Aufbau des LCC-Gehäuses auf eine neue Breakout-Platine notwendig wird. Es wurde daher entschieden, dieses Setup für die Durchführung des 200 °C Technologietests zu verwenden.

Testdurchführung

Für den 5000 h / 200°C Test werden acht LCC-Breakoutplatinen mit je einem Prozessor-Testchip im Ofen getestet. Abbildung 63 zeigt den Aufbau von vier übereinander gestapelten Breakoutplatinen.

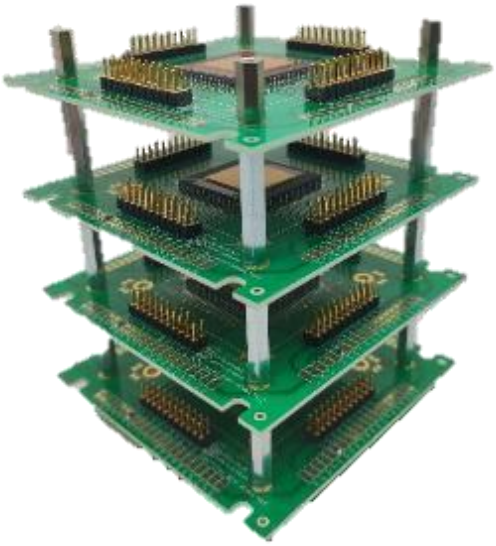


Abbildung 63: Gestapelter Aufbau von 4 LCC-Breakoutplatinen mit ASIC-80A Testchips

Die Verdrahtung der Platinen erfolgte mit hochtemperaturfesten CAT-7 Ethernet-Kabeln. Je zwei Kabel mit 8 Adern werden pro Platine benötigt. Die Enden der einzelnen Adern wurden mit Crimpkontakten versehen. Dadurch entstanden keine Lötverbindungen auf Seiten der Kabel innerhalb des Ofens. Dies hat den Vorteil, dass Verunreinigungen durch Flussmittelrückstände keinen Einfluss mehr auf die Langlebigkeit der elektrischen Verbindungen hatten. Der Aufbau von zwei dieser 4-fach gestapelten LCC-Breakout Platinen samt Verdrahtung ist in Abbildung 64 gezeigt. Hier zeigt sich auch, warum für diesen Test acht statt 16 DUTs verwendet wurden. Der Verdrahtungsaufwand auf Grund des fehlenden Multiplexings im Ofen ist hoch. Für weitere acht DUTs hätte ein zusätzlicher Ofen verwendet werden müssen.

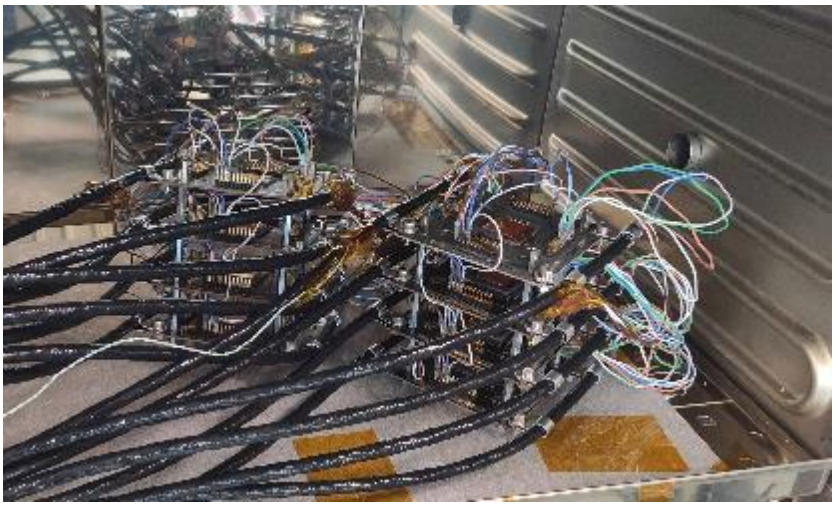


Abbildung 64: Aufbau der 8 LCC-Breakoutplatinen im Ofen

Der Testzeitraum von 5000h wurde abgeschlossen. Alle 8 DUTs haben den Testzeitraum ohne Ausfälle überstanden. Da DUT79 bereits für 3400h im Vortest war, hat DUT79 eine kumulierte Testzeit von 8400h. In Abbildung 65 ist die Messung der Referenzspannung der 8 DUTs dargestellt. Die zuvor beschriebenen Auffälligkeiten bei DUT79 hinsichtlich der Abweichungen der Werte ober- und unterhalb des erwarteten Mittelwerts lassen sich bei den anderen DUTs nicht beobachten. Lediglich die in Abbildung 65 durch gestrichelte Umrahmungen hervorgehobene Messwerte weichen von den zu erwarteten Werten ab. Dies liegt an einem vorübergehenden Ausfall der JTAG-Kommunikation, wodurch keine Firmware in die Controller geladen werden konnte.

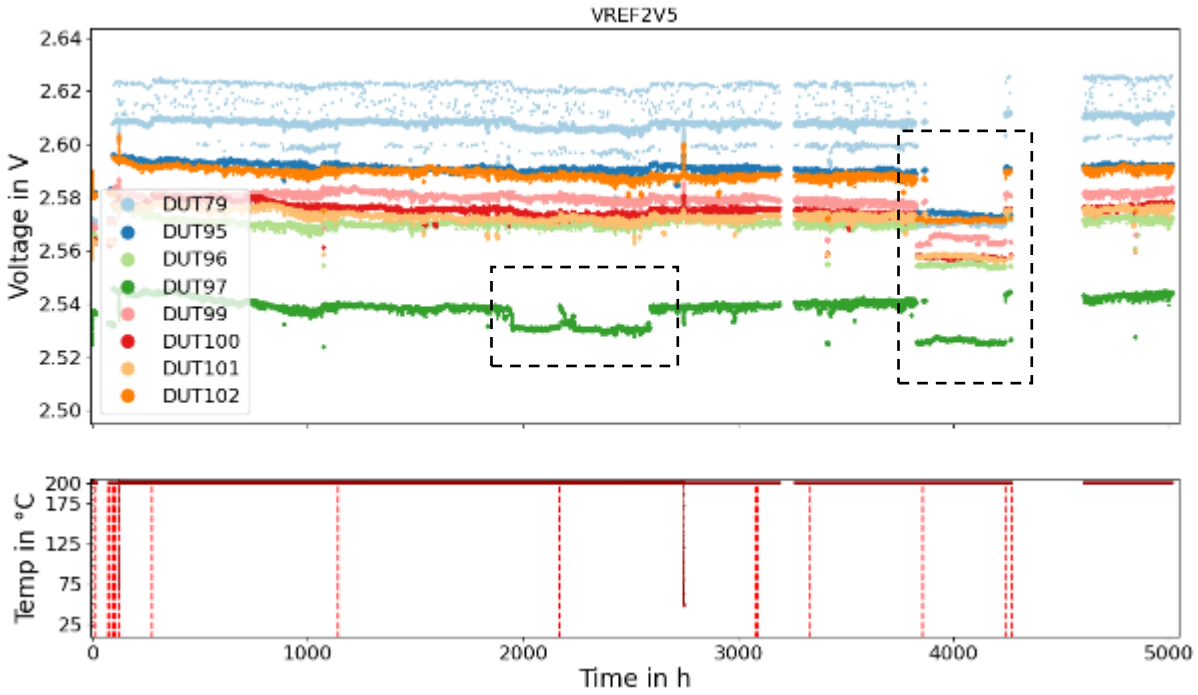


Abbildung 65: ASIC-80-A - Messung der Referenzspannung der 8 LCC-Breakout-Platinen bei 200°C

Abbildung 66 zeigt einen vergrößerten Ausschnitt von Abbildung 65 und hebt die Messwerte von DUT97 hervor. Über den gesamten Testzeitraum verändert sich die Referenzspannung lediglich im Bereich von 14 mV. Dies liegt innerhalb der Vorgaben und lässt sich auch auf alle anderen DUTs übertragen. Einzelne Messwerte liegen außerhalb des Messfensters. Hierbei handelt es sich um individuelle Messfehler des Messsystems. Das Absinken der Spannung um 10 mV bzw. 15 mV vom erwarteten Wert liegt am zuvor beschriebenen Ausfall der JTAG-Kommunikation.

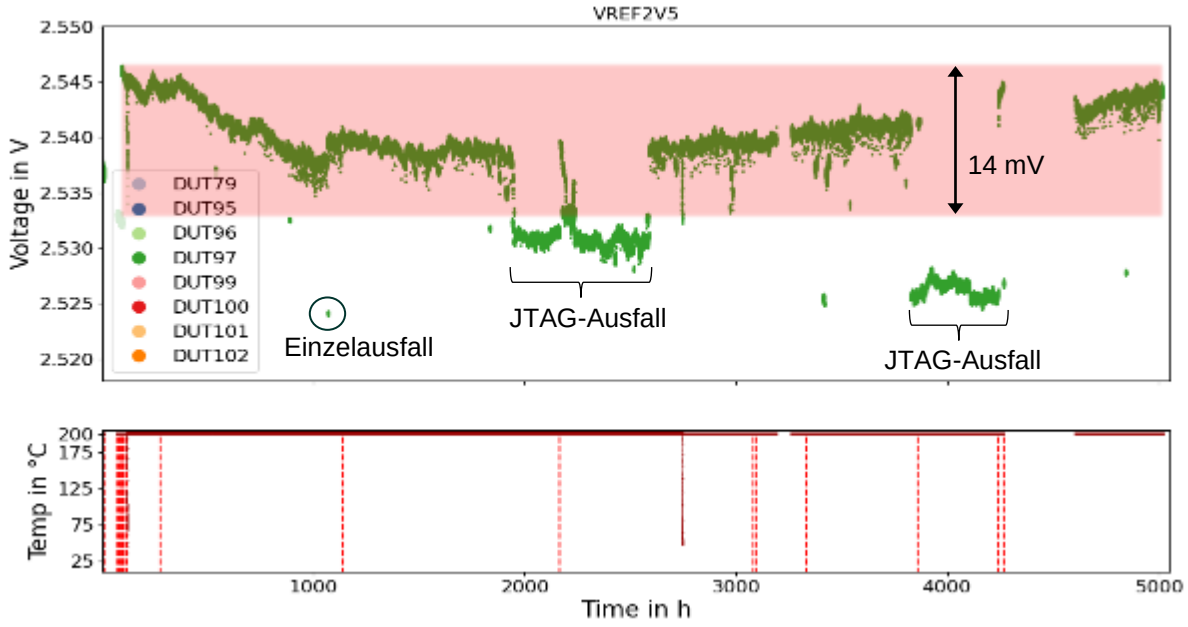


Abbildung 66: ASIC-80-A - Messung der Referenzspannung von DUT97 bei 200°C