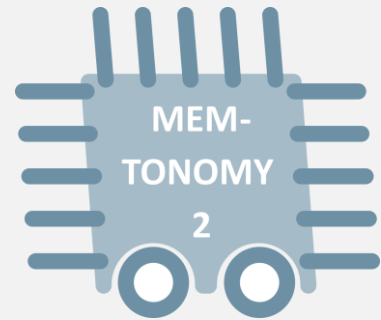


# MEMTONOMY-2

Verbundprojekt  
Speichersysteme für das autonome Fahren



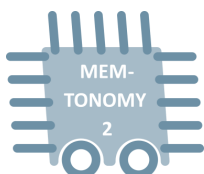
## Sachbericht Teil I: Kurzbericht

### Zuwendungsempfänger

Rheinland-Pfälzische Technische Universität Kaiserslautern-Landau  
Lehrstuhl Entwurf Mikroelektronischer Systeme  
Erwin-Schrödinger-Straße, Gebäude 12, 67663 Kaiserslautern

<b>Datum</b>	08.04.2026
<b>Projektkronym</b>	MEMTONOMY-2
<b>Förderkennzeichen</b>	<b>16ME0717</b>
<b>Projektlaufzeit</b>	01.11.2022 - 31.12.2025

<b>Projektpartner</b>	RPTU Kaiserslautern-Landau (RPTU) Fraunhofer IESE (IESE) Technische Universität München (TUM) Hyperstone GmbH (HS) Micron Semiconductor (Deutschland) GmbH (MICRON) LUBIS EDA GmbH (LUBIS)
<b>Assoziierte Partner</b>	Aumovio SE, Mercedes-Benz AG
<b>Projektkoordinator</b>	Fraunhofer IESE, Kaiserslautern



Gefördert durch:



PROJEKTRÄGER

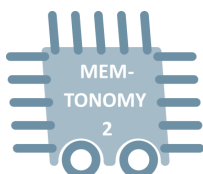
VDI | VDE | IT

# Zweck dieses Dokuments

Dieses Dokument beschreibt als Teil I des Sachberichts des RPTU Kaiserslautern-Landau die Projektergebnisse des Verbundprojektes »**MEMTONOMY-2 – Speichersysteme für das autonome Fahren**« in kurzer und allgemein verständlicher Form. Dazu erläutert das Dokument die ursprüngliche Aufgabenstellung sowie den wissenschaftlichen und technischen Stand, an den angeknüpft wurde, den Ablauf des Vorhabens sowie dessen wesentliche Ergebnisse.

Das Projekt wurde unter dem Förderkennzeichen 16ME0716-16ME0721, sowie 16ME0995 vom Bundesministerium für Forschung, Technologie und Raumfahrt gefördert und durch den Projektträger PT-VDI/VDE, Arbeitseinheit TZ-MST betreut. Es wurde vom 01.11.2022 – 31.12.2025 im Rahmen des Programms „Elektronik und Softwareentwicklungsmethoden für die Digitalisierung der Automobilität (MANNHEIM)“ durchgeführt.

Ziel des Vorhabens war es, den Einsatz von DRAM- und Flash-Speichern in sicherheitskritischen Anwendungskontexten in der Automobilindustrie unter Berücksichtigung entsprechender Sicherheitsnormen (z. B. ISO 26262) sowie der Performanzanforderungen zu ermöglichen.



Gefördert durch:



PROJEKTTRÄGER



# 1 Aufgabenstellung

Im autonomen Fahren müssen durch mehr Sensorik und KI stetig wachsende Datenmengen in Echtzeit verarbeitet werden. Dabei steigen die Anforderungen an Leistung, geringen Energieverbrauch und Kosteneffizienz, weshalb vermehrt auf Consumer-Hardware zurückgegriffen werden muss. Gleichzeitig wird die Lücke zwischen Prozessorgeschwindigkeit und externer Speicherbandbreite immer größer.

Wie Speichermodule in automobilen Anwendungen sicher eingesetzt werden können, ist eine zentrale Herausforderung. Bisher fokussierte sich die Speicherforschung primär auf Mobilgeräte und Rechenzentren, wodurch wichtige Erkenntnisse für den Fahrzeugeinsatz fehlen.

Ziel des Vorhabens war es daher, den Einsatz von DRAM- und Flash-Speichern in der Automobilindustrie zu ermöglichen und dabei sowohl hohe Performanzanforderungen als auch strenge Sicherheitsnormen (z. B. ISO 26262) zu erfüllen.

## 2 Ablauf des Vorhabens

Das Projekt wurde vom 01.11.2022 – 31.12.2025 durchgeführt und gliederte sich im Wesentlichen in die Abschnitte Anforderungen und Architektur, Safety und Zuverlässigkeit, Optimierungen Speichercontroller sowie Demonstrator-Entwicklung.

Der Partnerwechsel von der HTWG zur TUM konnte durch eine budgetneutrale Verlängerung der Projektlaufzeit aufgefangen werden (Projektende vom 31.10.2025 auf den 31.12.2025 verschoben). Inhaltlich gab es dadurch keine wesentlichen Abweichungen vom ursprünglichen Projektplan.

Die Zusammenarbeit der Partner im Projekt war vertrauensvoll, konstruktiv und zielführend. Im Konsortium gelang ein partnerschaftlicher, gegenseitiger Kompetenzaufbau und es gelang gut, gemeinsame Zeitfenster für die Bearbeitung der Projektaufgaben zu finden.

## 3 Wesentliche Ergebnisse

Die wesentlichen Ergebnisse der RPTU in den einzelnen Arbeitspaketen werden im Folgenden kurz dargestellt.

### 3.1 AP1 (Anforderungen und Architektur)

Die RPTU hat gemeinsam mit dem Fraunhofer IESE Anforderungen an DRAM-Speicher in autonomen Fahrzeugen erhoben und Zielarchitekturen definiert. Bevorzugt werden LPDDR- und HBM-Standards. Für diese wurden neue Simulationsmodelle entwickelt bzw. erweitert und erste Simulationen durchgeführt, die als Basis für die weiteren Arbeitspakete dienen haben.

### 3.2 AP2 (Safety und Zuverlässigkeit)

Die RPTU hat Retention-Messungen für LPDDR4-Devices bei verschiedenen Temperaturen durchgeführt und gezeigt, dass die Module die JEDEC-Vorgaben einhalten und auch bei hohen Temperaturen sicher betrieben werden können. Gemeinsam mit dem Fraunhofer IESE

wurden Interface-Fehler mit Augendiagrammen und dem Dual-Dirac-Verfahren analysiert. Messungen mit künstlich erhöhtem Jitter zeigten, dass sowohl Einzel- als auch Multibitfehler auftreten und einfache SECDED-Schemata (LPDDR5) nicht genügen. LPDDR6 mit erweitertem Link-ECC und zusätzlichen Metadaten bietet daher deutliche Vorteile für den automobilen Einsatz. Basierend auf einer Literaturrecherche zu DRAM-Fehlern wurden ECC-Verfahren entwickelt, die den internen Aufbau der Bausteine berücksichtigen und vorhandene Metadaten nutzen. Außerdem wurden Inline-ECC-Konzepte hinsichtlich Bandbreite, Latenz und Safety bewertet.

### 3.3 AP3 (Optimierungen Speichercontroller)

Auf Grundlage der Anforderungen aus AP1 wurden Konzepte zur Partitionierung des DRAM nach Kritikalität (z.B. Programmcode, KI, Infotainment) erarbeitet. Über den Speichercontroller können je nach Adressbereich unterschiedliche Fehlererkennungs- und -korrekturverfahren angewendet werden. Zur Steigerung der Bandbreitenausnutzung wurden neue Address-Mapping-Optimierungen erforscht. Ergänzend wurden Zählermodule und Logikblöcke im Speichercontroller implementiert, um Zugriffsstatistiken zu erfassen und Lese-/Schreibzugriffe zu gruppieren. Ein entwickeltes Framework zur automatischen Konfigurationssuche reduziert den Simulationsaufwand für die Bestimmung optimaler DRAM-Konfigurationen. Auf Basis von DRAMSys wurden die Simulatoren ONFISys (Flash-HW-Controller, an Hyperstone übergeben) und PIMSys (HBM-PIM) entwickelt. Zusätzlich wurde ein holistischer Ansatz untersucht, bei dem der DRAM-Controller den ECC-Decoder des Flash-Controllers mitnutzt, um Chipfläche einzusparen.

### 3.4 AP4 (Demonstrator)

Für die von Mercedes-Benz und Aumovio vorgegebenen Szenarien wurden die Modelle aus AP1–3 parametrisiert und die Initiatoren so konfiguriert, dass realistische Zugriffsmuster entstehen. Es wurden LPDDR5- und LPDDR6-Subsysteme mit verschiedenen Fehlerkorrekturschemata (kein ECC, Inline-ECC wie NVIDIA Orin, CRC+BCH) simuliert. Für unterschiedliche Fehlerraten wurden Bandbreite und Energie verglichen und so der Nutzen der vorgeschlagenen Fehlerkorrekturstrategien im automobilen Kontext demonstriert.