

Schlussbericht zu Nr. 3.2

GEFÖRDERT VOM



Bundesministerium
für Bildung
und Forschung

Forschungsvorhaben:	16ES1080 Forschung für neue Mikroelektronik (ForMikro) mm-Wave Advanced-Sampling Transceiver Enabling 6G Data Transmission with 100 Gbit/s per mobile User (MassiveData6G)
Teilvorhaben:	Konzeptioneller Entwurf und Implementierung eines hochauflösenden Digital-Analog-Umsetzers mit hoher Abtastrate
Projektleiter:	Prof. Dr. sc. techn. Frank Ellinger
Datum:	10.12.2024

Die Verantwortung für den Inhalt dieser Veröffentlichung liegt bei den Autoren.

I. Kurze Darstellung zu

1. Aufgabenstellung

Ziel des Teilvorhabens der TU-Dresden im Rahmen der Machbarkeitsstudie von MassiveData6G war die Analyse, der Entwurf und die Charakterisierung eines hochauflösenden und breitbandigen RF-Digital-Analog-Umsetzers (DAU) mit einer sehr hohen Abtastrate von bis zu 10 GS/s und einer Auflösung, welche hinreichend für die angestrebte Datenrate eines Transceivers mit 100 Gbit/s ist. Darüber hinaus muss ein Konzept zur Bereitstellung der für die späteren Messungen notwendigen Testdaten erarbeitet werden.

2. Voraussetzungen, unter denen das Vorhaben durchgeführt wurde,

Das weltweite mobile Datenverkehrsaufkommen wächst mit Steigerungsraten von bis zu 50% p.a. seit Jahren exponentiell an. Verantwortlich für diesen rasanten Trend sind insbesondere mobile Videostreaming- und Cloud-Dienste, sowie in Zukunft auch die Kommunikation zwischen automatisierten Maschinen und selbstfahrenden Fahrzeugen.

Der Mangel an verfügbaren LTE- und 5G-Spektren motiviert bereits für 5G-Anwendungen die Expansion in Richtung der Millimeterwellen-Frequenzbereiche für hochperformante, flächendeckende Daten- und Mobilfunkanwendungen für mittlere und kurze Reichweiten.

Ein Ziel des Projekts MassiveData6G ist die Analyse, der Entwurf und die Messung von hochanspruchsvollen Komponenten für die 6G-Millimeterwellenkommunikation.

Die Professur für Schaltungstechnik und Netzwerktheorie der TU-Dresden konnte dabei auf die folgenden Erfahrungen und hilfreiche Vorarbeiten zurückgreifen:

- hochauflösender DAU des Projekts fast asic
- zahlreiche Schaltungen im Millimeterwellenbereich

3. Planung und Ablauf des Vorhabens,

Das Projekt MassiveData6G startete am 01.10.2019 und endete am 30.06.2024 nach kostenneutraler Verlängerung von 9 Monaten.

Nach dem Erstellen der Spezifikation (AP 1) erfolgte die Implementierung von Komponenten des DAU (AP 2.3) sowie einer ersten Verifikationslösung (Proof-of-Concept) (AP 2.1, 2.2). Hierbei wurde eine integrierte Signalerzeugung für die Charakterisierung des DAU entworfen.

Es folgte die Messung von Testchips mit Komponenten des DAU (AP 3). Anhand der gewonnenen Erkenntnisse wurde ein erster vollständiger DAU entworfen (AP 4.1, 4.2). Die Funktionalität des DAU einschließlich eines neuartigen Kalibrierkonzepts konnte erfolgreich gezeigt werden. Es konnte Optimierungsbedarf für die Linearität und die maximale Abtastrate erkannt werden. Daraufhin erfolgte eine Analyse der Komponenten und der Entwurf eines weiteren Testchips (AP 4.2,4.3,4.4). Im Hinblick auf eine Integration in einen Transceiver wurde ein Konzept zum Bereitstellen von beliebigen IQ-Daten entworfen, bei dem ein integrierter Deserializer Daten eines Laborgeräts entgegennimmt (AP 5-9).

Neben der praktischen Problematik eines gemeinsamen Testchips aller Projektpartner waren alle Teilprojekte mit dem Design von sehr anspruchsvollen Teilkomponenten ausgelastet. Ein gemeinsamer Transceiver-Gesamtchip („TXRX“) war während der Projektlaufzeit somit nicht möglich. Es wurde jedoch ein Konzept entworfen, die einzelnen Komponenten der Projektpartner mittels Chip-To-Chip-Bonding auf Leiterplatten-Ebene zu verbinden.

4. wissenschaftlichem und technischem Stand, an den angeknüpft wurde, insbesondere

4.a) Angabe bekannter Konstruktionen, Verfahren und Schutzrechte, die für die Durchführung des Vorhabens benutzt wurden,

Es konnte auf Vorarbeiten und Erkenntnisse zu hochauflösenden DAU des Projekts fast asic zurückgegriffen werden.

4.b) Angabe der verwendeten Fachliteratur sowie der benutzten Informations- und Dokumentationsdienste,

Eine Vielzahl von IEEE Publikationen wurde während des Forschungsvorhabens genutzt. Dies betrifft wissenschaftliche Fachartikel und Konferenzbeiträge.

5. Zusammenarbeit mit anderen Stellen,

Das Vorhaben profitierte von der Zusammenarbeit mit GlobalFoundries durch die Bereitstellung der 22FDX-Technologie. Innerhalb der Professur fand ein Austausch mit dem Forschungsvorhaben REGGAE statt, wo diese Halbleitertechnologie ebenfalls Anwendung fand.

6. Wesentliche Ergebnisse.

Im Rahmen des Projekts MassiveData6G wurde erfolgreich ein DAU für 6G-Millimeterwellenkommunikation entworfen und vermessen, welcher sich die fortschrittlichen Möglichkeiten des 22FDX-Prozesses zur Umsetzung einer neuartigen Kalibrierung zu Nutze macht. Des Weiteren wurde ein Deserializer entworfen, welcher eine DAU-Eingangsdatenbereitstellung mit den benötigten, besonders hohen Datenraten ermöglicht.

II. Eingehende Darstellung

1. der Verwendung der Zuwendung und des erzielten Ergebnisses im Einzelnen, mit Gegenüberstellung der vorgegebenen Ziele,

AP 1.1 Spezifikation des Transceivers, DAU, ADU und der D-Band Komponenten

Das DAU-Konzept wurde von der TUD erfolgreich erforscht, implementiert und getestet. Gemäß AP 1.1 wurde als Spezifikation für den DAU eine Current-Steering-Architektur festgelegt, welche einen internen Lastwiderstand von je 50 Ohm pro differentielllem Ausgang treibt.

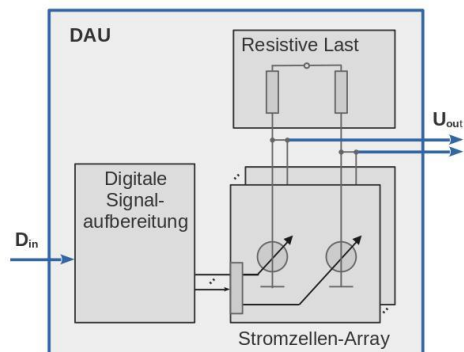


Abbildung 1 Prinzipieller Aufbau des DAU mit Current-Steering-Architektur

In Abb. 1 ist der prinzipielle Aufbau des DAU dargestellt. Mithilfe eines Stromzellen-Arrays werden differenzielle Ströme an eine resistive Last angelegt. Die Eingangssignale für die geschalteten Stromzellen werden für eine optimierte Genauigkeit vorher digital aufbereitet.

AP 1.2 Spezifikation der Verifikationslösung (Proof-of-Concept)

In AP 1.2 wurden verschiedene Ansätze zur Bereitstellung der digitalen Eingangsdaten erforscht.

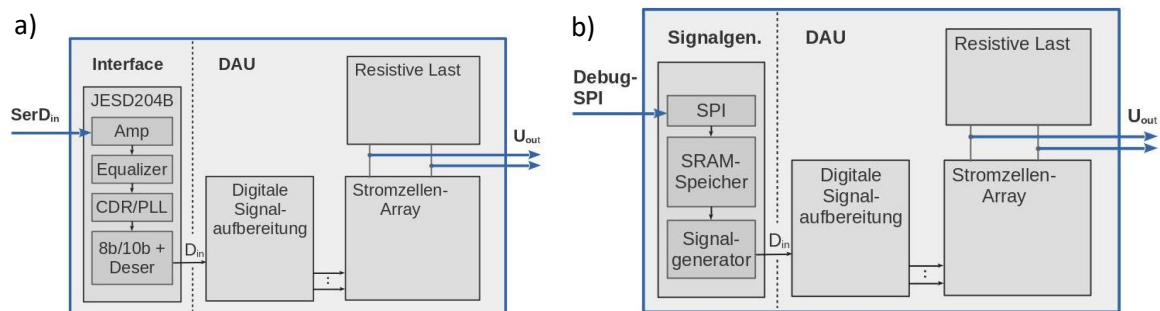


Abbildung 2 a) Bereitstellung von Eingangsdaten mit standardkonformer JESD204B-Schnittstelle
 b) Bereitstellung von Eingangsdaten mit integrierter Signalerzeugung per SRAM-Speicher

Zunächst wurde die universell verwendbare JESD204B-Schnittstelle analysiert, welche eine direkte Verwendung eines Field Programmable Gate Array (FPGA) zur Erzeugung ermöglichen würde. Dieser Ansatz würde jedoch eine Vielzahl neuer Komponenten, wie z.B. Takt-Datenrückgewinnung, Phase Locked Loop (PLL) oder Equalizer, erfordern, wie in Abb. 2 a) zu erkennen ist.

Im Gegensatz zu der Übertragung von Eingangsdaten in Echtzeit sind weitere Varianten möglich, bei denen eine interne Signalerzeugung das digitale Eingangssignal erzeugt. Die aus früheren Projekten

erprobte Lösung mithilfe einer Sinus-Lookup-Tabelle, welche ein Zweitonsignal erzeugen kann, wurde untersucht. Problematisch sind bei diesem Ansatz die begrenzte Flexibilität sowie ein hoher Flächenbedarf.

Die zuletzt untersuchte Variante, bei welcher die Signalerzeugung auf SRAM-Speichern basiert, stellte zunächst den besten Kompromiss zwischen Komplexität und Flexibilität dar. In Abb. 2 b) ist der entsprechende Aufbau dargestellt. Hierbei werden die Testdaten über ein SPI-Interface in die SRAM-Speicher des Testchips geschrieben und anschließend periodisch mit hoher Abtastrate wiedergegeben. Dabei ist die Erzeugung von Zweiton-Sinussignalen möglich.

Für eine Inbetriebnahme und Vermessung des entworfenen DAU genügt eine Zweiton-Sinus-Erzeugung, um Aussagen über die Signalqualität im Frequenzbereich treffen zu können. Im Hinblick auf eine Transceiver-Integration wurde in AP 4.2. eine Schnittstelle entworfen, welche die Übertragung von beliebigen Eingangsdaten in ausreichender Datenrate ermöglicht.

AP 2.1 Implementierung Verifikationslösung und AP 2.2 Test der Verifikationslösung

In AP 2.1 wurde im Rahmen der Machbarkeitsstudie zur Bereitstellung von Eingangsdaten für den DAU erfolgreich eine Proof-of-Concept-Lösung entworfen. Diese basiert auf SRAM-Speichern und ist in der Lage ein Zwei-Ton-Testsignal zu erzeugen. Die Samplerate mit der DAU-Eingangsdaten bereitgestellt werden können ist 4.5 GS/s.

Die hohe Abtastrate führte bei der Implementierung der SRAM-Speicher-Lösung zu einem hohen manuellen Aufwand, da die Programme zum automatischen Platzieren und Routen der SRAM-Zellen die Schaltung nicht erfolgreich erzeugen konnten.

AP 2.3 Implementierung einzelner Komponenten und der Testlösung

Um den DAU inklusive aller Komponenten zeitnah testen zu können, wurde eine Strategie verfolgt, bei der einzelne, neu entworfene Schaltungsteile mit vorhandenen Schaltungsteilen teilweise aus Vorarbeiten in einem vorläufigen DAU kombiniert werden. Diese vorläufige DAU-Version wurde bereits im Jahr 2020 hergestellt.

Dort konnte zunächst ein neu entworfener Taktgenerator getestet werden, welcher aus einem Sinus-Signal den CMOS-Takt erzeugt, mit dem der DAU betrieben wird. Dieser Taktgenerator basiert auf einem Limiting-Amplifier und ist aufgrund hoher Anforderungen an das Phasenrauschen ein kritischer Block für eine hohe Genauigkeit des DAU. In der Messung dieses Testchips im Januar 2021 konnten neben der erfolgreichen Inbetriebnahme des Taktgenerators wichtige Erkenntnisse u.a. zum Layout gewonnen werden. Letzteres ist ebenfalls besonders wichtig für die Genauigkeit des DAU. Es konnten Schwachstellen in der Arbeitspunkteinstellung der Current-Steering-Zellen ermittelt werden, welche im Redesign des DAU optimiert wurden. Dies wäre ohne die sehr frühe Erstimplementierung von Teilen des neuen DAU und Teilen eines vorherigen Designs nicht möglich gewesen.

Neben dem Entwurf eines ersten vorläufigen DAU wurde ein verbesserter Testchip entworfen, welcher ein neuartiges Kalibrierkonzept für den DAU enthält. Erste Tests erfolgten im Jahr 2021, die zeigten, dass dieses Konzept sehr hohe Auflösungen ermöglicht.

Basierend auf den Erkenntnissen der beiden Testchips konnten die Arbeitspakete AP 2.2 und AP 2.3 bearbeitet werden. Ein Testchip mit komplett neuem und verbesserten DAU wurde 2021 zur Fabrikation geschickt. Dieser enthielt einen Taktgenerator, die lokale Eingangssignalerzeugung mittels SRAM-Speichern, das optimierte Layout der Current-Steering-Zellen sowie eine Dynamic-

Element-Matching (DEM)-Vorverarbeitung für eine Erhöhung der Genauigkeit. Die Auslieferung des Testchips fand im ersten Quartal 2022 statt.

AP 3.1 Vorbereitung der Verifikation

In AP 3.1 wurde im Rahmen der Machbarkeitsstudie eine Test-Leiterplatte entworfen und zur Fabrikation gesendet. Zudem wurde eine Testsoftware entworfen, um die komplexe Evaluierung der Hardware zu automatisieren. Diese Software erlaubte mithilfe einer auf den Testchips implementierten SPI-Schnittstelle die Steuerung der internen Signalerzeugung und der Kalibrierung. Messungen für differenzielle Nichtlinearität (DNL) sowie die integrale Nichtlinearität (INL) sowie Spurious-free dynamic range (SFDR) können mithilfe der internen Signalerzeugung durchgeführt werden.

AP 3.2 Verifikation der Komponenten

Im Rahmen der Machbarkeitsstudie konnten gute Ergebnisse für die wichtigsten und kritischen Teilkomponenten erreicht werden. Seit Projektbeginn wurde ein hoher Wissensgewinn erzielt, der es ermöglichte, das System weiter verbessern und testen zu können.

AP 4.1 Komplettierung und Optimierung der TX und RX Transceiver-Komponenten

Ziel des Arbeitspakets 4.1 war die Komplettierung aller Schaltungen des zu entwerfenden Digital-Analog-Umsetzers mit voller Auflösung, Abtastrate und einer ebenso komplettierten Implementierung des Kalibrierkonzepts.

Im Laufe des Projektverlaufs haben sich dahingehend mehrere Herausforderungen ergeben. Einerseits wurde eine weitere Erhöhung der Linearität und andererseits eine Erhöhung der maximalen Abtastrate von 4.5 GS/s auf das spezifizierte Maximum von bis zu 10 GS/s angestrebt.

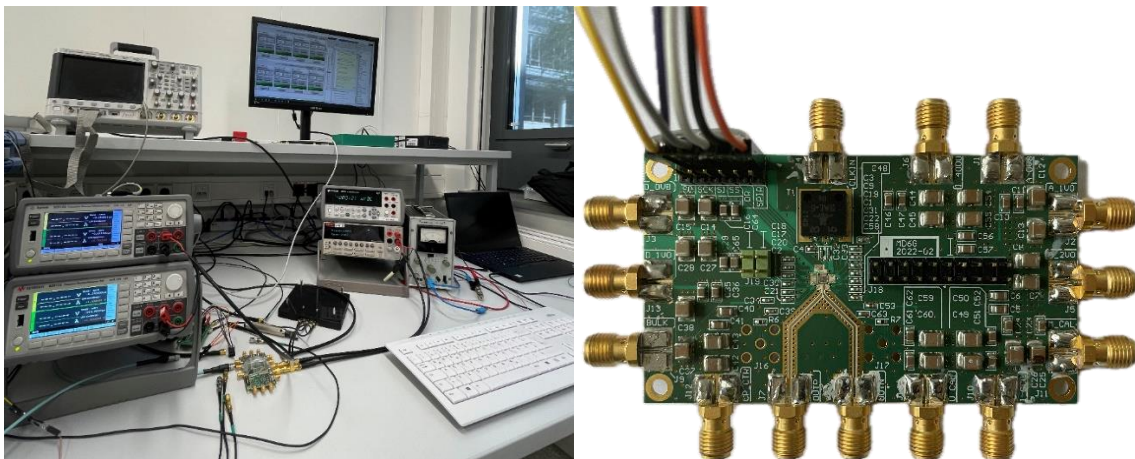


Abbildung 3 DC-Messaufbau DAU-Testchip und HF-Test-PCB

Der Testchip des ersten kompletten DAU wurde im Labor vermessen, wie in Abb. 3 dargestellt. Die DC-Messungen umfassen die differenzielle Nichtlinearität (DNL) sowie die integrale Nichtlinearität (INL). Dabei konnte für ein INL/DNL von weniger als einem halben Least-Significant Bit (LSB) eine maximal erreichbare Auflösung von 11 Bit gezeigt werden, wie in Abb. 4 zu erkennen ist. Messungen des Spurious-Free Dynamic Range (SFDR) im Frequenzbereich (Abb. 5) bestätigten die Funktionalität der Kalibrierung und zeigten, dass der DAU die gemessene Auflösung auch bei hohen Frequenzen

aufweist. Somit konnte gezeigt werden, dass lediglich ein dominierendes Linearitätsproblem existiert. Das Funktionalität des Kalibrierkonzepts konnte erfolgreich gezeigt werden [2].

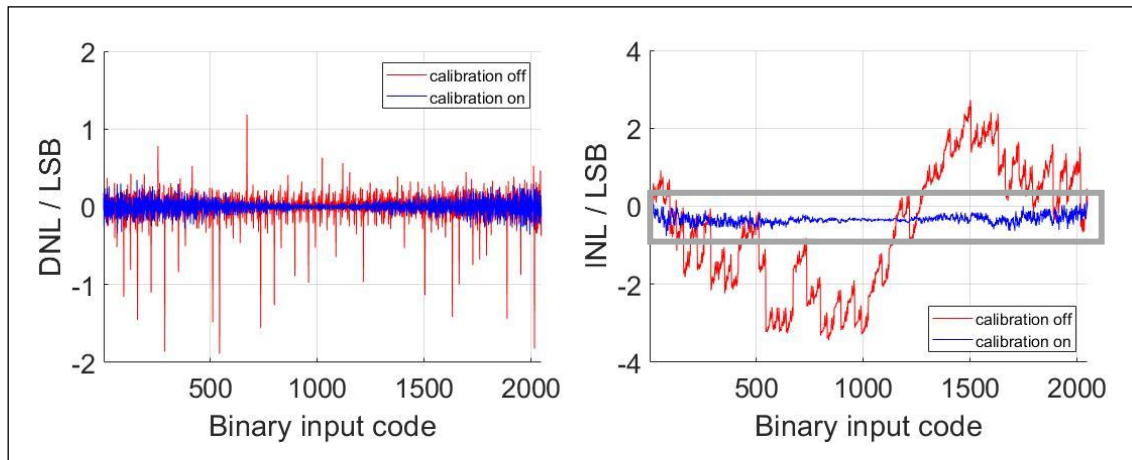


Abbildung 4 Gemessene Linearität des DAU (differenzielle/integrale Nichtlinearität DNL/INL)

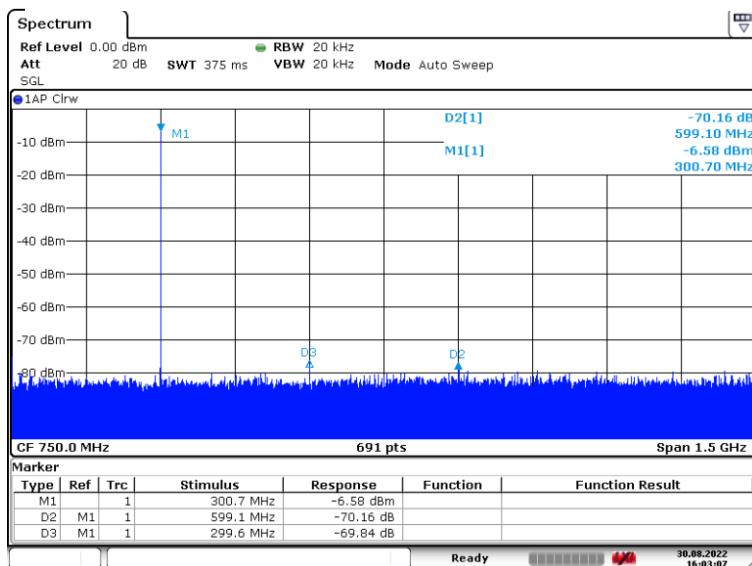


Abbildung 5 Gemessenes Spurious-free dynamic range (SFDR) des DAU

AP 4.2 Revision der Verifikations- und Testlösung aller Komponenten

Im bisherigen Projektverlauf wurde die interne SRAM-basierte Signalerzeugung auf das größtmögliche Maß optimiert und kann einfache Testsignale bis zu 4.5 GS/s bereitstellen. Dies war in zweierlei Hinsicht ausbaufähig. Einerseits folgt durch den internen Aufbau eine Einschränkung auf Ein-/Zweitonen-Sinussignale und andererseits besteht eine Limitierung in der Abtastrate auf 4.5 GS/s.

Für eine Verwendung des DAU im Rahmen eines TX- bzw. TXX-Gesamtsystems ist daher eine verbesserte Lösung zum Test des DAU nötig. Um dies zu erreichen, wurde eine Schnittstelle konzipiert, mit deren Hilfe beliebige Daten mit einer maximalen Abtastrate von 10 GS/s auf den DAU übertragen werden.

Während der Projektlaufzeit erhielt die Professur einen Arbitrary-Waveform-Generator mit sehr hoher Abtastrate. Dieser ist in der Lage auf vier Kanälen mit jeweils ca. 60 GHz analoger Bandbreite NRZ-Signale zu übertragen. Auf Grundlage der Verfügbarkeit dieses Gerätes wurde daher ein

Deserializer konzipiert, welcher drei Kanäle mit jeweils 60 GBit/s entgegennehmen kann. In dem vierten Kanal wird ein konstantes Signal zur Taktrückgewinnung übertragen.

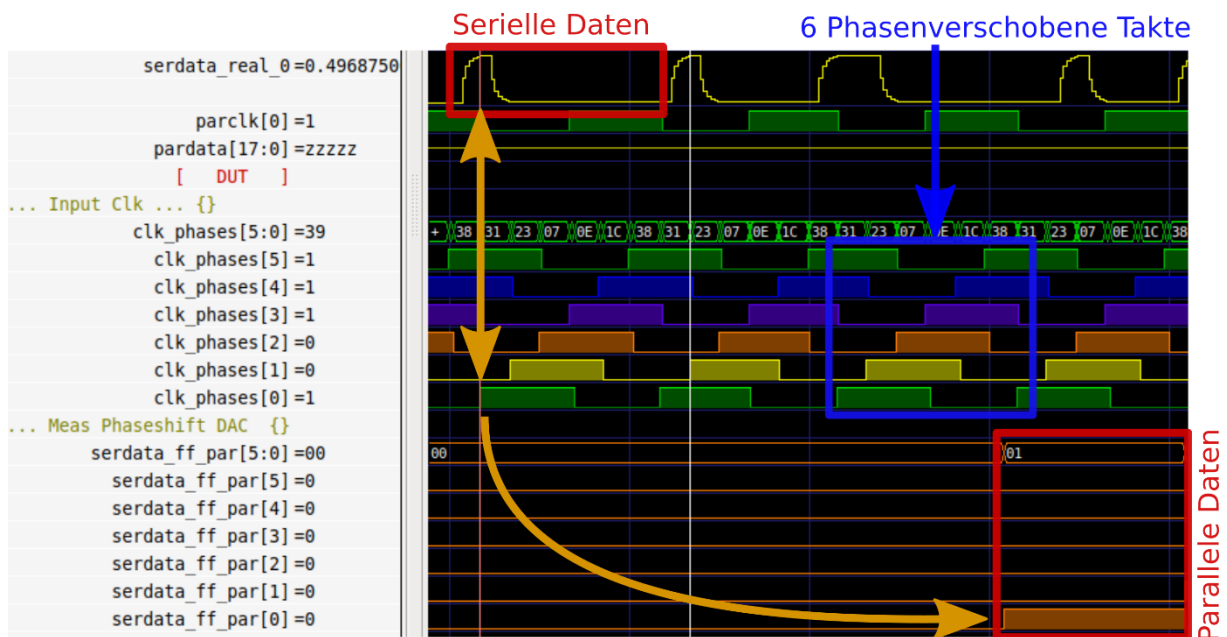


Abbildung 6 Deserializer für Bereitstellung von DAU-Eingangsdaten - Verilog Simulation

Abb. 6 zeigt eine Verilog-basierte Mixed-Signal-Simulation, die das Grundkonzept der Deserialisierung verdeutlicht. Anhand von sechs phasenverschobenen Takten zu je 10 GHz wird eine Abtastrate von 60 GS/s ermöglicht.

Dieser Ansatz stellte sich als sehr herausfordernd dar, obwohl er im Gegensatz zur Implementierung einer standardkonformen JESD204B um ein Vielfaches weniger komplex ist. Es wird keine PLL und keine Takt-Daten-Rückgewinnung mithilfe eines adaptiven Equalizer-Filters benötigt. Stattdessen ist die Zahl der nötigen Komponenten relativ gering, hat aber eine hohe Anforderung an die benötigte Bandbreite. Somit entfällt die Notwendigkeit eines Equalizers. Die hohe Anforderung an die Abtastrate des Deserializers wird mithilfe von einstellbaren Verzögerungsgliedern umgesetzt.

AP 4.3 Top-Level Integration der Komponenten in den TX

Um sehr hohe Abtastraten des DAU zu ermöglichen wurde ein spezielles Layout umgesetzt. Es wurde ein Ansatz gewählt, bei dem die Distanzen zwischen Stromquellen und differentiellen Schaltern stark reduziert werden. Dafür wurden die üblicherweise getrennten Arrays aus Stromquellen und Schaltern zusammengeführt. In Verbindung mit der komplexen Kalibrierung, welche jede Stromzelle trimmt, um eine hohe Linearität zu erreichen, folgt ein sehr herausforderndes Layout [1].

Der erste komplette DAU aus AP 4.1 zeigte eine reduzierte Linearität gegenüber der Simulation. Um dies zu verbessern, wurden umfangreiche Analysen mit dem Ziel angestellt, eine verbesserte Linearität im Rahmen des verfolgten Layout-Ansatzes der zusammengeführten Arrays zu ermöglichen.

Aufgrund vielversprechender Simulationsergebnisse verschiedener Verbesserungen im DAU wurde zunächst ein weiterer DAU-Testchip erstellt. Zu den Verbesserungen zählten vor allem optimierte Layout-Verbindungen innerhalb des Arrays, welche Einkopplungen minimieren.

Zusätzlich zur geplanten Arbeitszeit in AP 4.4 war für dieses Redesign deutlich mehr Zeit nötig.

AP 4.4 Test und Top-Level Verifikation des TXRX IC Fabrikation

Im Rahmen der Machbarkeitsstudie fand ein weiteres Tapeout mit einem optimierten, kompletten DAU statt. Die Verbesserungen im Design hatten eine Erhöhung der Linearität zum Ziel. Ein Chipfoto ist in Abbildung 7 dargestellt.

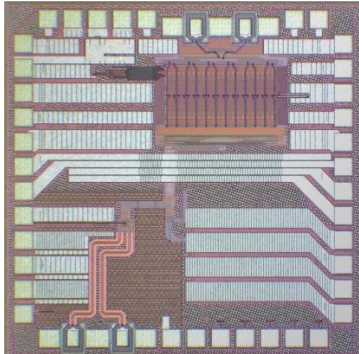


Abbildung 7 Chipfoto von überarbeiteten, vollständigen DAU

Zudem fanden Arbeiten am Deserializer als verbesserte Lösung zur Bereitstellung von Eingangsdaten des DAU statt.

Um den DAU in das geplante Gesamtsystemkonzept des Transceivers einbinden zu können, fanden Absprachen mit den Projektpartnern statt. Die entsprechenden Parameter wurden ermittelt und den Projektpartnern mitgeteilt. Es erfolgten bei allen Partnern Simulationen mithilfe von Testbenchs.

AP 5.1 Vorbereitung TXRX Charakterisierung und Test

Um eine Charakterisierung eines Transceiver-Gesamtsystems vorzubereiten, wurde an dem Deserializer als verbesserte Lösung gearbeitet. Dazu waren zunächst Messungen des Arbitrary-Waveform-Generators und der möglichen Aufbau- und Verbindungstechnik nötig. Auf Grundlage der Ergebnisse fand die Dimensionierung des Deserializers statt.

Im Rahmen der Inbetriebnahme des ersten kompletten DAU (AP 4.1) wurde eine Hochfrequenz-Leiterplatte entworfen. Neben einem optimierten Entwurf für minimale Impedanz der Versorgungsspannungen wurde auf maximale Symmetrie des differentiellen Eingangstakts geachtet, welcher mit einem hochwertigen Offchip-Balun erzeugt wird.

Um die Versorgungsspannungen des DAU als Ursache für die reduzierte Linearität ausschließen zu können, wurden weitere Leiterplatten (PCBs) mit hochwertigen LDO-Spannungsreglern und optimierten Filtern entworfen und vor die Eingänge des Hochfrequenz-PCBs geschaltet. Die Verbesserung der Linearität des DAU war jedoch nur geringfügig.

AP 5.2 Charakterisierung/Test TXRX Übertragungspfade

Im Laufe des Projekts konnte kein gemeinsamer TX-Gesamtchip und kein gemeinsamer Transceiver-Gesamtchip erstellt werden. Jedoch wurde ein Konzept entworfen, die entstanden einzelnen Chips mithilfe von Chip-To-Chip-Bonding auf PCB-Ebene zu verbinden. Auf dieser Grundlage wäre ein kompletter Transceiver mit Komponenten der Projektpartner denkbar.

Ein vollintegrierter Transceiver-Gesamtchip hat sich im Projektverlauf als schwierig umzusetzen herausgestellt. Zunächst würde die Vielzahl unterschiedlicher Versorgungs- und Biasspannungen in den aktuellen Komponenten der Projektpartner zu einer sehr großen Anzahl von Pins bei einem

Transceiver-Gesamtchip führen. In Verbindung mit den nötigen Hochfrequenz-Signalen ergäben sich sehr große Herausforderungen für die Inbetriebnahme auf PCB-Ebene.

Um dies zu umgehen, wäre ein umfangreiches, einheitliches Konzept für Versorgungs- und Biasspannungen unter allen Projektpartnern nötig. Somit könnte die Anzahl benötigter Spannungen minimiert werden. Hierbei wären jedoch noch zusätzliche On-Chip-Trimming-DAU nötig gewesen, um das nötige Trimmen der einzelnen Transceiver-Komponenten während der Inbetriebnahme zu ermöglichen.

Neben der praktischen Problematik eines gemeinsamen Testchips aller Projektpartner waren alle Teilprojekte mit den sehr anspruchsvollen Teilkomponenten ausgelastet, wie bereits in der der Zwischenevaluation beschrieben. Ein gemeinsamer Transceiver-Gesamtchip war während der Projektlaufzeit somit nicht möglich.

Einer Verbindung auf PCB-Ebene der einzelnen Komponenten mittels Chip-To-Chip-Bonding spricht aufgrund der Abstimmung und Auslegung der Schnittstellen allerdings nichts entgegen. Aufbauend auf den Ergebnissen des Vorhabens ist aufgrund des Designs aller Komponenten in 22FDX-Technologie ein monolithischer Transceiver-Testchip denkbar.

AP 6.1 Top-Level Transceiver-Integration der D-Band, RX & TX Komponenten

Zur Integration des Transceiver-Gesamtchips wird auf AP 5.2 verwiesen. Die Verbindung des Sender-Frontends des Projektpartners FAU ist mittels Chip-To-Chip-Bonding möglich.

Die Konzepterstellung des Dateninterfaces als Grundlage für einen Demonstrator in realen Empfangs- und Sendeszenarien fand statt. Entsprechend AP 4.2 wurde dazu der Deserializer als verbesserte Lösung zur Bereitstellung von Eingangsdaten des DAU konzipiert.

Hierbei sind die Anforderungen an die Schnittstelle zwischen Laborgerät (Arbitrary-Waveform-Generator) und Testchip sehr hoch. Unter Verwendung aller vier Ausgänge des Laborgeräts ist die Versorgung des DAU mit beliebigen digitalen Daten möglich.

AP 6.2 Vorbereitung Demonstrator Aufbau

Es wurde eine Schaltung für den Deserializer entworfen, welche vier NRZ-Digitalsignale mit 60 GS/s abtastet und entsprechend dem DAU-Eingang deserialisiert. Hierbei erfolgt eine Reduktion der Abtastrate um Faktor sechs auf die angestrebten 10 GS/s am DAU-Eingang.

Die Funktion konnte simulativ gezeigt werden. Einstellbare Verzögerungsglieder pro Abtastzeitpunkt am Deserializer-Eingang erlauben ein Trimming, welches für die Messung nötig sind.

Eine integrierte Erzeugung von OFDM- oder QAM-Signalen mit den angestrebten 10 GS/s ist mithilfe der SRAM-basierten Signalerzeugung nicht möglich. Die verbesserte Lösung mithilfe des Deserializers erlaubt jedoch eine Bereitstellung beliebiger, extern erzeugter IQ-Datenströme und somit gleichermaßen OFDM- als auch QAM-Signale.

AP 6.3 Redesign der Komponenten für die Transceiver Integration

Ein gemeinsamer Transceiver-Gesamtchip wurde, wie unter AP 5.2 beschrieben, nicht umgesetzt. Der Entwurf des Deserializers zur Charakterisierung eines Transceivers fand im Rahmen dieses Arbeitspakets statt.

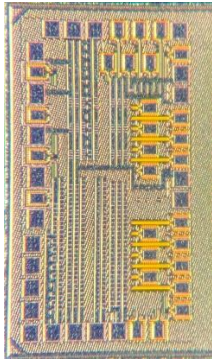


Abbildung 8 Chipfoto des Deserializers

Zunächst fand ein Testchip-Tapeout mit dem Deserializer statt. Das Chipfoto des Testmasters ist in Abb. 8. dargestellt. Aufgrund der sehr anspruchsvollen Spezifikationen des Deserializers erfolgte das Chipdesign mit einem parallelen Digitalausgang anstelle des DAU. Somit konnte zunächst eine separate Inbetriebnahme erfolgen.

Bezüglich der Verhaltensbeschreibung der einzelnen Komponenten der Projektpartner fand ein regelmäßiger Austausch statt.

AP 6.4 Test und Top-Level Verifikation Transceiver IC Fabrikation

Es fanden umfangreiche Simulationen zur Verwendung des Deserializers in einem Gesamtsystem statt. Hierbei lag der Fokus auf der sehr anspruchsvollen analogen Schnittstelle zwischen Laborgerät und Testchip. In Abb. 9 ist das optimierte PCB-Layout mit zusätzlichen Bonddrähten zwischen Masseflächen zu sehen.

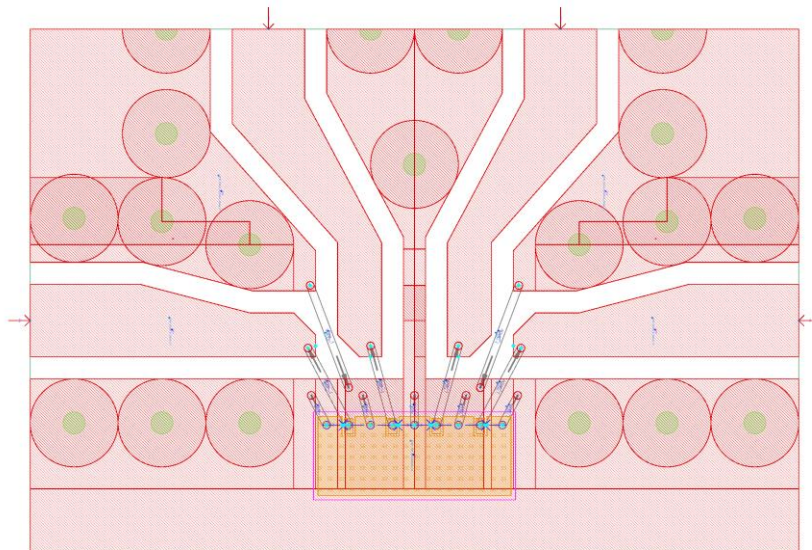


Abbildung 9 Aufbau von EM-Simulation des Übergangs PCB zu Chip für Deserializer.

Im Rahmen dessen wurden elektromagnetische Simulationen durchgeführt, auf dessen Grundlage der Chipentwurf des Deserializers stattfinden konnte.

AP 7 Charakterisierung/Test Transceiver SoC

Wie unter AP 5.2 und AP 6.3 beschrieben, wurde kein Transceiver-Gesamtchips erstellt. Dennoch wurden alle im Rahmen des Projekts möglichen Maßnahmen ergriffen, einen Zusammenschluss der Komponenten auf PCB-Ebene mittels Chip-To-Chip-Bonding zu ermöglichen und OFDM/QAM-Daten über den Deserializer bereitzustellen.

AP 8 Aufbau Demonstrator und TXRX Test-Setup

Im Rahmen dieses Arbeitspakets fand die Inbetriebnahme des Deserializers statt. Dies erforderte die Verwendung des Arbitrary-Waveform-Generators als externe Quelle für digitale Daten, mit deren Hilfe OFDM/QAM-Signale in einem gemeinsamen Transceiver bereitgestellt werden können.

Zudem wurde das aktuell schnellste verfügbare Oszilloskop (Keysight UXR) verwendet, um die Funktionsweise des Deserializers mit neuartigem Aufbau zu testen. Aufgrund der sehr hohen Abtastrate am Eingang des Deserializers von 60 GS/s war dies sehr aufwändig.

Anhand eines Kanals konnte die ausreichende analoge Bandbreite des gesamten Aufbaus aus Arbitrary-Waveform-Generator und Deserializer gezeigt werden. Zudem wurde die Funktion der Taktrückgewinnung und Abtastung des NRZ-Eingangssignals mit 60 GS/s erfolgreich gemessen.

AP 9 Charakterisierung und Demonstrator-Messung

Im Hinblick auf einen gemeinsamen Transceiver wurde der Fokus auf die Umsetzung des Deserializers gelegt, mit dessen Hilfe Basisbandsignale (OFDM/QAM) mit 10 GS/s bereitgestellt werden können.

2. der wichtigsten Positionen des zahlenmäßigen Nachweises,

Die größte Position des zahlenmäßigen Nachweises sind die Personalkosten 0812 mit 521.504,33 €. Die nächstgrößten Positionen sind die Konferenzkosten SICE ISCS 2024 über 1.597,38 € sowie hochpräzise Offchip-Baluns für die Hochfrequenz-Test-PCBs.

3. der Notwendigkeit und Angemessenheit der geleisteten Arbeit,

Die Erforschung der nötigen Schaltungskomponenten für DAU mit den hohen Anforderungen an Linearität und Abtastrate im Rahmen von 6G-Millimeterwellenkommunikation erforderte einen signifikanten Aufwand für den Entwurf und die Implementierung als integrierte Schaltung. Es wurde eine neuartige Kalibrierungsschaltung entworfen und erfolgreich vermessen. Diese Schaltung und ein besonderer Layoutansatz für besonders hohe Bandbreiten zeigten sich sehr aufwändig in der Umsetzung. Die Bereitstellung von Testdaten des DAU wurde einerseits mit eingeschränkter Flexibilität integriert umgesetzt. Eine zweite Variante zur Bereitstellung beliebiger Eingangsdaten mit sehr hoher Abtastrate, welche das verfügbare Laborequipment ausreizt, wurde entworfen und erforderte ebenfalls hohen Aufwand.

Ohne die Förderung aus dem MassiveData6G-Projekt wäre diese Umsetzung des Forschungsvorhabens an der Technischen Universität Dresden nicht möglich gewesen.

4. des voraussichtlichen Nutzens, insbesondere der Verwertbarkeit des Ergebnisses im Sinne des fortgeschriebenen Verwertungsplans,

Die Ergebnisse des Projekts können künftig zur weitergehenden Forschung für DAU mit höchsten Anforderungen angewendet werden.

5. des während der Durchführung des Vorhabens dem ZE bekannt gewordenen Fortschritts auf dem Gebiet des Vorhabens bei anderen Stellen,

Es wurden keine Veröffentlichungen mit der gegebenen Spezifikation für den Transceiver von anderen Stellen getätigt. Eine weitere Verwertung der Ergebnisse ist möglich.

6. der erfolgten oder geplanten Veröffentlichungen des Ergebnisses nach Nr. 6.

[1] T. Schirmer, S. Bigalke, J. Pliva, M. M. Khafaji and F. Ellinger, "A 1.6 GS/s Direct Digital Frequency Synthesizer with an Interleaved CS-DAC Layout Structure," 2020 German Microwave Conference (GeMiC), Cottbus, Germany, 2020, pp. 232-235.

[2] T. Schirmer, S. Buhr, F. Burkhardt, F. Protze and F. Ellinger, "A High-Speed Dynamic Element Matching Decoder With Integrated Background Calibration Control," in IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 32, no. 11, pp. 2074-2084, Nov. 2024, doi: 10.1109/TVLSI.2024.3432640.

[3] F. Protze and F. Ellinger, "Broadband Modeling of Power Distribution Networks," 2024 SICE International Symposium on Control Systems (SICE ISCS), Higashi-Hiroshima, Japan, 2024, pp. 14-18, doi: 10.23919/SICEISCS60954.2024.10505626.

Wenn zur Wahrung berechtigter Interessen des ZE oder Dritter oder aus anderen sachlichen Gesichtspunkten bestimmte Einzelheiten aus dem Bericht vertraulich zu behandeln sind (z.B. zur Wahrung der Priorität bei Schutzrechtsanmeldungen), so hat der ZE den ZG ausdrücklich darauf hinzuweisen.

Dresden, den 13.12.2024

Prof. Dr. sc. techn. habil. Frank Ellinger

Berichtsblatt

1. ISBN oder ISSN	2. Berichtsart (Schlussbericht oder Veröffentlichung) Veröffentlichung (Publikation)
3. Titel Forschung für neue Mikroelektronik (ForMikro) mm-Wave Advanced-Sampling Transceiver Enabling 6G Data Transmission with 100 Gbit/s per mobile User (MassiveData6G). Konzeptioneller Entwurf und Implementierung eines hochauflösenden Digital-Analog-Umsetzers mit hoher Abtastrate	
4. Autor(en) [Name(n), Vorname(n)] Ellinger, Frank, Prof. Dr. habil. Protze, Florian	5. Abschlussdatum des Vorhabens 30.06.2024
	6. Veröffentlichungsdatum 12.12.2024
	7. Form der Publikation Document Control Sheet
8. Durchführende Institution(en) (Name, Adresse) Technische Universität Dresden - Fakultät Elektrotechnik und Informationstechnik - Institut für Grundlagen der Elektrotechnik und Elektronik Professur für Schaltungstechnik und Netzwerktheorie Helmholtzstr. 18 01069 Dresden	9. Ber.-Nr. Durchführende Institution
	10. Förderkennzeichen 16ES1080
	11. Seitenzahl 12
12. Fördernde Institution (Name, Adresse) Bundesministerium für Bildung und Forschung Kapelle-Ufer 1 D-10117 Berlin	13. Literaturangaben 3
	14. Tabellen 0
	15. Abbildungen 9
16. DOI (Digital Object Identifier)	
17. Vorgelegt bei (Titel, Ort, Datum)	
18. Kurzfassung <p>a) Stand von Wissenschaft und Technik Es wurden keine Veröffentlichungen mit der gegebenen Spezifikation für den Transceiver von anderen Stellen getätigt.</p> <p>b) Begründung/Zielsetzung der Untersuchung Ziel des Teilvorhabens der TU-Dresden im Rahmen der Machbarkeitsstudie von MassiveData6G war die Analyse, der Entwurf und die Charakterisierung eines hochauflösenden und breitbandigen RF-Digital-Analog-Umsetzers (DAU) mit einer sehr hohen Abtastrate von bis zu 10 GS/s und einer Auflösung, welche hinreichend für die angestrebte Datenrate eines Transceivers mit 100 Gbit/s ist. Darüber hinaus musste ein Konzept zur Bereitstellung der für die späteren Messungen notwendigen Testdaten erarbeitet werden.</p> <p>c) Methode Es wurden Mixed-Signal-Komponenten sowie digitale Komponenten entworfen und in Testchips umgesetzt.</p> <p>d) Ergebnis Als Ergebnis steht die erfolgreiche Machbarkeitsstudie eines hochauflösenden DAU mit hoher Abtastrate, kompaktem Layout und integrierter Kalibrierschaltung. Es wurde ein Deserialisierer entworfen und vermessen, welcher unter Laborbedingungen Eingangsdaten mit bis zu 10 GS/s bereitstellen kann.</p> <p>e) Schlussfolgerung/Anwendungsmöglichkeiten Die Eignung der verwendeten Halbleitertechnologie Globalfoundries 22FDX für DAU, welche in Transceivern mit bis zu 100 Gbit/s benötigt werden, konnte bestätigt werden. Die wissenschaftliche Anschlussfähigkeit ist durch eine mögliche vertiefte Untersuchung des Kalibrierkonzepts, des neuen Layoutansatzes und des Deserializers gegeben.</p>	
19. Schlagwörter	
20. Verlag	21. Preis

Nicht änderbare Endfassung mit der Kennung 2423613-11

Document control sheet

1. ISBN or ISSN	2. type of document (e.g. report, publication) Veröffentlichung (Publikation)	
3. title Forschung für neue Mikroelektronik (ForMikro) mm-Wave Advanced-Sampling Transceiver Enabling 6G Data Transmission with 100 Gbit/s per mobile User (MassiveData6G). Konzeptioneller Entwurf und Implementierung eines hochauflösenden Digital-Analog-Umsetzers mit hoher Abtastrate		
4. author(s) (family name, first name(s)) Ellinger, Frank, Prof. Dr. habil. Protze, Florian	5. end of project 30.06.2024	
	6. publication date 12.12.2024	
	7. form of publication Document Control Sheet	
8. performing organization(s) name, address Technische Universität Dresden - Fakultät Elektrotechnik und Informationstechnik - Institut für Grundlagen der Elektrotechnik und Elektronik Professur für Schaltungstechnik und Netzwerktheorie Helmholtzstr. 18 01069 Dresden	9. originators report no.	
	10. reference no. 16ES1080	
	11. no. of pages 12	
12. sponsoring agency (name, address) Bundesministerium für Bildung und Forschung Kapelle-Ufer 1 D-10117 Berlin	13. no. of references 3	
	14. no. of tables 0	
	15. no. of figures 9	
16. DOI (Digital Object Identifier)		
17. presented at (title, place, date)		
18. abstract a) State of the art in science and technology No publications with the given specification for the transceiver have been made by others. b) Justification/objective of the study The aim of the sub-project of TU-Dresden as part of the MassiveData6G feasibility study was the analysis, design and characterization of a high-resolution and broadband RF digital-to-analog converter (DAC) with a very high sampling rate of up to 10 GS/s and a resolution that is sufficient for the targeted data rate of a transceiver with 100 Gbit/s. In addition, a concept had to be developed for the provision of the test data required for later measurements. c) Method Mixed-signal components and digital components were designed and implemented in test chips. d) Result The result is the successful feasibility study of a high-resolution DAC with a high sampling rate, compact layout and integrated calibration circuit. A deserializer was designed and measured which can provide input data at up to 10 GS/s under laboratory conditions. e) Conclusion/possible applications The suitability of the Globalfoundries 22FDX semiconductor technology used for a DAC, which is required in transceivers with up to 100 Gbit/s, was confirmed. The scientific connectivity is given by a possible in-depth investigation of the calibration concept, the new layout approach and the deserializer.		
19. keywords		
20. publisher	21. price	

Nicht änderbare Endfassung mit der Kennung 2423614-6