Fraunhofer
IPMS

FRAUNHOFER-INSTITUT FÜR PHOTONISCHE MIKROSYSTEME IPMS

KURZBERICHT

Projektname	VE4 - Vertrauenswürdige Entstörung von Energienetzen mittels echtzeitfähiger Edge-Komponenten (16ME0737)
Projektnummer	11-07656-2480-14101
Projektleiter/-in	Christoph Posenau
Laufzeit	01.11.2022 - 31.10.2025
Revisionsnummer	1.0
Kurzbeschreibung	Weiterentwicklung & Integration von TSN (Time Sensitive Network) Switch & Endpoint für Zeitsynchronisation
Ersteller/-in	Christoph Posenau
Datum	16.02.2026

Christoph Posenau Ersteller/-in	Dr.-Ing. Alexander Noack Leiter/-in DCC

1 Aufgabe und wissenschaftlich-technischer Ausgangspunkt

Das Fraunhofer IPMS fungierte im Projekt als Kompetenzträger für industrielle Ethernet-Netzwerke mit Hochgeschwindigkeits- und Echtzeit-Anforderungen. Hierbei stellte es geeignete Hard- und Software für FPGA-Plattformen zur Verfügung, welche relevante Anforderungen wie hohe Datenrate (1G), geringe Latenz und Jitter, Zeitsynchronisation, Traffic-Shaping / Frame-Priorisierung und Frame Preemption / Sendeabbruch erfüllt.

Diese werden unter dem Begriff Time-Sensitive Networking (TSN) zusammengefasst und ermöglichen die Erfüllung von Anforderungen der funktionalen Sicherheit sowie einer überdurchschnittlichen Verfügbarkeit. Im Konsortium ergaben sich für diese Netzwerktechnologie 3 verschiedene Anwendungsszenarien:

- Mögliche Verwendung des TSN-EP-1G Endpunkt-IP-Cores auf RedPitaya FPGA-Sensorboards der TU Do.
- Mögliche Verwendung des TSN-EP-1G Endpunkt-IP-Cores auf Xilinx-basierten FPGA-Boards von Siemens
- Verwendung des TSN-SW-1G Switch-IP-Cores auf NetLeap FPGA-Boards des IPMS für TSN-fähiges Frame-Forwarding innerhalb des Gesamtnetzwerkes bis hin zur Cloud.

Letztlich hat sich während der Anforderungsanalyse sowie der Architekturentwürfe der Konsortialpartner insbesondere der letztgenannte Anwendungsfall als zielführend für die Demonstrator-Entwicklung herauskristallisiert. Darüber hinaus wurde auch die Funktionsentwicklung für TSN-Endpunkte weitergetrieben, welche insbesondere für die Verwendung in echtzeitfähigen Sensorknoten geeignet sind.

Am Fraunhofer IPMS existierten bereits prototypische IP-Cores für einzelne TSN-Funktionalitäten – sowohl für Endpunkte als auch für Switches. Ziel dieses Projekts war es, diese Funktionalitäten zu erweitern sowie in der vorliegenden Anwendung echtzeitfähig einzubinden. Darüber hinaus ist deren Praxistauglichkeit hinsichtlich

- Konfiguration und Inbetriebnahme,
- die Verwendung möglichst kostengünstiger FPGA-Plattformen (Off-The-Shelf-Baugruppen) sowie
- der Interoperabilität mit Netzwerkkomponenten anderer Hersteller, anderer Standards und mit Komponenten ohne TSN-Funktionalitäten zu erproben und zu evaluieren.

2 Projektablauf

Für das Projekt war eine Laufzeit von 36 Monaten vom 01.11.2022 bis 31.10.2025 vorgesehen. Dieser Ablauf konnte durch das IPMS ohne Verzögerungen oder Ziel-Einschränkungen erfolgreich umgesetzt werden.

Zusammenfassend lässt sich zum Projektablauf sagen, dass sowohl für das IPMS als auch für die Zusammenarbeit im Konsortium die 5 wichtigen Erfolgskriterien Zeitplan, Inhalt, Arbeitspakete, Schnittstellendefinitionen, Budget, Umsetzungsqualität und Dokumentation sowie Projektkommunikation als erfüllt angesehen werden.

3 Wesentliche Ergebnisse und Zusammenarbeit im Projekt

Die zu Projektbeginn adressierten Ziele haben sich im Arbeitsverlauf nicht geändert. Die Ergebnisse lassen sich zu 3 zentralen Punkten zusammenfassen:

- Entwicklung eines TSN-EP-1G Gigabit-Endpunkt-IP-Cores inkl. FreeRTOS-Treiber-Software und optionaler lwIP-Bibliothek für die FPGA-Hardware-Plattformen Intel Altera/Netleap und AMD/Xilinx Zynq mit vollumfänglicher TSN-Funktionalität entsprechend den genannten Standards:
    - Traffic Shaping per IEEE 802.1Qav & 802.1Qbv with up to 8 traffic classes
    - Frame Preemption per IEEE 802.1Qbu / 802.3br
    - Grandmaster-Capable per IEEE 802.1AS w/ ns-level accuracy
    - Generalized PTP (Precision Time Protocol) clock sync per IEEE 802.1AS
    - Flexible IEEE 802.1Qci/Qch& IEEE 802.1CB blocks
- Entwicklung eines TSN-SW-1G Gigabit-Switch-IP-Cores inkl. FreeRTOS-Treiber-Software für die FPGA-Hardware-Plattformen Intel Altera/Netleap (Abbildung 1) und AMD/Xilinx Zynq mit vollumfänglicher TSN-Funktionalität entsprechend der bereits für den Endpunkt genannten Standards sowie zusätzlich:
    - Tagged VLAN support per IEEE 802.1Q
    - Configurable VLAN-PCP to TSN-Queue Mapping (QoS by PCP)
- Aufbau und Funktionsnachweis einer komplexen TSN-Netzwerktopologie mit den unterschiedlichen Hardware-Plattformen STM32 von Siemens, Intel Altera/Netleap Switches und AMD/Xilinx Zync Sensorknoten im industriellen Demonstrator-Umfeld der BASF (Abbildung 2).

Abbildung 1: Verwendete Hardware für 1G-Multi-Port-Switches (NovTech NetLeap mit Intel Altera FPGA)

Aufgetretene Hindernisse betrafen erwartungsgemäß insbesondere den letzten dieser 3 Punkte, da die Interoperabilität mit Geräten und Standards anderer Hersteller erfahrungsgemäß zunächst zu Integrationsproblemen führt. Diese konnten durch enge Zusammenarbeit im Konsortium gelöst werden.

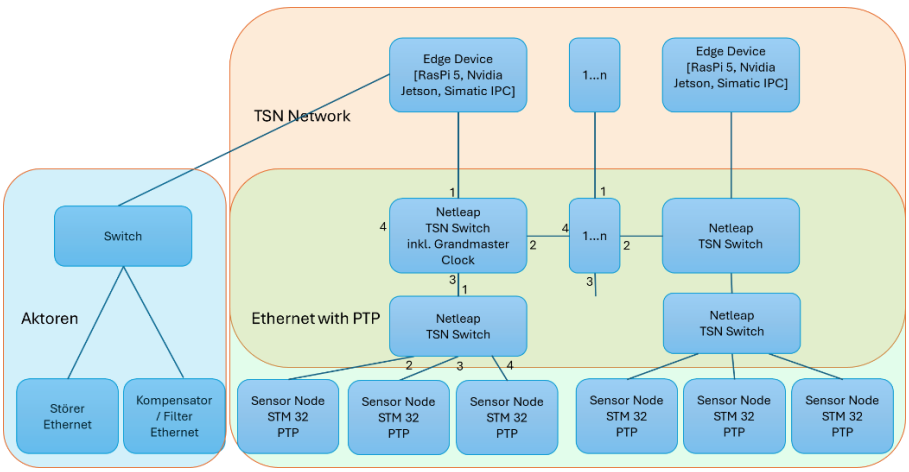

Abbildung 2: Zusammen mit der Siemens AG erarbeitete TSN-Netzwerkstruktur