

Sachbericht YESvGaN

ZE:

X-FAB Dresden GmbH & Co. KG

Förderkennzeichen:

16MEE0182S

Vorhabens Bezeichnung:

Verbundprojekt: Neuartige Prozesstechnologie für hocheffiziente und vielseitig einsetzbare Leistungstransistoren – YESvGaN

Teilvorhaben: Chiptechnologie für vertikale GaN on Si Membranleistungstransistoren

Laufzeit des Vorhabens:

01.05.2021 – 31.10.2024

Berichtszeitraum:

01.05.2021 – 31.10.2024

Inhalt

1	Teil I: Kurzbericht.....	3
1.1.1	Prozessentwicklung – Übersicht.....	3
1.1.2	Elektrische Ergebnisse und Analyse	3
1.1.3	Herausforderungen und Ausblick.....	4
1.1.4	Zusammenfassung.....	4
2	Teil II: Eingehende Darstellung.....	5
2.1	Darstellung der durchgeführten Arbeiten	5
2.1.1	Allgemeines.....	5
2.2	Task 3.1 - Requirements Epitaxy.....	5
2.3	Task 3.2 - Vertical GaN MOSFETs.....	8
2.3.1	<i>Subtask 3.2.2.1 – Silicon-implantation calibration</i>	8
2.3.2	<i>Subtask 3.2.2.2 - Device and test-structure design</i>	10
2.3.3	<i>Subtask 3.2.2.3 to Subtask 3.2.2.8</i>	11
2.3.4	<i>Subtask 3.2.3 - Concept and specification definition for volume manufacturing in 200 mm Si fab</i>	11
2.3.5	Verbesserung der Verarbeitung von Generation 1 zu Generation 2.....	14
2.4	Manufacturability analysis of Vertical devices on 200 mm GaN-on-Si Epiwafers	23
3	Teil III: Erfolgskontrollbericht.....	26
3.1	Wissenschaftlich-technisches Ergebnis des Vorhabens, die erreichten Nebenergebnisse und die gesammelten wesentlichen Erfahrungen	26
3.2	die Fortschreibung des Verwertungsplans. Diese soll, soweit im Einzelfall zutreffend, Angaben zu folgenden Punkten enthalten (Geschäftsgeheimnisse des Zuwendungsempfängers brauchen nicht offenbart zu werden).....	26
3.2.1	Erfindungen/Schutzrechtsanmeldungen und erteilte Schutzrechte, die vom Zuwendungsempfänger oder von am Vorhaben Beteiligten gemacht oder in Anspruch genommen wurden, sowie deren standortbezogene Verwertung (Lizenzen u.a.) und erkennbare weitere Verwertungsmöglichkeiten	26
3.2.2	Wirtschaftliche Erfolgsaussichten nach Projektende (mit Zeithorizont) – z. B. auch funktionale/wirtschaftliche Vorteile gegenüber Konkurrenzlösungen, Nutzen für verschiedene Anwendergruppen / -industrien am Standort Deutschland, Umsetzungs- und Transferstrategien	26
3.2.3	Wissenschaftliche und/oder technische Erfolgsaussichten nach Projektende (mit Zeithorizont) – u. a. wie die geplanten Ergebnisse in anderer Weise (z. B. für öffentliche Aufgaben, Datenbanken, Netzwerke, Transferstellen etc.) genutzt werden können. Dabei ist auch eine etwaige Zusammenarbeit mit anderen Einrichtungen, Firmen, Netzwerken, Forschungsstellen etc. darzustellen.....	27
3.2.4	Wissenschaftliche und wirtschaftliche Anschlussfähigkeit für eine mögliche notwendige nächste Phase bzw. die nächsten innovatorischen Schritte zur erfolgreichen Umsetzung der Ergebnisse	28
3.3	Angaben zu Arbeiten, die zu keiner Lösung geführt haben.....	29
3.4	Angaben über die Einhaltung der Ausgaben- und der Zeitplanung	29

1 Teil I: Kurzbericht

Gallium-Nitrid (GaN) hat sich aufgrund seiner überlegenen Materialeigenschaften – wie hohe Durchbruchspannung, hohe Elektronenbeweglichkeit und große Bandlückenenergie (~3,4 eV) – als ein entscheidendes Wide-Bandgap-(WBG)-Halbleitermaterial für Hochleistungs- und Hochfrequenzanwendungen etabliert. Trotz des rasanten Wachstums von GaN-on-Si High Electron Mobility Transistoren (HEMTs) werden in vielen Anwendungen Enhancement-Mode (eMode) Bauelemente wie GaN-MOSFETs bevorzugt, da sie ein „Normally-Off“-Verhalten, eine verbesserte Gate-Steuerung und eine Kompatibilität mit CMOS-Logik bieten.

Planare Gate-GaN-MOSFETs bieten bessere Skalierbarkeit und Integrationspotenzial im Vergleich zu vertieften Gate- oder hybriden Ansätzen. Eine der größten Herausforderungen besteht jedoch in der zuverlässigen und reproduzierbaren Erzeugung von p- oder n-Typ-Dotierungsprofilen in GaN, da herkömmliche Diffusionsmethoden aufgrund der geringen Diffusionsfähigkeit von Verunreinigungen ineffektiv sind. Die Ionenimplantation ermöglicht eine präzise räumliche Steuerung, wobei Siliziumimplantation häufig für die n-Typ-Dotierung in GaN verwendet wird. Im Rahmen des YESvGaN-Projekts konzentrierte sich XFABD auf die Entwicklung eines planaren Gate-GaN-MOSFET-Prozesses, der die Si-Ionenimplantation zur Bildung von Source- und Übergangsregionen nutzt.

1.1.1 Prozessentwicklung – Übersicht

Der entwickelte Prozessablauf für den planaren Gate-GaN-MOSFET umfasst folgende Schritte:

- **Epitaxiale Schichtstruktur:** Ausgangswafer ist ein GaN-on-Si-Substrat mit einer AlGaN-Pufferschicht zur Bewältigung von Gitter- und thermischen Fehlanpassungen, gefolgt von einer stark n-dotierten GaN-Schicht (Drain-Schicht), einer leicht n-dotierten GaN-Schicht (Drift-Schicht) und einer p-dotierten GaN-Sperrschicht (Body-Schicht).
- **Si-Ionenimplantation:** Si⁺-Ionen werden in die Source- und Übergangsregionen bei mehreren Energien (von 20 keV bis 320 keV) implantiert, um ein kastenförmiges Dotierungsprofil zu erreichen. Die Implantationsdosen variierten je nach Region zwischen 1×10^{13} und 6×10^{15} cm⁻².
- **Anlassen:** Nach der Implantation erfolgt ein schnelles thermisches Anlassen (RTA) bei Temperaturen zwischen 1050°C und 1200°C in Stickstoffatmosphäre, um die Dotierstoffe zu aktivieren und Gitterdefekte zu reparieren. Eine SiN-Deckschicht wird verwendet, um den Stickstoffverlust während des Anlassens zu verhindern.
- **Gate-Stack-Bildung:** Ein Gateoxid (SiO₂) wird mittels LPCVD mit TEOS als Precursor abgeschieden, gefolgt von einer mit Phosphor dotierten Polysilizium-Gatemetallabscheidung zur Bildung einer n-dotierten Schicht mit einem Widerstand unter 30 Ohm/Quadrat. Die Gatelänge wird mittels konventioneller Lithografie und Ätzen definiert.
- **Source-Metallisierung:** Ti/Al-Kontakte werden abgeschieden und bei 500°C angelassen, um ohmsche Kontakte mit den n-GaN-Source-Implantationsregionen zu bilden.
- **Passivierung und Endbearbeitung:** Die Bauelemente werden mit PECVD-SiO/SiN-Dielektrikamaterialien passiviert.

1.1.2 Elektrische Ergebnisse und Analyse

- **Dotierungsaktivierung:** Hall-Messungen, unterstützt durch ein Konsortialmitglied, sowie SIMS-Analysen bestätigten eine erfolgreiche Aktivierung von Si mit

Ladungsträgerkonzentrationen im Bereich von $5E17$ bis $8E19 \text{ cm}^{-3}$ bei minimaler Abweichung vom Zielprofil.

- **MOSFET-Eigenschaften:**
 - **Schwellenspannung (V_{th}):** +1,5 bis +12 V, was einen „Normally-Off“-Betrieb anzeigt. Jedoch wurde eine starke Verschiebung der Schwellenspannung durch eine hohe Oberflächenzustandsdichte beobachtet.
 - **Subthreshold Swing (SS):** > 1000 mV/Dekade, was auf eine schlechte Schnittstellenqualität hinweist. Eine Verbesserung der Kanaloberfläche ist erforderlich.
 - **Durchbruchspannung:** Die laterale Durchbruchspannung überschreitet 60 V bei einer Drift-Region von 4 μm , begrenzt durch das elektrische Feld am Bauelementrand. Eine neue Methode zur Randsaumstruktur ist erforderlich, um vorzeitigen Durchbruch zu verhindern.
 - **Gate-Leckstrom:** Der Gate-Leckstrom konnte auf unter 100 nA/mm bei $V_{gs} = \pm 10 \text{ V}$ reduziert werden. Dennoch ist eine weitere Reduktion erforderlich, um den Beitrag von Oberflächenzuständen zu minimieren.

1.1.3 Herausforderungen und Ausblick

- **Wiederherstellung von Implantationsschäden:** Die Implantation zur Bildung der Übergangsregion erforderte eine geringere Dosis, die jedoch schwer vollständig aktiviert werden konnte. Hohe Anlass-Temperaturen führten zur Schädigung der Deckschicht, deren vollständige Entfernung schwierig war. Daher ist eine Optimierung von Deckschicht und Anlasszeit entscheidend.
- **Kanalbeweglichkeit:** Eine starke Verschlechterung der Beweglichkeit wurde festgestellt, was auf Rückstände der Deckschicht und/oder die hohe Temperatur zur Reparatur der Implantationsschäden zurückzuführen ist.
- **Weitere Maßnahmen:** Reduktion der Gatelänge, Verringerung des Kontaktwiderstands und Erhöhung der Durchbruchspannung sind notwendig.

1.1.4 Zusammenfassung

XFABD demonstrierte erfolgreich die Realisierbarkeit eines planaren Gate-GaN-MOSFET-Prozesses unter Verwendung von Si-Ionenimplantation zur präzisen, CMOS-kompatiblen selektiven Dotierung von GaN. Die resultierenden Bauelemente zeigten ein robustes Normally-Off-Verhalten, hohe Stromtragfähigkeit und niedrigen Einschaltwiderstand, was sie zu vielversprechenden Kandidaten für die nächste Generation der Leistungselektronik macht. Eine kontinuierliche Optimierung der Anlassprozesse und Dielektrik-Grenzflächen wird die Geräteleistung und -zuverlässigkeit weiter verbessern.

2 Teil II: Eingehende Darstellung

2.1 Darstellung der durchgeführten Arbeiten

2.1.1 Allgemeines

Ziel des Projektes ist die Entwicklung einer Prozesstechnologie für die Herstellung von GaN-basierten vertikalen Membran-Leistungstransistoren in einer massenproduktionstauglichen Fertigungslinie auf 200 mm Wafern. X-FAB Dresden beteiligt sich an dem Arbeitspaket 3 (WP3), dessen Ziel es ist, die Prozessschritte für die Herstellung von vertikalem GaN in einer CMOS-Fab zu entwickeln. Diese Aufgabe umfasst die Entwicklung verschiedener Module, die für solche Bauelemente benötigt werden, wie die Source- und Gate-Module. Zu diesen Modulentwicklungen gehören die Silizium-Implantation zur n-Typ-Dotierung von p-GaN sowie die Kontaktbildung auf solchen dotierten Schichten. Außerdem erfordert die Bildung des Gate-Moduls die Verwendung von Polysilizium als Kontaktmetall (MOS-Gate), das entwickelt werden muss.

Im Rahmen des WP3 beteiligt sich XFABD an folgenden Aufgaben und Unteraufgaben

- 3.1 Requirements epitaxy
- 3.2 Vertical GaN MOSFETs
 - 3.2.2: Processing on 200 mm equipment
 - 3.2.3: Concept and specification definition for volume manufacturing in 200 mm Si Fab
 - 3.2.4: Wafer level characterization and PCM concept

2.2 Task 3.1 - Requirements Epitaxy

Ziel dieser Aufgabe ist es, die für die Verarbeitung der vertikalen Bauelemente erforderlichen Anforderungen zu definieren. Dazu gehören nicht nur die Eigenschaften der Heterostruktur-Epitaxieschichten wie Dicke, Dotierung, strukturelle Defektdichten usw., sondern auch die mechanischen Eigenschaften des Substrats, die für eine erfolgreiche Prozessierung der Wafer wichtig sind. Die Anforderungen an das Epi-Material für die Verarbeitung in der XFABD CMOS-Fabrik wurden, wie in **Tabelle 1** unten dargestellt definiert. Diese Anforderungen wurden WP2 mitgeteilt, das im Rahmen des Projekts die Hauptquelle für die Materialien für XFABD ist. Eine zusätzliche Klassifizierung (hier als Kritikalität) wurde definiert, um einen detaillierteren Eindruck davon zu vermitteln, welche Anforderung(en) ein sehr hohes Risiko für die Unterbrechung der Verarbeitung solcher Wafer darstellt/stellen.

Owner	Parameter	Value	Qualitative description	Criticality
XFABD	Wafer diameter	200 mm		A
XFABD	Orientation type		Notch	A
XFABD	Wafer thickness	725 μm ... \leq 1000 μm		A
XFABD	Wafer bow	< +/- 50 μm		A

Owner	Parameter	Value	Qualitative description	Criticality
XFABD	Epi cracks 85 mm < r < 92 mm	< 10		A
XFABD	Epi cracks r < 85 mm	none		A
XFABD	Number of front side scratches per wafer	none		A
XFABD	Number of particles (2 µm) per wafer	< 1000		A
XFABD	Number of epi defects > 100 µm per wafer	none		A
XFABD	Number of edge melt backs per wafer	none		A
XFABD	Edge chipping per wafer	none		A
XFABD	Al, Ca, Na, K and other metal atoms/cm ² on front and backside	<= 5e10		A
XFABD	Backside polished		No	C
XFABD	Laser marking on wafer backside		Yes	A

Tabelle 1: Mechanische und geometrische Anforderungen an das Epi-Material, die für die Konsortiumsmitglieder in WP2 definiert wurden

Die erste Lieferung von dem Epi-Material wurde von WP2 erhalten. Potenziell ertrags-/linienbeeinträchtigende Defekte wurden in der Lieferung identifiziert (**Abb. 1**) und mit dem Epi-Material-Anbieter in WP2 kommuniziert. Das Screening der Wafer wird fortgesetzt und Wafer mit solchen Mängeln werden nicht verarbeitet.

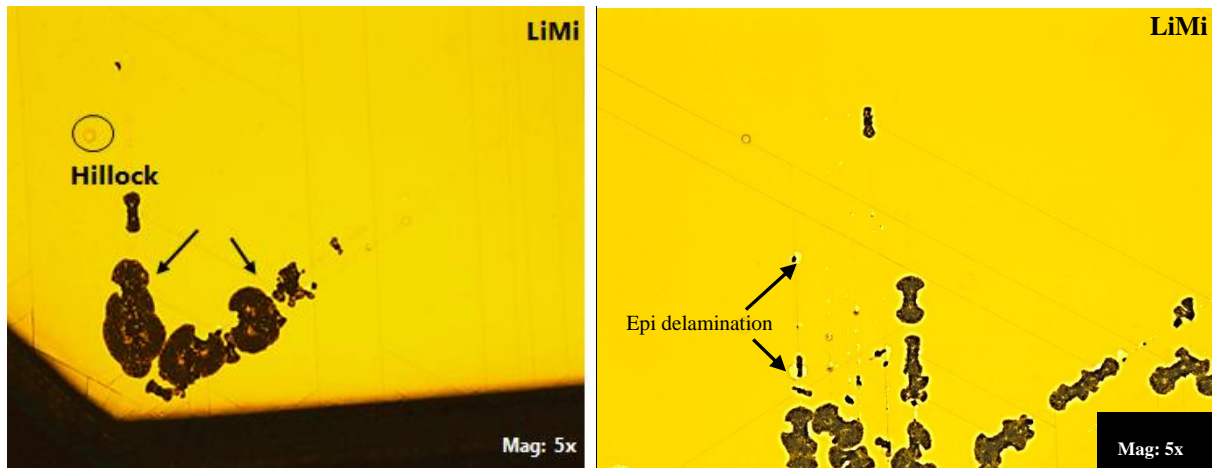


Abbildung 2.1: Einige identifizierte Epi-Materialfehler, die in den von den Konsortiums Mitgliedern gelieferten Materialien beobachtet wurden

Die von den Konsortiums Mitgliedern, Aixtron und Siltronic, erhaltenen Epi-Materialien wurden auf elementare Verunreinigungen untersucht. **Tabelle 1.2** zeigt das Ergebnis des Tests. Da die Verunreinigungswerte bei einigen Wafern über dem von XFABD akzeptierten Wert lagen, konnten diese nicht in die Produktionslinie eingeführt werden, und die Ergebnisse wurden dem zuständigen Partner mitgeteilt.

Partner	Analysis	Element	LOD	Value	Unit
Siltronic	VPD-ICPMS	Al	2,8433	34,20	10 ¹⁰ at/cm ²
		Ba	0,028	0,46	
		Ti	0,401	0,67	
		Sn	0,02	0,18	
		Mo	0,01	0,03	
		Ga	0,05	25,81	
Aixtron	VPD-ICPMS	Al	2,8433	4.165	10 ¹⁰ at/cm ²
		Ca	21,222	382,80	
		Ti	0,401	140,19	
		V	0,188	225	
		Mn	0,175	15,36	
		Co	0,163	270,12	
		Ag	0,24	14,99	
		Pb	0,005	196,23	

		Hf	0,054	161,17	
		Mo	0,01	75.893,96	
		Ge	0,026	63.364,57	

Tabelle 1.2: Ergebnis der Analyse der elementaren Kontamination von Wafern der Hersteller Siltronic und Aixtron. Der hohe Verunreinigungsgrad der Wafer von Aixtron führte dazu, dass die Wafer aussortiert wurden

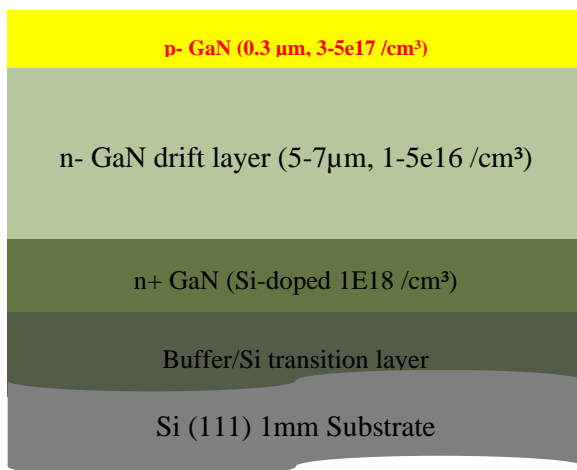
2.3 Task 3.2 - Vertical GaN MOSFETs

Im Rahmen dieser Aufgabe richtet XFABD die Prozessierung des vertikalen GaN mit planarem Gate in einer CMOS-Linie auf 200 mm Substrat ein. Verschiedene Aspekte des Prozesses wie die Überprüfung der Herstellbarkeit, die Einrichtung des Prozessflusses und die mechanische Analyse der Verarbeitbarkeit der Wafer werden untersucht. Ziel ist die frühzeitige Erkennung eines potenziellen Vermarktungsrisikos für solche MOSFETs. Im Folgenden werden die Arbeiten zu den definierten Teilaufgaben näher erläutert.

2.3.1 Subtask 3.2.2.1 – Silicon-implantation calibration

Das Planar-Gate-Bauelement erfordert eine n-Typ-Implantation in einer epitaktisch aufgewachsenen p-GaN-Schicht (Magnesium-dotiertes GaN). Um bestimmte Bauelementeigenschaften wie den spezifischen Einschaltwiderstand und die Durchbruchspannung zu erreichen, ist eine kontrollierte Bildung der Source-Well und des Übergangs erforderlich. Dies bedeutet, dass die Dotierungskonzentration und das Dotierungsprofil sorgfältig kontrolliert werden müssen. Daher ist eine Kalibrierung der Dotierungskonzentration und des Dotierungsprofils erforderlich. **Abbildung 2.3.1** zeigt die Ausgangs-Heterostruktur und die fertig bearbeitete Schicht für den Gerätetyp.

Heterostructure (as-delivered)



Front-side process

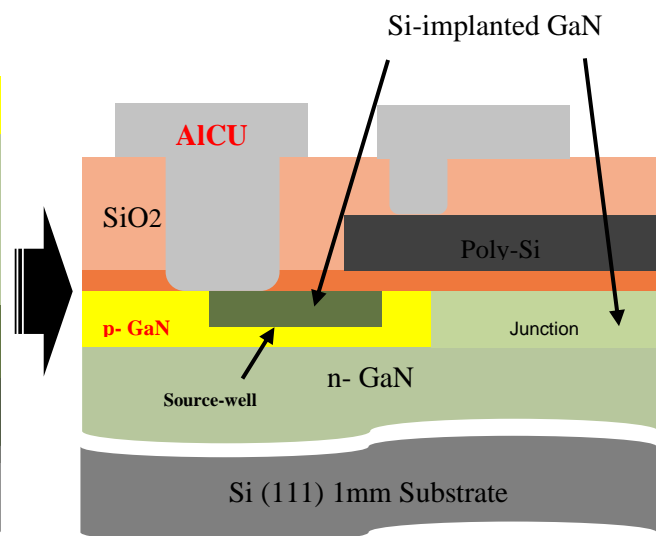


Abbildung 2.3.1: Skizze der Heterostruktur, die für die Entwicklung des vertikalen GaN-MOSFET mit planarem Gate ausgewählt wurde, und die endgültige Struktur des Bauelements nach der Verarbeitung

Es wurden verschiedene Implantationsenergien und -dosen evaluiert, um die angestrebte Source-Well- und Junction-Tiefe zu erreichen. **Abbildung 2.3.2** zeigt die SIMS für verschiedene Energien und Dosen, die für eine Schicht mit Kastenprofil erforderlich sind. Aufgrund des Vorhandenseins der Opferoxidschicht (Siliziumoxid) führte der dynamische Bereich des implantierten Profils insbesondere bei der für die Sperrschichtimplantation angestrebten niedrigen Dosis zu einer Verringerung der Auflösung der Messung. Bei der Hochdosis-Quellschicht konnten das Implantat Profil und die Konzentration jedoch nachverfolgt werden.

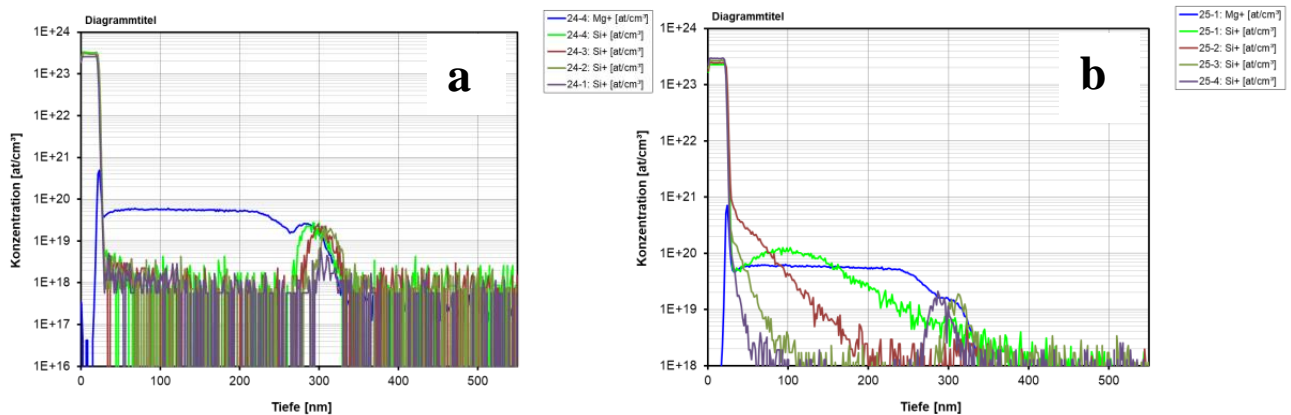


Abbildung 2.3.2: SIMS-Implantat Profil für (a) den Übergangsbereich (Junction) und (b) für die Source-Well-Implantation

Für die angestrebte Implantationsenergie und -dosis wurde eine Simulation des implantierten Profils erstellt. Zur Überprüfung der Simulationsergebnisse wurde eine 4-Quadranten-Implantation durchgeführt und nach der Implantation eine SIMS-Messung vorgenommen. **Abbildung 2.3.3** zeigt ein Beispiel für ein experimentelles Implantatprofil, das mit dem Simulationsergebnis übereinstimmt.

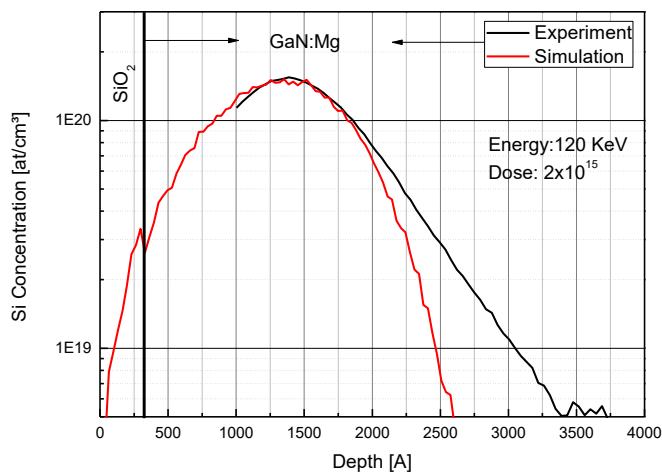


Abbildung 2.3.3: Anpassung der experimentellen Daten an die Simulation. Eine gute Anpassung wird beim Spitzenwert des Implantationsprofils erreicht

Ein Simulationsergebnis zeigt eine gute Übereinstimmung mit dem Experiment. Mit den kalibrierten Simulationsparametern wurden Verbesserungen des Implantatprofils für das nächste Implantationsexperiment angestrebt.

2.3.2 Subtask 3.2.2.2 - Device and test-structure design

Es wurden Teststrukturen entworfen und in Masken implementiert, die zur Bewertung der Prozessleistung und -merkmale verwendet werden sollen. **Abbildung 2.3.4** zeigt die entworfenen Strukturen zur Bewertung verschiedener Aspekte der Prozesse. Die Beschreibung der verschiedenen Blöcke in der Maske ist unten angegeben.

A: TLM- und Hall-Messstrukturen für die Charakterisierung der Schichtwiderstände sowie der Kontaktwiderstände des implantierten Source-Well-Bereichs, der p-GaN-Schicht und des Übergangsbereichs.

B: Metall-Oxid-Halbleiter-Kondensator (MOS-Cap) zur Bewertung der Oberflächenqualität der implantierten GaN-Schicht. Dies ist entscheidend für die Verbesserung der Oberflächenqualität der Kanalbereiche des MOSFETs.

C: Vollständig vertikale Strukturen zur Bewertung der im Prozess angewandten Strategie für den Randabschluss des Bauelements (FFR - Floating Field Ring), vertikale Dioden Strukturen zur Bewertung der pn-Übergangsdiode des MOSFET-Bauelements und eine spezielle vertikale Teststruktur in der Entwicklung zur Bewertung des Schichtwiderstands der Driftschicht

D: Spezielle Struktur, die für das Konsortiums Mitglied UNIPD entwickelt wurde, um die Defektzustände auf implantierten Schichten sowie auf der epi-gewachsenen p-GaN-Schicht und der Driftschicht zu bewerten

E: Strukturen zur Charakterisierung der AlCu-Metalleitungen (Back-End-of-Line-Metalleitungen)

F: Test-MOS-Transistoren mit unterschiedlichen Geometrien zur Bewertung der Bauelementeigenschaften wie spezifischer Einschaltwiderstand, Drain-Source-Durchbruchspannung usw.

G: Quasi-vertikale Strukturen zur Bewertung der Leistung der Randabschlussstruktur (FFR).

H: MOSFET-Teststruktur zur Charakterisierung der Zuverlässigkeit

I: Große Bauelemente, die WP5-WP6 für Packaging und Tests zur Verfügung gestellt werden

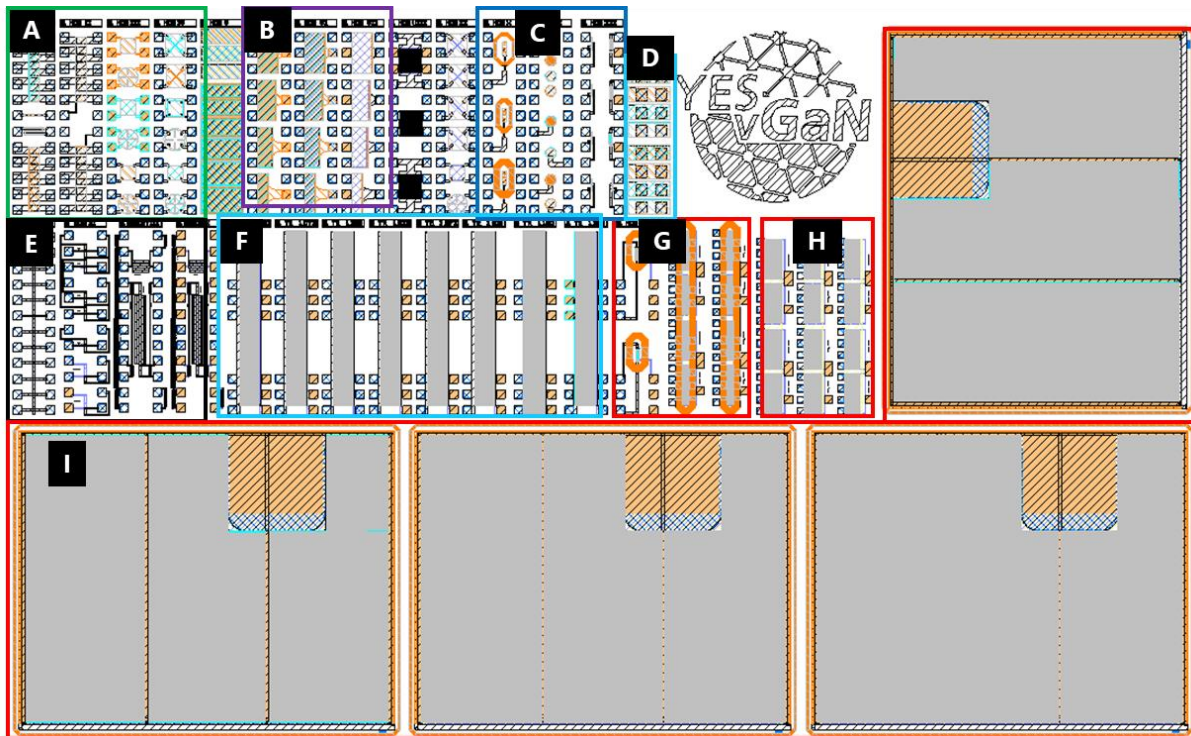


Abbildung 2.3.4: Testchip-Maske für die Prozessentwicklung. Verschiedene Strukturen sind in den Blöcken A-I gruppiert.

2.3.3 Subtask 3.2.2.3 to Subtask 3.2.2.8

Die Durchführung dieser Teilaufgaben hängt vom Abschluss der Implantationskalibrierungsexperimente und der endgültigen Festlegung der Implantationsbedingungen ab. Diese Aktivitäten werden derzeit durchgeführt, und da die endgültigen Implantationsbedingungen noch nicht feststehen, würden diese Teilaufgaben im Jahresbericht für 2022 aufgeführt werden.

2.3.4 Subtask 3.2.3 - Concept and specification definition for volume manufacturing in 200 mm Si fab

Das Hauptziel dieser Gruppe von Aktivitäten ist die frühzeitige Erkennung eines potenziellen Hindernisses für die Kommerzialisierung eines solchen neuen Technologietyps. Als Unternehmen/Hersteller plant XFAB Dresden, die gesamte Lieferkette einzurichten, die für eine reibungslose Herstellung des vertikalen GaN-MOSFET erforderlich ist. Dazu gehören die Sicherung potenzieller zweiter Quellen für die Epi-Materialien, die Einrichtung des Prozesses in der CMOS-Fabrik in einer Weise, dass der CMOS-Fertigungsprozess nicht beeinträchtigt wird, und schließlich die Abgabe von Empfehlungen an die Konsortiums Mitglieder zur Ausbeuteleistung ihrer Epi-Materialien.

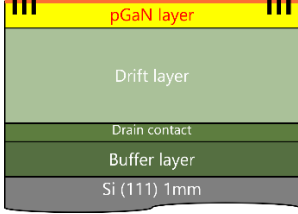
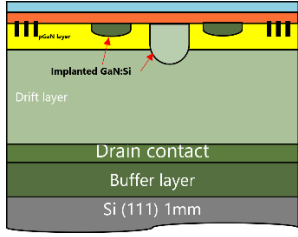
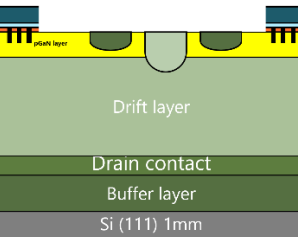
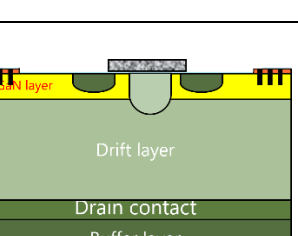

Eine weitere Beschreibung der Aktivitäten innerhalb der Teilaufgaben findet sich weiter unten.

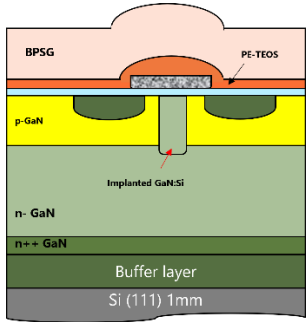
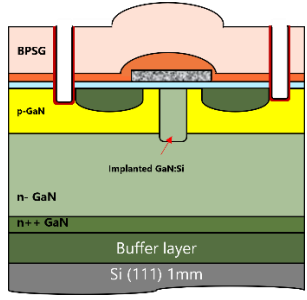
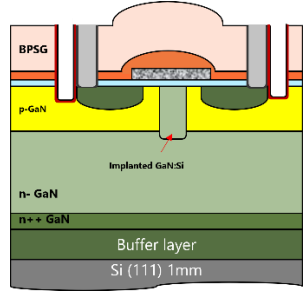
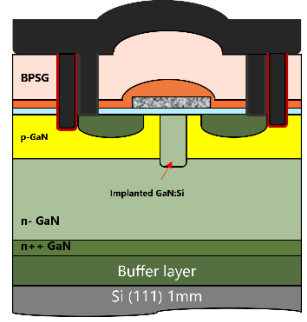
2.3.4.1 Subtask 3.2.3.1 - Specifications definitions for 8-inch epi wafers in CMOS foundry

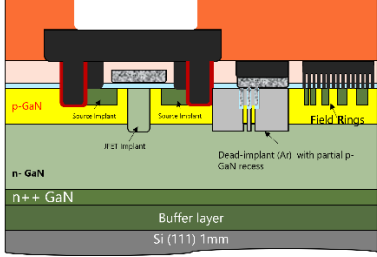
Die Herstellung von vertikalem GaN in einer CMOS-Linie erfordert die Definition mehrerer Parameter, wie z. B. die Kontrolle unbeabsichtigter Kreuzkontaminationen, die Minimierung von Brüchen und die Abschirmung struktureller und morphologischer Defekte, die die Linienausbeute beeinträchtigen, sowie die Substrateigenschaften.

2.3.4.2 Processing concept development

Um die Kostenstruktur der bestehenden CMOS-Fertigungslinie zu nutzen, wurde das Prozesskonzept mit den in der Fabrik vorhandenen Werkzeugen entwickelt. Der Prozessablauf ist in der nachstehenden Tabelle dargestellt.

Process Level	Description	Comment
1. Lot start: Alignment mark		Wafer start using a pn-epi layer structure. Lithography alignment mark formation by etching into the oxide/GaN structure.
2a. Silicon Implant		Implantation used to form the source-well and JFET implants. Activation anneal is done after implantation of the source-well
2b. Argon Implant		Used for device isolation by damage generation. This is done after activation anneal.
3. Surface engineering		Special surface treatment using TMAH with aim of reducing interface states at the gate-oxide/GaN interface.
4. Gate Module formation		Gate module processing using LP-CVD oxide and poly-silicon deposition. Oxide post-deposition annealing, and poly-silicon doping is done in the module.

Process Level	Description	Comment
<p>5. Inter-layer Dielectric Isolation</p>		<p>Isolation of the Gate polysilicon and Source power metal</p>
<p>6. p-base Contact formation</p>		<p>Contacts formation p-GaN layer. This requires the use of Nickel metal for the ohmic contact formation.</p>
<p>7. n-GaN source well and Gate contact formation</p>		<p>Same contact metal used for n-type GaN and polysilicon slication. Contacts formation here uses Ti/TiN as metal stacks for the ohmic contact formation. Note: Gate contact is not shown on image</p>
<p>8. Power metal</p>		<p>3 μm Aluminium Power metal.</p>

Process Level	Description	Comment
9. Passivation and Pad opening		Dielectric passivation is used for device isolation to air. Final device structure showing both edge termination as well as active device region is depicted.

Insgesamt werden 9 Lithografieschritte in dem Prozessaufbau verwendet. Während des Prozesses wurden Probleme bei der Entfernung der Resistmaske nach der Implantation und bei der Kontrolle der kritischen Abmessungen beobachtet. Dies machte neben der Notwendigkeit eines neuen Randabschlussschemas die Verwendung einer sogenannten Hartmaske (d.h. SiO₂, Si₃N₄ und/oder Polysilizium) erforderlich.

2.3.5 Verbesserung der Verarbeitung von Generation 1 zu Generation 2

2.3.5.1 Verwendung einer Hartmaske für die Implantation

Es wurden mehrere Prozessverbesserungen vorgenommen, um nicht nur die elektrischen Eigenschaften des planaren Bauelements der Generation 1 zu verbessern, sondern auch die Einheitlichkeit und Stabilität des gesamten Prozesses. Eine dieser Verbesserungen war die Einführung einer Hartmaske, die die in Generation 1 verwendete Resistmaske ersetzt. Abbildung zeigt das entwickelte Implantat-Hartmaskenverfahren und das mit dieser Maske erzielte Ergebnis.

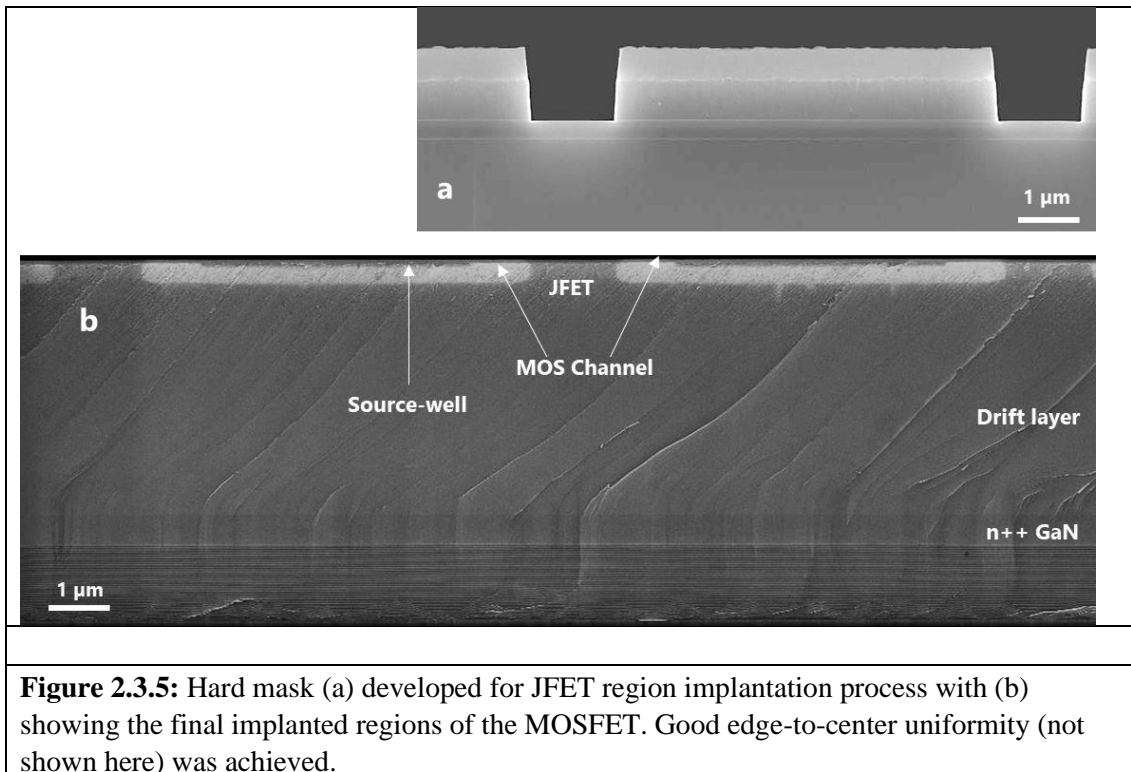


Figure 2.3.5: Hard mask (a) developed for JFET region implantation process with (b) showing the final implanted regions of the MOSFET. Good edge-to-center uniformity (not shown here) was achieved.

2.3.5.2 Implanted layer improvement: Sheet and contact resistance

Im Mittelpunkt des Integrationsprozesses stand die Verbesserung der Aktivierungseffizienz der implantierten Bereiche (Übergangs- und Quellbereich). Zu diesem Zweck wurde eine neue Aktivierungsstrategie (Multicycle Rapid Thermal Anneal - MRTP) bewertet. Die neue Strategie beinhaltet einen schnellen Temperaturanstieg und eine kurze Verweildauer auf diesem Temperaturniveau, bevor auf niedrigere Temperaturwerte zurückgekehrt wird. Mit dieser Strategie konnte die Beschädigung der Oberflächenschutzschicht minimiert werden.

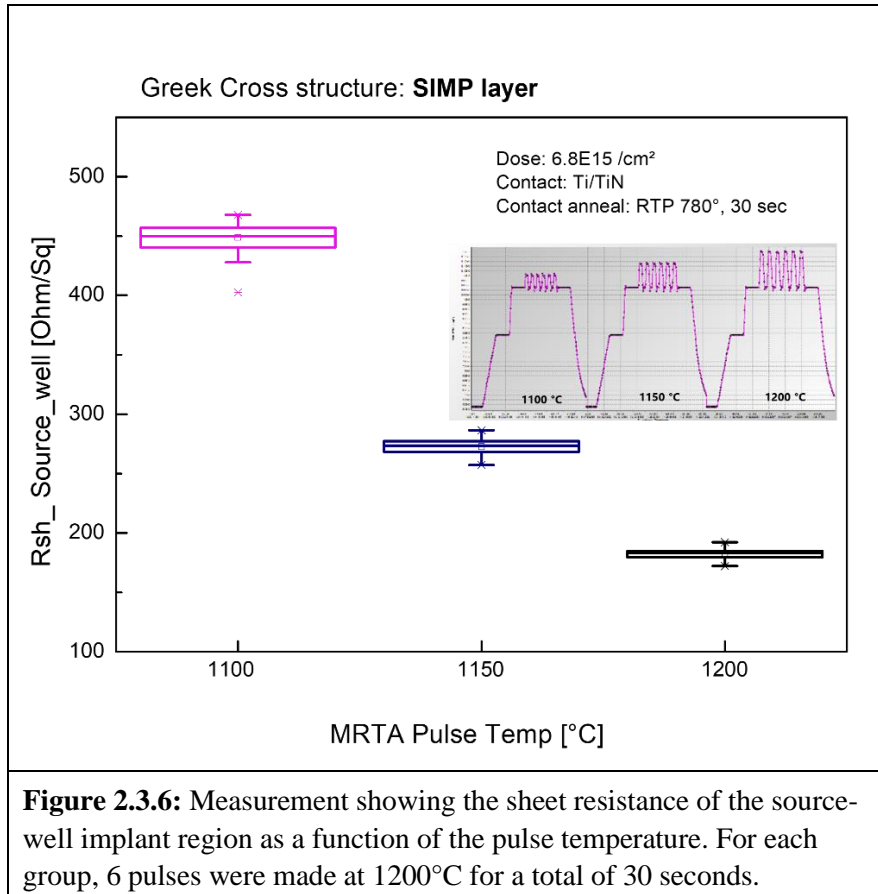


Abbildung 2.3.6 zeigt den mit einer Griechisch-Kreuz-Struktur gemessenen Schichtwiderstand der implantierten Quellschicht (in Ohm/Sq) in Abhängigkeit von der Pulsspitzen temperatur. Das eingefügte Bild zeigt die Bedingungen, die während des Prozesses getestet wurden. Es ist zu erkennen, dass der Schichtwiderstand umso geringer ist, je höher die Spitzentemperatur ist, was auf einen Anstieg der Aktivierungseffizienz hinweist. Mit steigender Temperatur wurde ein Schichtwiderstand von etwa 180 Ohm/Sq erreicht.

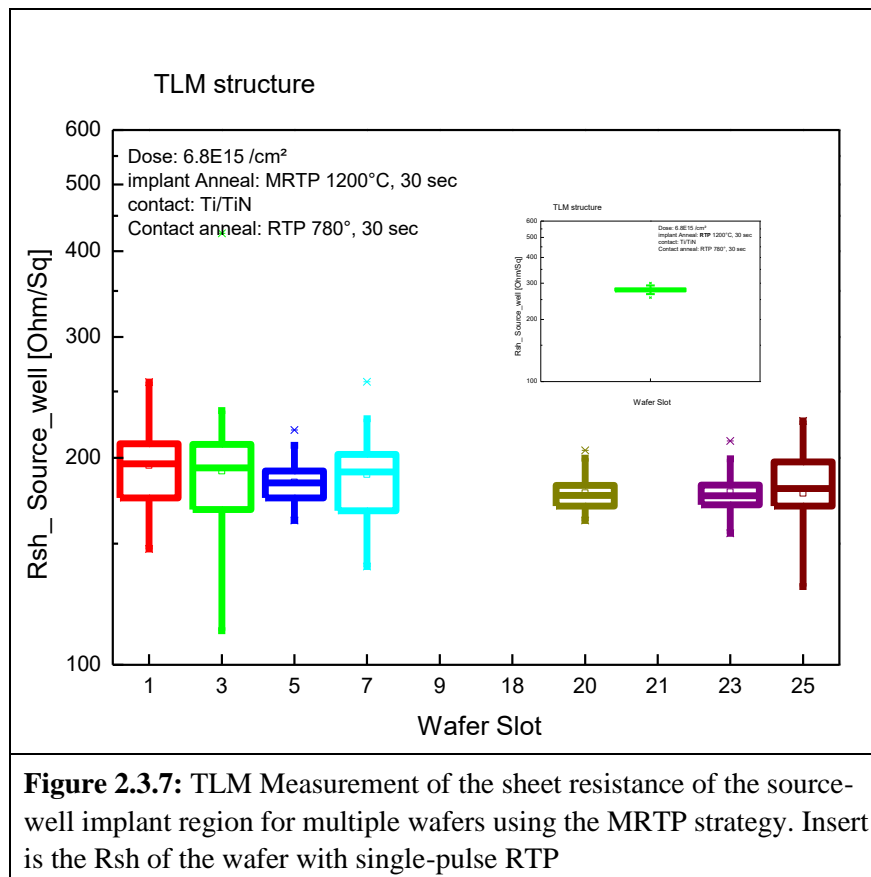


Abbildung 2.3.7 zeigt den Schichtwiderstand der implantierten Quellschicht in Abhängigkeit von den Wafer-Slots. Zum Vergleich zeigt die Einfügung in das Diagramm einen Wafer mit einer Standard-RTP-Glühung. Zunächst lässt sich eine ausreichende Gleichmäßigkeit sowohl über die Wafer als auch über die Slots feststellen. Im Vergleich zu einer Probe mit einem Einzelpuls-RTP ist jedoch eine höhere Ungleichmäßigkeit über die Wafer hinweg festzustellen. Das Verfahren wird derzeit verbessert. Zweitens beobachten wir im Vergleich zur Einzelpuls-RTP eine deutliche Verringerung des Schichtwiderstandes bei ähnlichen Implantationsbedingungen. Es wurde ein durchschnittlicher Schichtwiderstand von 300 Ohm/Sq und 180 Ohm/ Sq für RTP bzw. MRTP ermittelt.

Die für den vertikalen Stromfluss in Planar-Gate-MOSFETs erforderliche Junction-Implant-Region (JFET) erforderte besondere Aufmerksamkeit. Da diese Schicht zum spezifischen On-Widerstand des Bauelements beiträgt, ist eine Erhöhung der Ladungsträgerkonzentration besonders wichtig. Eine Erhöhung der Ladungsträgerkonzentration über das Maß hinaus, das für die maximale Ausdehnung des elektrischen Feldes in den Übergangsbereich erforderlich ist, führt jedoch zu einer geringeren Durchbruchspannung der Bauelemente. Eine weitere Variable, die zur Komplexität dieses Bereichs beiträgt - und spezifisch für das GaN-Material ist -, ist die Konzentration der aktiven Löcher in der p-Basisschicht der Strukturen. Wie bereits berichtet, wird die p-Basis durch MOCVD-Epitaxie gebildet, wobei eine hohe Konzentration des p-Dotierstoffs (Magnesiumkonzentration von $2 - 6 \times 10^{19}$ Atome/cm³) verwendet wird, um eine Konzentration aktiver Löcher von etwa 3×10^{17} Löcher/cm³ zu erreichen. Daraus folgt, dass die aktive Konzentration des JFET-Bereichs geringer sein muss als die aktive Konzentration der p-Basis, damit die Verarmungsbreite des durch das JFET-Implantat gebildeten vertikalen Parallel-Ebenen-Übergangs im JFET-Bereich liegen kann. Mit abnehmender Implantatdosis nimmt jedoch die Aktivierungseffizienz in implantiertem GaN ab. So berichteten wir im ersten Projektjahr, dass bei einer Implantationsdosis von $5,54 \times 10^{14}$ Ionen/cm², die zu einer

Siliziumkonzentration von 1×10^{19} Atomen/cm³ führte, der Schichtwiderstand im JFET-Bereich größer war als messbar. Bei einer Implantatdosis von über 1×10^{15} Ionen/cm² (Siliziumkonzentration von 1×10^{20} Atomen/cm³) wird der Schichtwiderstand messbar, wobei der durch die Schicht fließende Strom höher ist als die Auflösungsgrenze unseres Messsystems.

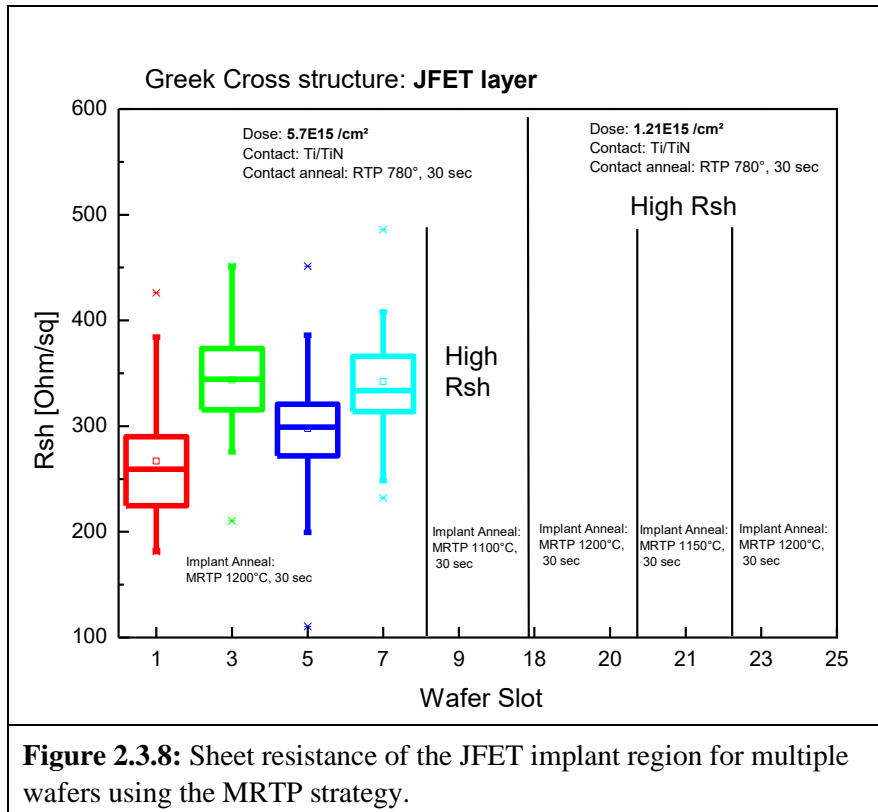
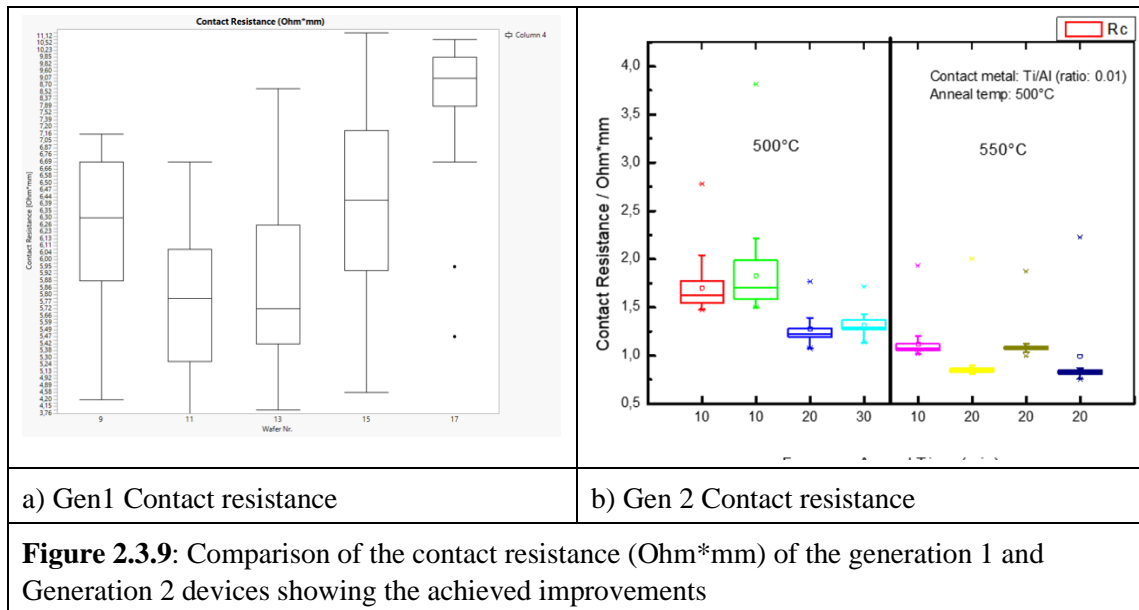


Abbildung 2.3.8 zeigt den Schichtwiderstand des JFET-Bereichs bei verschiedenen Implantatdosen. Wie zu erkennen ist, sinkt der Schichtwiderstand des JFET-Bereichs bei einer Implantatdosis von $5,7 \times 10^{15}$ Atomen/cm² auf etwa 320 Ohm/qm, während bei einer Dosis von $1,2 \times 10^{15}$ Atomen/cm² der hohe Widerstand der Schicht zu einer fehlgeschlagenen Messung führte. Eine vom Projektpartner an derselben Struktur durchgeführte Hall-Messung ergab einen Widerstand von 18 KOhm/qm.

Der Kontaktwiderstand (Widerstandswert) wurde ebenfalls von Generation 1 zu Generation 2 verbessert, wie in Abbildung 2.3.9 dargestellt. Dies ist auf den Reifegrad der Technologie zurückzuführen. Bei den Bauelementen der ersten Generation wurden mehrere Kontakte gleichzeitig gebildet, ohne dass ein optimierter Metallstapel verwendet wurde. Durch die Verwendung eines optimierten Metallstapels im GEN2-Bauelement konnte der Kontaktwiderstand von durchschnittlich 6 Ohm*mm auf 0,8 Ohm*mm verbessert werden. Eine weitere Verbesserung ist bei Erhöhung der Glüh­temperatur zu erwarten. Für die Funktionalität des GEN2-Bauelements ist der derzeit erreichte Widerstand jedoch ausreichend.



2.3.5.3 Improvement of the electrical characteristics of planar MOSFET

Eine der Herausforderungen bei den Bauelementen der Generation 1 waren die hohe Schwellenspannung und die Schwankungen in der Unterschwellen. Es wurde vermutet, dass dies zum Teil auf eine schlechte Qualität der Grenzflächen in den Kanalbereichen zurückzuführen ist. Um die Kanalqualität zu verbessern, wurde eine NH₃-Behandlung in einem Vertikalofen bei 770°C für 30 Minuten vor der Abscheidung des Gate-Dielektrikums in das Gate-Modul integriert. Für das Gate-Oxid wurde Niedertemperatur-Siliziumoxid verwendet, das bei 670 °C ohne Nachbehandlung abgeschieden wurde.

In den GEN1-Bauelementen wurde mit der entwickelten Prozesssequenz vor der Oxidabscheidung eine Vervielfachung des maximalen Drainstroms (d. h. Id_{sat}) bei einer Gatespannung von 15 V im Vergleich zu der Probe ohne NH₃-Temperung nachgewiesen. Allerdings wurde immer noch eine höhere Unterschwellen (> 5 V/dec) beobachtet. Um dies weiter zu verbessern, wurde ein Post-Deposition-Glühprozess in den Prozessablauf integriert. Das Post-Deposition Anneal (PDA) wurde unmittelbar nach dem Abscheidungsprozess bei 800°C für 30 Minuten in einer N₂-Umgebung in einem Horizontalofen durchgeführt.

Abbildung 2.3.10 zeigt die Übertragungseigenschaften (ID-VGS) von Bauelementen mit und ohne Nachglühen in logarithmischer Skala. In der linearen Darstellung konnten wir feststellen, dass das Gate nicht in den starken Inversionsbereich des MOS-Gate-Kondensators verschoben werden konnte. Es wird vermutet, dass dies auf die hohe Dichte von Grenzflächenfallen an dem Oxid/GaN-Grenzfläche zurückzuführen ist, weshalb eine höhere Spannung erforderlich ist, um diesen Bereich zu erreichen. Eine weitere Erhöhung der Gate-Spannung führt jedoch zu einem Anstieg des Oxid-Leckstroms und einem anschließenden Durchbruch des Gate-Oxids. Vergleicht man die Schwellenspannung (definiert als Gatespannung bei 1μA), so kann man feststellen, dass die Schwellenspannung bei der PDA nach unten verschoben ist. Es wird erwartet, dass diese Verschiebung eine Folge der Verringerung der Grenzflächenzustandsdichte aufgrund der Stickstoffpassivierung ist [1]. Bei Proben mit einem PDA-Prozess wird eine Schwellenspannung von 13-16 V erreicht, während bei Proben ohne PDA eine Schwellenspannung von über 20 V erreicht wird, was bestätigt, dass ein Effekt der Grenzflächenpassivierung mit N₂ erreicht wird. Es ist jedoch wichtig, darauf hinzuweisen, dass die theoretische Schwellenspannung von 2 V bei einem Gate-Oxid von 70 nm zu erwarten ist.

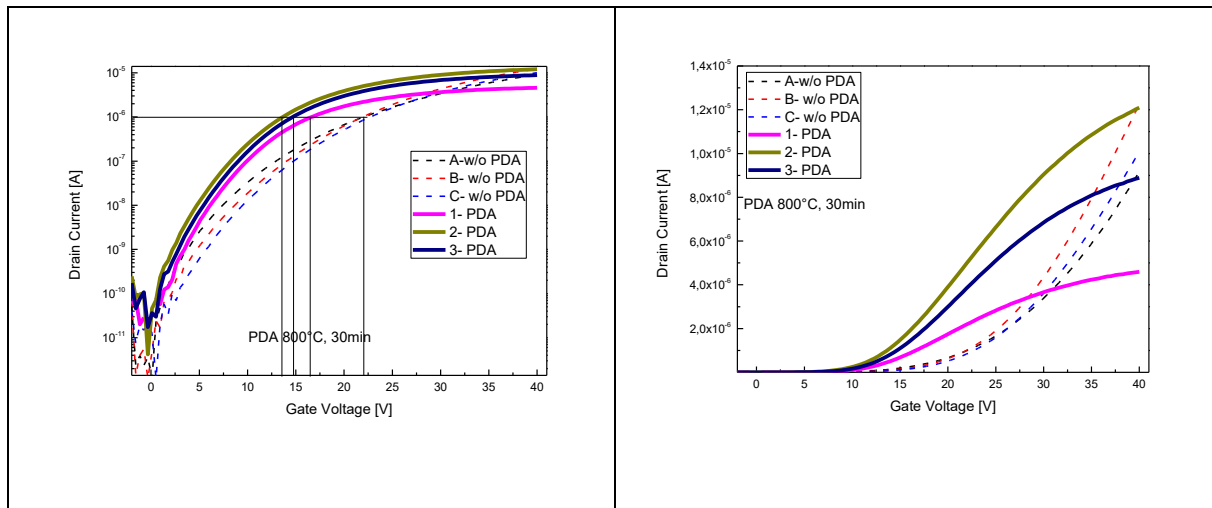
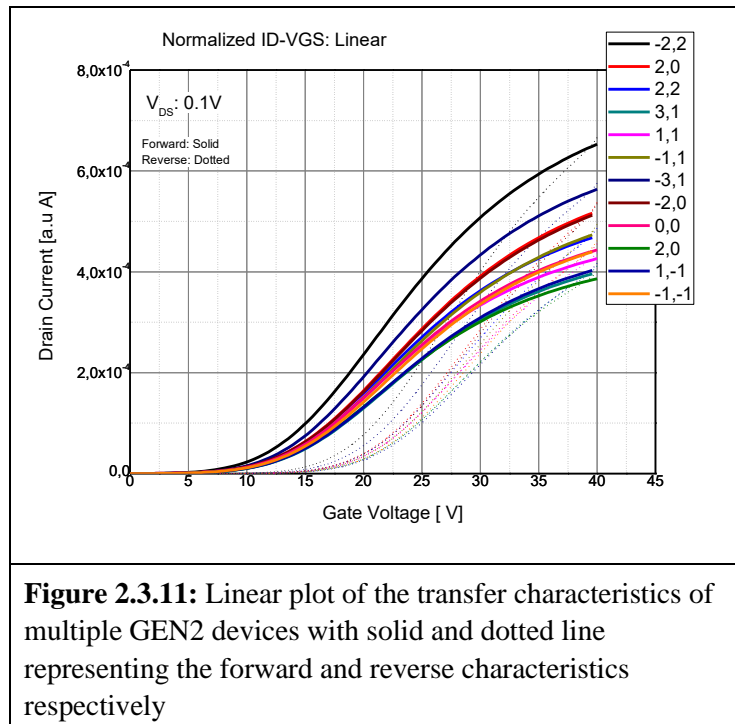


Figure 2.3.10: Transfer characteristics in (a) Logarithmic and (b) in linear plots of LD-MOS with and without the post-deposition annealing step. No drain current saturation can be observed for sample without a PDA as compared to sample with a PDA

Bei den GEN1-Bauelementen wurde ein hoher Unterschwellenhub und eine Drainstrom-Hysterese mit einer großen Verschiebung (~ 11 V) des Drainstroms beobachtet, wenn die Gatespannung in Vorwärts- und Rückwärtsrichtung durchlaufen wird. Man geht davon aus, dass dieser Hystereseeffekt mit der Oberflächenqualität des Kanalbereichs zusammenhängt. Bei der Verarbeitung wurde eine trockene Ionenätzung für die Definition des aktiven Bereichs verwendet, die vermutlich zu einer Verschlechterung der Kanalqualität beiträgt.

Um die Leistung des Bauelements auf GEN2 zu verbessern, wurde der Prozess auf Nassoxid-Ätzen umgestellt. Abbildung 2.3.11 zeigt die Übertragungseigenschaften mehrerer Bauelemente. Durch die Einführung des Nassoxidverfahrens konnte das ON/OFF-Verhältnis von GEN2 auf > 105 verbessert werden. Dies ist höher als die 102 Verhältnisse, die bei GEN1-Bauelementen erzielt wurden (hier nicht dargestellt). Darüber hinaus wurde bei den GEN2-Bauelementen ein Unterschwellenhub von 1 V/dec erzielt, verglichen mit 4 - 5 V/dec. Zum Vergleich: Ein handelsübliches 4H-SiC-MOSFET-Bauelement hat einen Unterschwellenhub im Bereich von 300 - 500 mV/dec. Zur Verbesserung dieses Parameters sind weitere Arbeiten erforderlich, die in anderen Projekten zur Nutzung der vertikalen GaN-Technologie fortgesetzt werden sollen.



2.3.5.4 Next Generation Devices and Improvements for the planar MOSFET

Wie bereits erwähnt, konnte man feststellen, dass trotz verschiedener Verbesserungen von GEN1- zu GEN2-Bauelementen diese Bauelemente im Vergleich zu handelsüblichem Silizium/Siliziumkarbid-Bauelementen noch nicht wettbewerbsfähig sind. Aus diesem Grund haben wir weitere Verbesserungsmaßnahmen geprüft.

Das Gate-Modul muss weiter verbessert werden, insbesondere um die Dichte der Grenzflächenzustände zu verringern. Dies hat sich aufgrund der hohen Hysterese der Übertragungseigenschaften als unzureichend erwiesen. Um das Modul besser zu verstehen, wurde eine Sekundärionen-Massenspektroskopie (SIMS)-Analyse eines repräsentativen Gate-Moduls durchgeführt (siehe Abbildung 2.3.12).

Für die Herstellung der n-Typ-Polysilizium-Gate-Elektrode wurde eine Phosphordotierung als Dotierstoff verwendet. In diesem Fall wird ein Implantations- und Aktivierungsglühprozess durchgeführt. Aus den SIMS-Daten geht hervor, dass sich Phosphor sowohl an der Grenzfläche zwischen Polysilizium und SiO₂ als auch am GaN/SiO₂ stark anreichert. Pearton et al. [2] haben gezeigt, dass sich Phosphorimplantate wie Stickstoff in GaN verhalten, indem sie die N-Lücken reduzieren, die beispielsweise bei der Mg-Implantation entstehen, wenn sie nach dem Implantationsprozess getempert werden. Wir vermuten, dass die P-Ionen, die zur GaN-Oberfläche diffundieren, zu einer Erhöhung der Grenzflächenfallen- und/oder Tiefenniveaudichte beitragen. Im vorliegenden Fall deutet eine geringe Kanal-Feldeffekt-Mobilität ($< 1 \text{ cm}^2/\text{V} \cdot \text{s}$) auf eine solche Erhöhung der Fallendichte hin. Es wird erwartet, dass zukünftige Verbesserungen der Aktivierungsglühung diesen Effekt minimieren können.

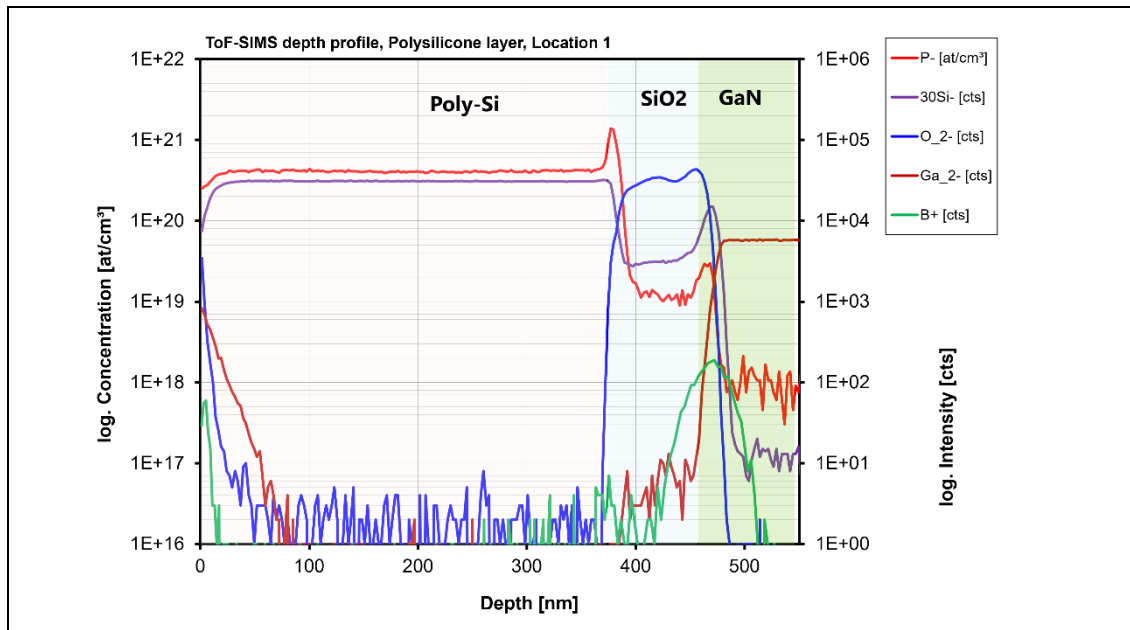


Figure 2.3.12: Secondary ion mass spectroscopy analysis of the dopants required to form the GATE module

Das nächste erwartete Merkmal bzw. die nächste erwartete Verbesserung bei einem Bauelement der nächsten Generation ist die Verbesserung der Durchbruchseigenschaften des Bauelements. Im Vergleich zu den Floating-Field-Rings-Bauelementen von GEN1 bietet GEN2 eine Kombination aus FFR-, Trench-Etch- und JTE-Bauelementen. Abbildung 2.3.13 zeigt eine schematische Darstellung des GEN2-Kantenabschlusskonzepts. Es ist wichtig zu erwähnen, dass trotz der zusätzlichen Merkmale in GEN2 die Gesamtsperrenschnung im Vergleich zum GEN1-Prozess um bis zu 100 V erhöht wurde (maximal erreichte Sperrspannung von ca. 60 V für eine 3 μm dicke Driftregion). Zukünftige Verbesserungen werden sich auf eine Mg-Implantationsdotierung konzentrieren, um einen tieferen und etwas niedriger dotierten JTE-Bereich im GaN-Material zu bilden.

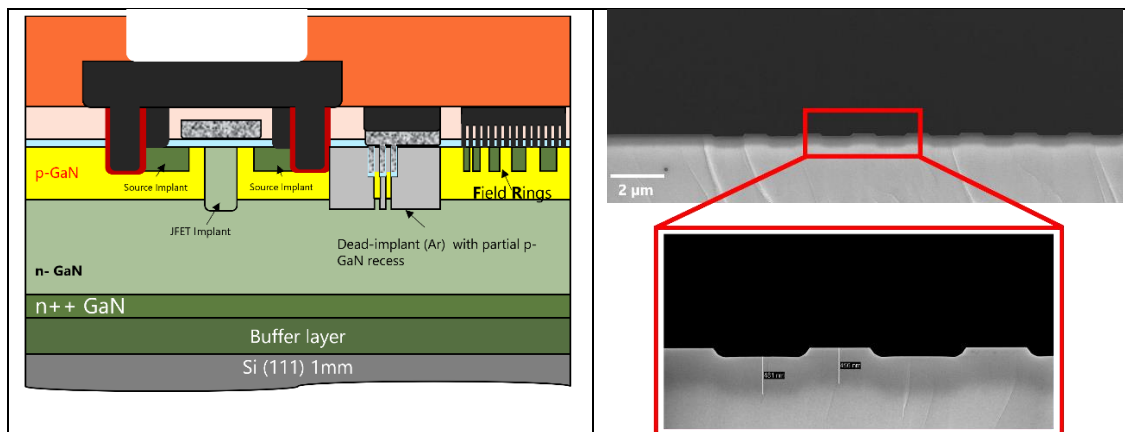
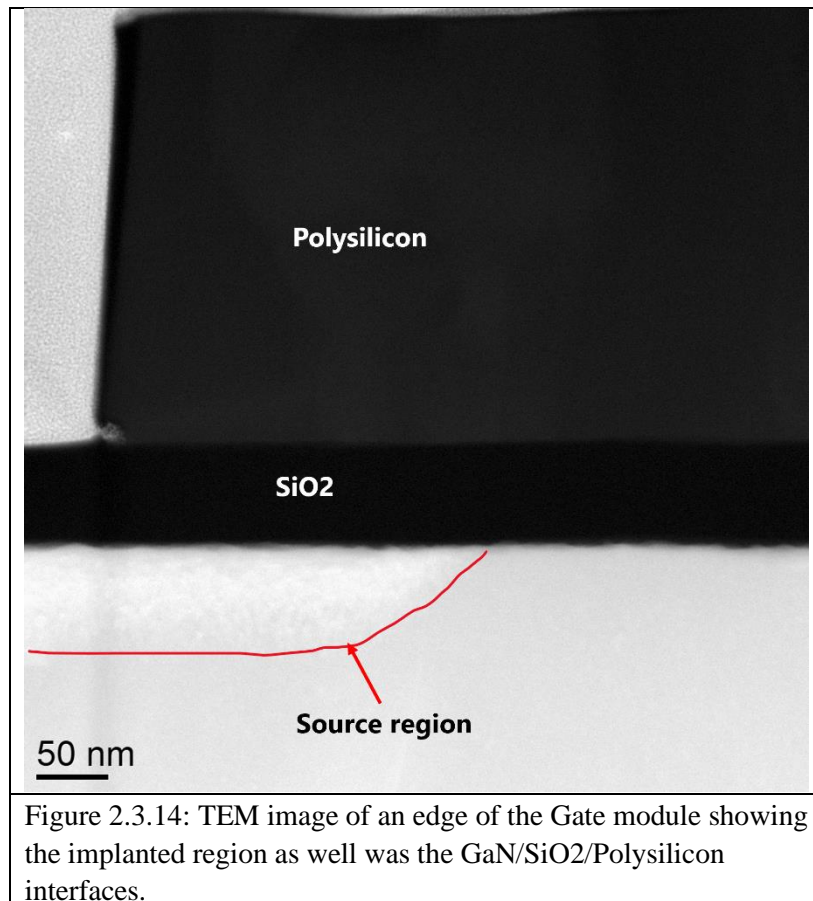


Figure 2.3.13: (a) schematic view of the edge termination concept of the GEN2 devices. A combination of FFR, JTE as well as trench-etch/Argon-implant is used to form the termination region. (b) SEM view of next Generation device using an Mg-implant for the JTE formation

Schließlich soll auch die Oberflächenqualität des Kanalbereichs verbessert werden. Bislang hat sich eine Kombination aus Nass- und Trockenätzverfahren als unzureichend erwiesen, was zum Teil auf die schwierige Kontrollierbarkeit des Ätzstoppbereichs zurückzuführen ist. Abbildung 2.3.14 zeigt

eine ringförmige Hochwinkel-Dunkelfeld-TEM-Aufnahme des gebildeten Gate-Modulbereichs. Man beachte, dass die rote Linie als Leitlinie für die implantierte Source-Well-Region verwendet wird. Wie man sehen kann, weist die SiO₂/GaN-Grenzfläche eine relativ hohe Rauheit auf. Es wird vermutet, dass es sich hierbei um ein Prozessproblem handelt, da der Ätzschritt zur Definition des aktiven Bereichs anscheinend immer die GaN-Oberfläche erreicht hat, wodurch die GaN-Oberfläche geätzt wurde. Ein Ergebnis eines solchen Prozesses ist die verringerte Feldeffekt-Mobilität des prozessierten Bauelements. Zukünftige Bauteilgenerationen werden so implementiert, dass ähnliche Probleme vermieden werden.



2.4 *Manufacturability analysis of Vertical devices on 200 mm GaN-on-Si Epiwafers*

Im Rahmen des Projekts untersuchte XFABD die Herstellbarkeit des definierten Prozessablaufs für vertikale GaN-MOSFETs. Dies umfasst den Aufbau der Lieferkette für die Epitaxie-Substrate, die Bewertung der Prozessierbarkeit der Substrate in der CMOS-Linie sowie die Analyse der Bauelementausbeute.

Der Aufbau der Lieferkette für Epitaxiewafer war sehr schwierig. Der Grund dafür ist die Schwierigkeit, eine dicke epitaktische GaN-Heterostruktur auf einem 200-mm-Siliziumsubstrat abzuscheiden. Die verantwortlichen Partner von WP1 sahen sich mit verschiedenen Herausforderungen konfrontiert. So war es zum Beispiel sehr schwierig, die Anforderungen in Bezug auf Wafer-Bow und Warp zu erfüllen, da die Gitterabweichungen zwischen GaN und dem Siliziumsubstrat erheblich sind. Darüber hinaus führten epitaktische Defekte wie das so genannte Bevel-Melt-Back, hexagonale Hillocks und Risse/Gleitlinien dazu, dass die Driftdicke nur langsam

auf die geforderten 5 μm erhöht werden konnte. Bislang wurde eine derart dicke Driftschicht auf einem 200-mm-Siliziumsubstrat noch nicht realisiert. Das Risiko, dass die Dicke Epimaterial nicht erreicht wird, wurde bereits bei der Projektdefinition und -vorbereitung in Betracht gezogen. Um dieses Risiko zu minimieren, haben wir einen Teil des Budgets für die Beschaffung weiterer Wafer außerhalb des Konsortiums bereitgestellt. Zahlreiche bekannte Anbieter von GaN-on-Si-Epimaterial innerhalb und außerhalb des EWR und Asiens wurden evaluiert. Tabelle 2 zeigt den Stand der Entwicklung bei den ausgewählten Anbietern. Wie zu erkennen ist, ist die Lieferkette für diese fortschrittliche Technologie noch immer sehr rar und könnte daher zu Schwierigkeiten bei der Kommerzialisierung der Technologie beitragen.

Vendor	Consortia Member	Region/Home office	Development Status
Siltronics AG	Yes	EU/Germany	Development
SOITEC BE	Yes	EU/Belgium	Non
Enkris	No	Asia/China	Research
IQE PLC	No	Europe/United Kingdom	Research
NTT AT	No	Asia/Japan	Non

Wie aus Tabelle 2 ersichtlich ist, verfügen alle kontaktierten Anbieter nicht über eine fertige Technologie für das Wachstum des für die vertikale Bauelementearchitektur erforderlichen Heterostrukturstapels. Von den beiden Anbietern von Epimaterialien innerhalb des Projektkonsortiums war jedoch nur die Siltronics AG in der Lage, GaN-Epimaterial auf einem 200-mm-Siliziumsubstrat an XFABD zur Verarbeitung zu liefern. Daher konnte im Rahmen des Projekts kein „Second Source“-Anbieter entwickelt werden. Dies wirkt sich stark auf die Marktreife dieser Technologie aus. Während der Verarbeitung der Bauelemente in unserer Fertigungslinie war eine kritische Herausforderung die plastische Verformung des Substrats. Wie bereits erwähnt, ist die Verformung des Wafers aufgrund der Gitterfehlpassung des GaN- und des Silizium-Materials wesentlich höher als die des klassischen CMOS-Materials. Dies führte dazu, dass in der Fertigungslinie weniger Werkzeuge zur Verfügung standen, die für den vertikalen GaN-Prozess verwendet werden konnten. Darüber hinaus ändern sich der Waferbogen und die Verformung, wenn das Material die erforderlichen thermischen Prozesse durchläuft. Abbildung 2.4.1 zeigt einen typischen Verlauf der mittleren Krümmung im Verlauf der Prozessschritte für ein epitaktisches GaN-on-Silicon mit 4 μm Driftdicke. Wie zu erkennen ist, weisen die Wafer nach bestimmten Schritten eine deutliche Verformung auf. Dieser sprunghafte Anstieg des Wölbungswerts fällt mit dem thermischen Ausglühen zusammen, das für die Aktivierung der implantierten Dotierstoffe erforderlich ist. Derartige Verformungen ($> 160 \mu\text{m}$) führen zu Problemen bei der Verarbeitung mit einem typischen Lithografie-Stepper, der nicht in der Lage ist, die Wafer zu bearbeiten und auszurichten. Zum Vergleich: Bei einer Driftdicke von 3 μm und weniger ist der Startbogen bei diesem Schritt um das 3- bis 4-fache erhöht und liegt damit innerhalb der Spezifikation/Fähigkeit der in CMOS-Fertigungslinien eingesetzten Standard-Stepper-Lithografiegeräte.

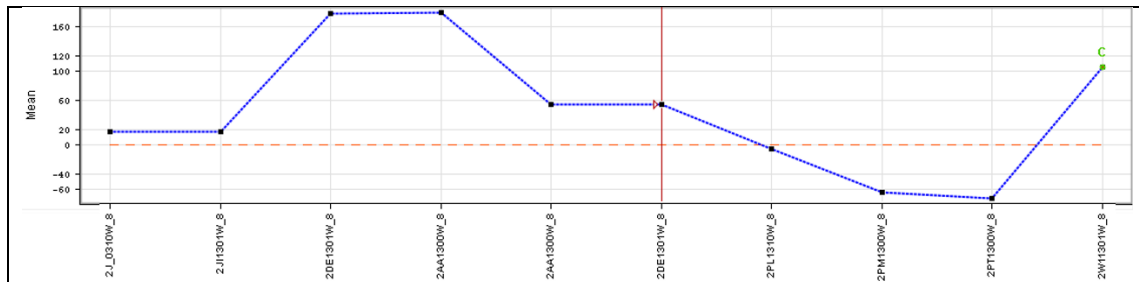


Figure 2.4.1: Measured bow (mean, in μm) of a lot as it goes through various process steps. Sharp increase in bow is observed after high temperature anneal. With subsequent control step,

Um dieses Problem zu lösen, wurde eine Sequenz entwickelt, die eine entgegengesetzte Spannung auf die Wafer ausübt. Durch solche Schritte konnte die Wölbung des Wafers auf Werte reduziert werden, die für das Stepper-Werkzeug ausreichend kontrollierbar sind. Wenn sich die Wafer in den Prozessschritten (Schritt 2PT) weiterbewegen, kann man feststellen, dass sich der Waferbogen umkehrt, was wiederum dazu führt, dass die Wafer nicht mehr prozessierbar sind. Daher müssen die vorherigen Schritte zur Kontrolle der Wölbung wiederholt werden.

Zusammenfassend lässt sich sagen, dass mit zunehmender Dicke der Driftschicht, um eine höhere Durchbruchsspannung zu erreichen, die Herstellbarkeit voraussichtlich abnehmen wird. Daher werden für die nächste Generation von Bauelementen weitere Anstrengungen unternommen, um neue Strategien für die Inline-Kontrolle des Waferbogens zu entwickeln. Darüber hinaus gehen wir davon aus, dass mit dem Erreichen der Reife neuer Arten von teilweise gitterangepassten Trägermaterialien (z. B. Keramiksubstrate wie QST TM und Poly-Siliziumkarbid - SMARTSiC TM) solche Probleme leichter zu kontrollieren sein werden.

3 Teil III: Erfolgskontrollbericht

3.1 ***Wissenschaftlich-technisches Ergebnis des Vorhabens, die erreichten Nebenergebnisse und die gesammelten wesentlichen Erfahrungen***

Das Projekt bot verschiedene Möglichkeiten und Herausforderungen für die vertikale GaN-Entwicklung. Für XFABD bedeutete dies, dass wir in der Lage waren, das erste Wissen über die Verarbeitung von vertikalem GaN auf 200-mm-Substrat in einer kommerziellen Umgebung zu erlernen und zu entwickeln. Dieses Wissen lässt uns weiterhin zu dem Schluss kommen, dass die vertikale GaN-Fertigung in unserer CMOS-Linie machbar ist, und so arbeiten wir weiter an der Verwertung der Projektergebnisse.

3.2 ***die Fortschreibung des Verwertungsplans. Diese soll, soweit im Einzelfall zutreffend, Angaben zu folgenden Punkten enthalten (Geschäftsgeheimnisse des Zuwendungsempfängers brauchen nicht offenbart zu werden)***

3.2.1 **Erfindungen/Schutzrechtsanmeldungen und erteilte Schutzrechte, die vom Zuwendungsempfänger oder von am Vorhaben Beteiligten gemacht oder in Anspruch genommen wurden, sowie deren standortbezogene Verwertung (Lizenzen u.a.) und erkennbare weitere Verwertungsmöglichkeiten**

Seiten der XFABD wurden keine Patente angemeldet oder in Anspruch genommen. Eine Schutzrechtsverwertung ist nicht absehbar.

3.2.2 **Wirtschaftliche Erfolgsaussichten nach Projektende (mit Zeithorizont) – z. B. auch funktionale/wirtschaftliche Vorteile gegenüber Konkurrenzlösungen, Nutzen für verschiedene Anwendergruppen / -industrien am Standort Deutschland, Umsetzungs- und Transferstrategien**

Eine im Projekt durchgeführte und im Laufe des Projektes aktualisierte Kostenabschätzung für die Herstellung vertikaler GaN Transistoren und der Vergleich zu lateralen HEMTs bzw. vertikalen SiC MOSFETs, Abbildung , bestätigt die wirtschaftliche Konkurrenzfähigkeit des angestrebten vertikalen GaN Transistors. Betrachtet wurden dabei sowohl die Kosten pro Quadratcentimeter Waferfläche aber insbesondere die Kosten pro Siemens Leitfähigkeit. Hier zeigt sich der vertikalen GaN Membranansatz anderen 1200V Lösung deutlich kostengünstiger.

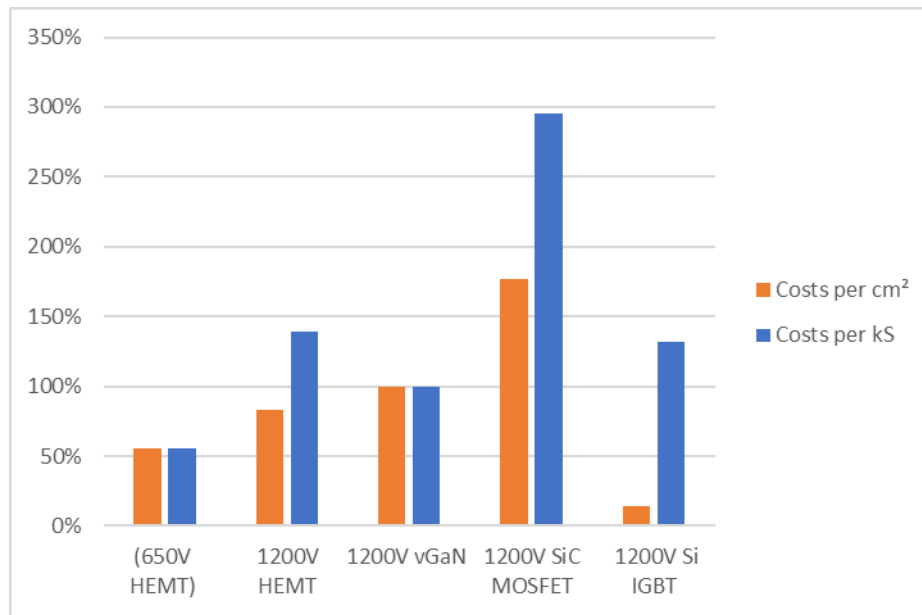


Abbildung 3.2.2.1: Kostenabschätzung, geschätzte 1200V vertikale GaN Transistoren im Vergleich zu anderen Lösungen

Es sind jedoch eine Reihe von Entwicklungen absehbar die in den nächsten Jahren diesen Kostenvergleich ändern können:

- Im Rahmen von YESvGaN untersuchte Möglichkeiten der Kavitätenverfüllung durch Nano-Wires bzw. eine komplette Rückseitenentfernung => leicht reduzierter Aufwand für die vGaN Prozessierung.
- Angekündigte Einführung von 200mm SiC Epiwafern wird die SiC Herstellungskosten langfristig reduzieren.

3.2.3 Wissenschaftliche und/oder technische Erfolgsaussichten nach Projektende (mit Zeithorizont) – u. a. wie die geplanten Ergebnisse in anderer Weise (z. B. für öffentliche Aufgaben, Datenbanken, Netzwerke, Transferstellen etc.) genutzt werden können. Dabei ist auch eine etwaige Zusammenarbeit mit anderen Einrichtungen, Firmen, Netzwerken, Forschungsstellen etc. darzustellen

Abbildung 1 zeigt den bei X-FAB als ISO TS16949 zertifizierten Automobilzulieferer üblichen etappenweisen Ablauf einer Technologieentwicklung entsprechend APQP (Advanced Product Quality Planning). Das YESvGaN Projekt deckt dabei einen (Groß)-Teil der Machbarkeitsphase „Feasibility“ ab. Ein anschließendes Nachfolgeprojekt mit einer voraussichtlichen Dauer von zwei bis vier Jahren müsste die Technologie dann zur Marktreife bringen.

Eine Machbarkeit der Kavitäten einschließlich der Kontakte auf der Rückseite konnte im Projekt erfolgreich demonstriert werden. Allerdings standen noch keine funktionierenden MOSFETs zur Verfügung. Dafür sind sowohl Layout als auch Prozessoptimierungen nötig die vermutlich deutlich über drei Jahre bis zu einer Marktreife benötigen. Ein wesentlicher Schritt dazu war im Rahmen eines Nachfolgeprojektes „vGaNtic“ vorgesehen, welches jedoch leider nicht bewilligt wurde.

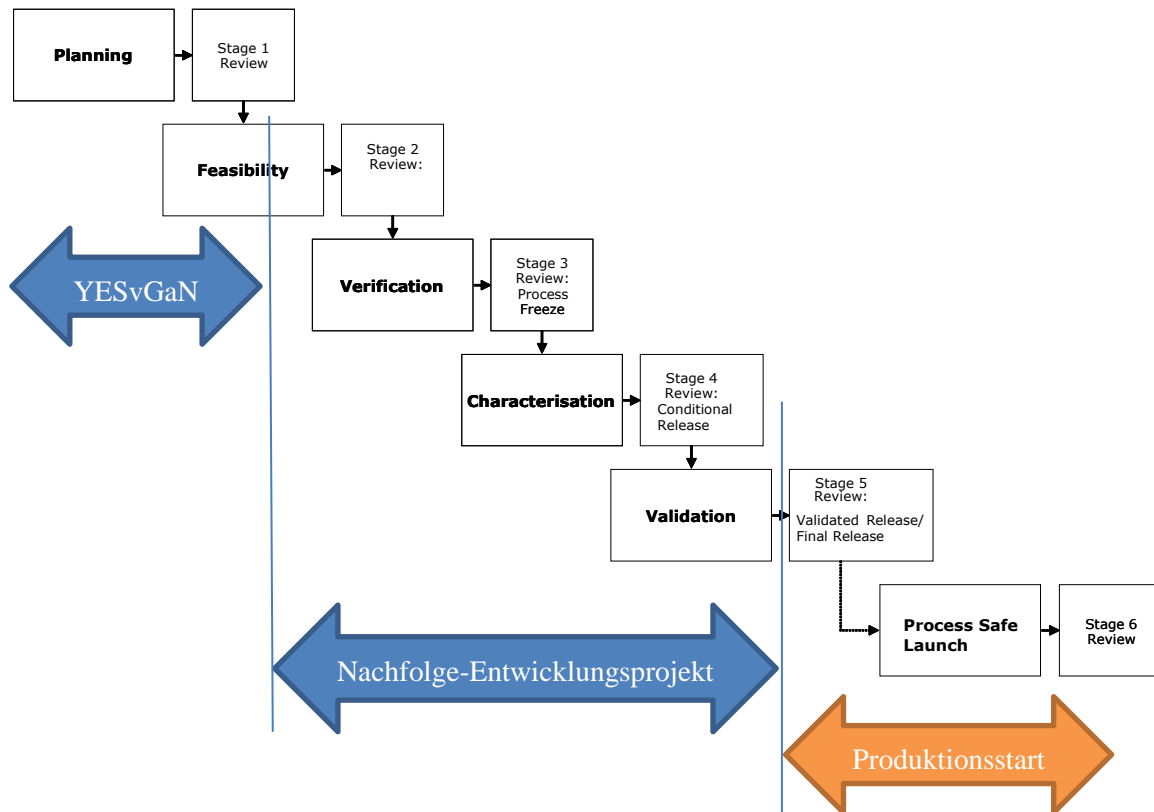


Abbildung 3.2.3.1: Etappenabfolge von X-FAB Entwicklungsprojekten

Technische Risiken in einem Nachfolge-Entwicklungsprojekt bestehen hinsichtlich Prozessstabilität bzw. Prozessrobustheit, Equipmentfähigkeit, Inline und PCM-Messbarkeit, Zuverlässigkeit, Epitaxiefähigkeit potenzieller Waferlieferanten, Umwelt und Sicherheit (EHS), Patentsituation.

Viele der für den Vorderseiten Prozess benötigten Anlagen sind am Standort Dresden auf 200mm Waferdurchmesser verfügbar. Dies betrifft z.B. Anlagen für eine Silizium Implantation, für ein tiefes GaN ätzen.

Aktuell fehlende Prozessschritte und das entsprechende Knowhow dazu wie z.B.

- temporäres Waferbonden (EVG)
- Chlor-basiertes Ätzen der III/V Keim- und Anpassungsschichten (Bosch)
- Drain-Kontaktimplantation (IBS)
- Laser-Anneal (CNRS)

sind im Rahmen des Verbundprojektes bei Prozesspartnern verfügbar gewesen.

Für einen Foundryprozess müssen diese Lücken im Prozessablauf geschlossen werden z.B. zunächst durch Kooperationen oder durch Investitionen. Insbesondere für nötige Investitionen muss ein entsprechendes Marktpotential und Kundeninteresse gefunden werden.

3.2.4 Wissenschaftliche und wirtschaftliche Anschlussfähigkeit für eine mögliche notwendige nächste Phase bzw. die nächsten innovatorischen Schritte zur erfolgreichen Umsetzung der Ergebnisse

Die notwendige nächste Phase wäre die Überführung in ein nachfolgendes Entwicklungsprojekt. Für einen verkaufsfähigen Foundry-Prozess wären diverse Equipmentinvestitionen nötig wie z.B.

- Temporäres Waferbonden
- Chlor-basiertes Ätzen der III/V Keim- und Anpassungsschichten

- Drain-Kontaktimplantation
- Laser-Anneal
- Hochtemperatur-Aktivator
- AlN-Sputterwerkzeug
- Nickel-Sputter-Target

Um diese tätigen zu können ist ein ausreichend großes Marktpotential bzw. Geschäftsmodell nötig. Dieses wird wie in der Vorhabensbeschreibung im Detail ausgeführt, gesehen: Die zunehmende Elektrifizierung z.B. in den Anwendungsfeldern EV/HEV, Inverter, Motortreiber, etc. wird den Bedarf an energieeffizienten Lösungen und damit an kostengünstigen Leistungsschaltern deutlich erhöhen. Da X-FAB als Wafer Foundry jedoch nicht direkt mit eigenen Produkten diesen Markt adressiert, sondern durch bereitgestellte Prozesstechnologien Kundenprodukte herstellt muss zunächst dieser Produktkunde gefunden werden. Erste Gespräche mit einem potenziellen Kunden wurden getätigt.

3.3 *Angaben zu Arbeiten, die zu keiner Lösung geführt haben*

Kritische Herausforderungen, auf die wir im Laufe des Projekts gestoßen sind, wie die Verbesserung der Aktivierungseffizienz, die Verbesserung der Kanalmobilität und die Identifizierung einer ausreichenden Deckschicht, bleiben ungelöst. Wir gehen davon aus, dass diese Herausforderungen nur mit zusätzlichen Investitionen in spezielle Werkzeuge gelöst werden können, die auf einer industriellen CMOS-Linie nicht verfügbar sind.

Um beispielsweise die Aktivierungseffizienz der implantierten Spezies zu verbessern, wird ein Aktivierungswerkzeug benötigt, das hohe Temperaturen von über 1400°C erreichen kann. Solche Werkzeuge sind zwar in anderen Fertigungslinien mit großer Bandlücke wie 4H-SiC üblich, aber in kommerziellen CMOS-Linien nicht ohne weiteres verfügbar. Im Rahmen des Projekts wurde ein neues Aktivierungsschema evaluiert, das in der verfügbaren Anlage implementiert werden konnte. Trotz des positiven Ergebnisses war die Verbesserung jedoch noch unzureichend.

3.4 *Angaben über die Einhaltung der Ausgaben- und der Zeitplanung*

Abbildung 3.4.1 unten zeigt die geplanten Arbeiten. Aufgrund der technologischen Reife konnten einige der geplanten Arbeiten nicht umgesetzt werden. Beispielsweise konnte eine Zuverlässigkeitsstudie des MOSFET-Bauelements aufgrund der geringen Leistung nicht durchgeführt werden. XFABD arbeitet im Rahmen anderer interner Aktivitäten an der kontinuierlichen Verbesserung des vertikalen GaN-Bauelements.

