



# Schlussbericht

## Teil I: Kurzbericht

Zum Verbundprojekt:

### **Erforschung innovativer Leistungstransistoren auf Basis des neuartigen Materialsystems Aluminiumnitrid – ForMikro-LeitBAN**

Teilvorhaben: Leistungselektronik-Demonstrator

---

**Zuwendungsempfänger:**

Technische Universität Berlin

---

**Projektleiter beim Zuwendungsempfänger:**

Prof. Dr.-Ing. Sibylle Dieckerhoff

Sibylle.Dieckerhoff@tu-berlin.de

+49 30 314 25511

---

**Förderkennzeichen:**

16ES1113

---

**Laufzeit des Vorhabens:**

01.10.2019 - 30.06.2024

---

**Berichtszeitraum:**

01.10.2019 - 30.06.2024

---

## Aufgabenstellung

Die rasante Entwicklung in den Bereichen Elektromobilität, Automatisierung, Energieversorgung und breitbandige Kommunikationssysteme erfordert hocheffiziente Leistungselektronik und die Miniaturisierung der eingesetzten Systeme. Transistoren basierend auf dem Ultra-Wide-Bandgap Material Aluminiumnitrid (AlN) ermöglichen gegenüber den aktuell eingesetzten Si- und GaN-Technologien erhebliche Vorteile im Leit- und Schaltverhalten, um diese Ziele zu erreichen. Das Projekt LeitBAN zielte darauf ab, das Potenzial von AlN als Halbleitermaterial für leistungselektronische und mikrowellentechnische Anwendungen umfassend in der gesamten Kette von der AlN-Kristallzüchtung und der Bereitstellung von AlN-Wafern (IISB, LEB) über die Prozessierung von AlN-basierten Transistoren (FBH) bis zu Schaltungsdemonstratoren (TUB, BTU) zu erforschen. Die Aufgabe der Technischen Universität Berlin (TUB) bestand darin, die AlN-Transistoren für leistungselektronische Anwendungen detailliert zu charakterisieren, um ihre Eigenschaften besser zu verstehen, mögliche Schwachstellen zu identifizieren und diese Erkenntnisse in die Optimierung nachfolgender Transistorgenerationen bei den Projektpartnern einfließen zu lassen. Auf Grundlage der Charakterisierungsmessungen sollten parametrierbare Modelle der Halbleiter für die Schaltungssimulation entwickelt werden. Darüber hinaus sollten die flexibleren Möglichkeiten zur monolithischen Integration gegenüber konventionellen GaN-auf-Si-Technologien evaluiert werden. Dazu gehörten die Untersuchung von monolithisch integrierten Halbbrücken und bidirektional sperrenden Schaltern. Ein T-Type-Konverter sollte als Schaltungsdemonstrator realisiert werden, um das Potenzial der AlN-Technologie im Hinblick auf monolithische Integration und hohe Schaltfrequenzen und damit perspektivisch für hohe Leistungsdichten und Systemeffizienzen zu zeigen.

## Wissenschaftlicher und technischer Stand zu Beginn des Projektes

Zu Beginn des Projektes konzentrierte sich die Forschung im Bereich der GaN-basierten Schaltungs- und Systemtechnik für hochfrequent schaltende leistungselektronische Anwendungen vorwiegend auf GaN-auf-Si HEMTs der 600 V / 650 V Klasse, mit typischen Anwendungen im Bereich der Stromversorgungen und Ladegeräte. AlN/GaN Leistungstransistoren stellten eine neuartige Technologie dar, die noch wenig erforscht und noch nicht in Anwendungen demonstriert war. Im Bereich der monolithischen Integration fanden sich Arbeiten u.a. zu integrierten Gate-Treiber und Halbbrücken. Ein nach wie vor nicht zufriedenstellend gelöstes Problem und Gegenstand der Forschung war jedoch der Einfluss der Substratkontaktierung auf die elektrischen Eigenschaften der Transistoren bei GaN-auf-Si HEMTs. Es wurde erwartet, dass durch die Anwendung der AlN-Technologie eine höhere Durchbruchspannung erreicht und die monolithische Integration ermöglicht werden kann, ohne Einbußen bei der Performance der Transistoren zu verursachen.

## Planung und Ablauf des Teil-Vorhabens

Das Fachgebiet Leistungselektronik der TUB war in diesem Projekt verantwortlich für das Arbeitspaket 5, AlN Leistungselektronik Demonstrator. Das Arbeitspaket umfasste die Charakterisierung und den Test der von den Partnern prozessierten leistungselektronischen AlN-Transistoren für die verschiedenen Bauteiliterationen und Integrationsebenen unter typischen Schaltungsbedingungen. Dazu wurden in den Arbeitspaketen 5.1 bis 5.3 die Prüfstände und Schaltungslayouts entworfen und umgesetzt, sowie die Transistoren vermessen, analysiert und modelliert. Zur Optimierung des Schaltungslayouts wurden simulationsbasierte Methoden eingesetzt. Im Arbeitspaket 5.4 wurde ein T-Type Wechselrichter als Schaltungsdemonstrator entwickelt. Ziel des Teilvorhabens war es, anhand einer umfassenden messtechnischen Analyse der Aufbauten das Erreichen der Gesamt-Projektziele – stabil niedriger Durchlasswiderstand der AlN-Leistungstransistoren, Schaltungsdemonstratoren mit sehr hohen Schaltfrequenzen, gute Eignung zur monolithischen Integration von Schaltzellen – nachzuweisen. Tabelle 1 gibt einen Überblick über den zeitlichen Ablauf der Arbeitspakete des Teilvorhabens.

### Projektplan mit beantragter Verlängerung

		Projektjahr 1				Projektjahr 2				Projektjahr 3				Projektjahr 4				Verlängerung		
		19	2020			2021				2022				2023				2024		
AP Nr.	Arbeitspaket	Q4	Q1	Q2	Q3	Q4	Q1	Q2	Q3	Q4	Q1	Q2	Q3	Q4	Q1	Q2	Q3	Q4	Q1	Q2
<b>AP 5</b>	<b>AlN Leistungselektronik Demonstrator</b>																			
AP 5.1	Testkonzeption und Umsetzung																			
AP 5.2	Exp. Charakterisierung der Halbbrücken																			
AP 5.3	Technologievergleich Halbbrücken																			
AP 5.4	Demonstrator: T-Type Wechselrichter																			

- ursprüngliche Planung
- zusätzliche Bearbeitungszeit
- Verlängerung (9 Monate)

## Wesentliche Ergebnisse und Zusammenarbeit im Projekt

Im Arbeitspaket (AP) 5.1 wurde die bestehende Messtechnik des Fachgebiets, die für Standard GaN-Leistungstransistoren entwickelt war, an die untersuchten GaN-auf-AlN/SiC Transistoren angepasst. Zudem wurden neue Testplattformen entwickelt, darunter ein C-V-Teststand sowie ein Leckstrom-Teststand. Besonders hervorzuheben ist, dass der neue Teststand die Untersuchung des Einflusses des Substratpotenzials auf die Transistorperformance ermöglicht. Die im Projekt erforschten GaN-auf-AlN/SiC Transistoren verfügen über ein nicht-isoliertes Schottky-Gate. Für dieses nicht-isolierte Gate wurden verschiedene Treiberschaltungen analysiert und eine neue Treiberschaltung entwickelt, mit der sich eine hohe Schaltgeschwindigkeit und ein stabiler Schaltvorgang bei MHz-Frequenzen für einen weiten Arbeitsbereich erzielen lassen.

Im AP 5.2 wurden zwei Generationen von lateralen GaN-auf-AlN/SiC Transistoren (HEMTs) mit 92 nm Gate-Weite umfassend statisch und dynamisch charakterisiert, darunter diskrete Transistoren, monolithisch integrierte Halbbrücken und monolithische bidirektionale Schalter. Die Ergebnisse zeigen für die diskreten Transistoren eine hohe Durchbruchspannung von über 800 V, einen hohen Sättigungsstrom von 0,76 A/mm bei einer Gatespannung  $V_{GS} = 1$  V und einen Durchlasswiderstand von 104 m $\Omega$ . Die Eingangs-, Ausgangs- und Rückkopplungskapazitäten liegen im Pikofarad-Bereich und sind auf dem gleichen niedrigen Niveau wie bei kommerziellen GaN-auf-Si Transistoren, so dass ein sehr schnelles Schalten möglich ist. Gleichzeitig sind die substratbezogenen Kapazitäten um den Faktor zehn kleiner als bei vergleichbaren GaN-auf-Si Transistoren. Dies weist darauf hin, dass die Kopplung zwischen dem Substrat und den anderen Transistorkontakten bei GaN-auf-AlN/SiC Transistoren deutlich geringer ist. Das Schaltverhalten wurde im Doppelpulstest bis 400 V<sub>DC</sub> und 5 A Laststrom charakterisiert. Dabei wurden schnelle Schaltvorgänge mit Drain-Source-Spannungsteilheiten bis 72 V/ns beim Ausschalten gemessen. Besonders hervorzuheben ist, dass sowohl die statischen (*I-V*-Charakteristik, Leckstrom) als auch die dynamischen Eigenschaften eine gute Immunität gegen Backgating, d.h. gegen eine Rückwirkung des Substratpotenzials auf die Transistoreigenschaften zeigen. Dies ist ein zentraler Vorteil der AlN-Technologie und essentiell für die monolithische Integration.

Im AP 5.3 wurden die monolithisch integrierten GaN-auf-AlN/SiC Halbbrücken mit Halbbrücken aus diskreten Transistoren verglichen. Die Schaltvorgänge wurden bis 300 V<sub>DC</sub> und einem Laststrom  $I_L$  bis 5 A gemessen, begrenzt durch den ab 200 V signifikant erhöhten dynamischen Durchlasswiderstand. Dabei konnten für die monolithische Halbbrücke deutlich schnellere Schalttransienten mit bis zu 93 V/ns beim Ausschalten erreicht werden, zudem wiesen sie geringere Überströme (14 A im Vergleich zu 20 A bei  $I_L=5$  A) und weniger Oszillationen auf. Dies führt zu einer Reduktion der Schaltverluste und einer höheren Stabilität im Schaltbetrieb, wodurch höhere Schaltfrequenzen, kleinere Filter und damit die Volumenreduktion leistungselektronischer Systeme ermöglicht werden. Des Weiteren wurde ein verhaltensbasiertes, mit Messungen parametrierbares Modell des GaN-auf-AlN/SiC Transistors entwickelt, das sowohl die stationären Eigenschaften als auch die transienten Schaltvorgänge sehr gut reproduzieren kann und sich somit sehr gut für die Schaltungsentwicklung eignet.

In AP 5.4 wurde als Schaltungsdemonstrator ein 3-Level T-Type-Wechselrichter unter Verwendung eines monolithisch bidirektionalen GaN-auf-AlN/SiC Schalters für den Querzweig entworfen, aufgebaut und mit einer Eingangsspannung von 400 V<sub>DC</sub> in Betrieb genommen und vermessen. Die Funktion der Schaltung wurde bei einem Ausgangs-Wechselstrom von 5 A und Schaltfrequenzen bis 2 MHz erfolgreich validiert. Somit konnte das große Potenzial der neuen Transistortechnologie für leistungselektronische Anwendungen prinzipiell demonstriert werden.

In dem Verbundprojekt ForMikro-LeitBAN war die Kooperation aller Partner erforderlich, um die neue AlN-basierte Transistor-Technologie bis hin zur leistungselektronischen Applikation zu entwickeln und zu demonstrieren. Eine enge Zusammenarbeit bestand für die TU Berlin mit dem Partner FBH. Dazu gehörten Abstimmungen zu Daten und Schaltungslayouts für die zu vermessenden Transistoren sowie die Auswertung der Charakterisierungsmessungen an der TU Berlin, deren Erkenntnisse in die nächsten Transistorgenerationen eingeflossen sind. Diese Zusammenarbeit resultierte in insgesamt acht gemeinsamen Veröffentlichungen der Projektergebnisse auf Fachkonferenzen und in Fachzeitschriften.



# Schlussbericht

## Teil II: Eingehende Darstellung

Zum Verbundprojekt:

### **Erforschung innovativer Leistungstransistoren auf Basis des neuartigen Materialsystems Aluminiumnitrid – ForMikro-LeitBAN**

Teilvorhaben: Leistungselektronik-Demonstrator

---

**Zuwendungsempfänger:**

Technische Universität Berlin

---

**Projektleiter beim Zuwendungsempfänger:**

Prof. Dr.-Ing. Sibylle Dieckerhoff

Sibylle.Dieckerhoff@tu-berlin.de

+49 30 314 25511

---

**Förderkennzeichen:**

16ES1113

---

**Laufzeit des Vorhabens:**

01.10.2019 - 30.06.2024

---

**Berichtszeitraum:**

01.10.2019 - 30.06.2024

---

# Inhaltverzeichnis

1	Zusammenfassung des Gesamtprojekts .....	3
2	Wissenschaftlich-technische Ergebnisse .....	4
2.1	Konzeptionierung und Umsetzung der Tests zur Bauteilcharakterisierung (AP 5.1) .....	4
2.2	Charakterisierung von AlN-SiC Transistoren sowie Basis-Schaltungen (AP 5.2).....	6
2.3	Technologievergleich und Bewertung der Halbbrückenmodule (AP 5.3) .....	15
2.4	Schaltungsdemonstrator (AP 5.4) .....	21
2.5	Vergleich zur ursprünglichen Vorhabenbeschreibung.....	22
3	Wichtigste Positionen des zahlenmäßigen Nachweises .....	23
4	Notwendigkeit und Angemessenheit der geleisteten Projektarbeiten .....	23
5	Voraussichtliche Nutzen und Verwertbarkeit des Ergebnisses .....	24
6	Bekannt gewordenen Fortschritt auf dem Gebiet des Vorhabens bei anderen Stellen während der Durchführung des Vorhabens dem Zuwendungsempfänger .....	24
7	Erfolgte und geplante Veröffentlichungen der Ergebnisse .....	24
8	Literaturverzeichnis .....	25

# 1 Zusammenfassung des Gesamtprojekts

Das Verbundprojekt "Erforschung innovativer Leistungstransistoren auf Basis des neuartigen Materials Aluminiumnitrid – ForMikro-LeitBAN" wurde vom Bundesministerium für Bildung und Forschung (BMBF) gefördert. Die Laufzeit des Projekts erstreckte sich von Oktober 2019 bis Juni 2024.

Elektromobilität, Automatisierung, Energieversorgung und breitbandige Kommunikationssysteme sind essenziell für die künftige Weiterentwicklung unserer Gesellschaft und die Beibehaltung der internationalen Konkurrenzfähigkeit. Diese Anwendungen erfordern eine hocheffiziente Leistungselektronik und die Miniaturisierung der elektronischen Systeme. In diesem Kontext bietet das Material Aluminiumnitrid (AlN) gegenüber den aktuell eingesetzten Silizium-, Siliziumcarbid- und Galliumnitrid-Technologien erhebliche Vorteile, um hohe Leistungsdichten und gesteigerte Energieeffizienzen zu erreichen. Das Verbundprojekt LeitBAN zielte darauf ab, das Potenzial von AlN als Halbleitermaterial für leistungselektronische und mikrowellentechnische Anwendungen umfassend zu erforschen und auszuschöpfen. Es wurde erwartet, dass durch die Anwendung der AlN-Technologie bei Leistungstransistoren eine höhere Durchbruchspannung erreicht und die monolithische Integration ermöglicht werden kann, sowie im Vergleich zur GaN-Technologie dynamische Störeffekte reduziert und gleichzeitig eine hohe Zuverlässigkeit erreicht werden kann.

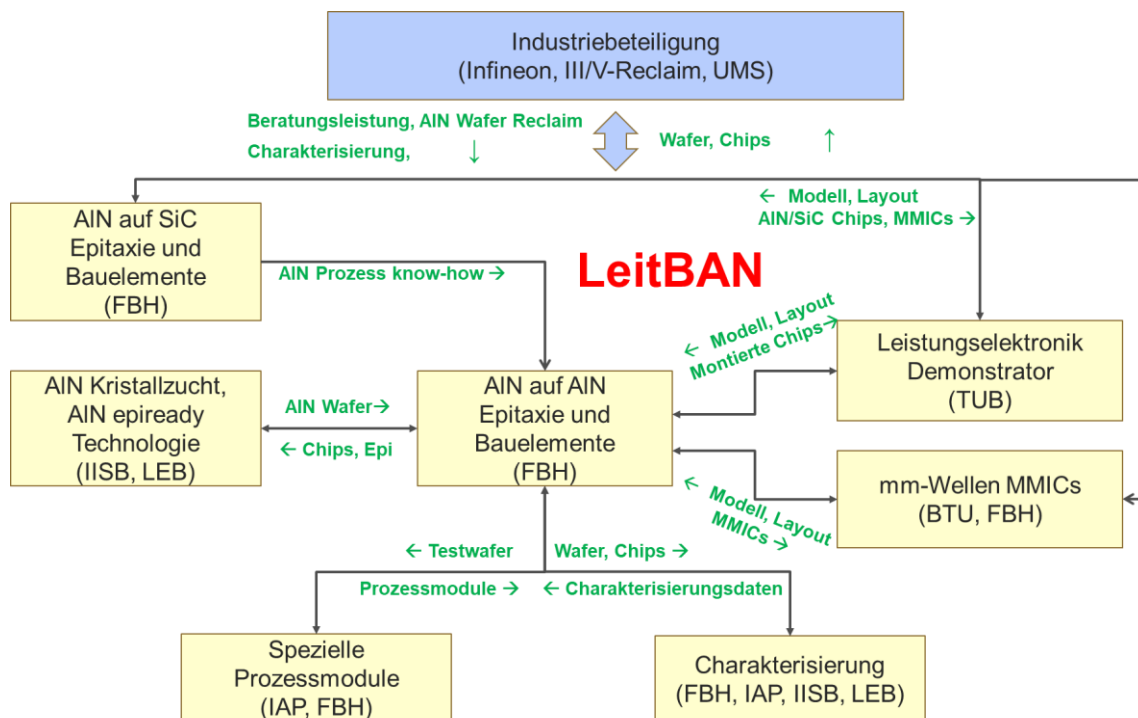


Abbildung 1: Projektübersicht und Struktur der Zusammenarbeit in LeitBAN

Jeder Partner trug mit spezifischen Kompetenzen zur erfolgreichen Umsetzung des Projekts bei. Abbildung 1 verdeutlicht die Zusammenarbeit zwischen den Partnern innerhalb von LeitBAN anhand der Projektstruktur. Eine wesentliche Aufgabe der Technischen Universität Berlin (TUB) bestand darin, AlN-basierte Transistoren (GaN-auf-AlN/SiC und GaN-auf-AlN/AlN HEMTs) für leistungselektronische Anwendungen detailliert zu charakterisieren, um ihre Eigenschaften besser zu verstehen, mögliche Schwachstellen zu identifizieren und diese Erkenntnisse in die Optimierung nachfolgender Transistorgenerationen bei den Projektpartnern einfließen zu lassen. Besonders wichtig war dabei die Untersuchung der Vorteile der AlN-basierten Transistoren bei der Realisierung der monolithischen Integration, die durch eine im Vergleich zu GaN-auf-Si Transistoren erwartete verbesserte Immunität gegen Backgating ermöglicht wird. Daher wurden monolithisch integrierte Transistoren, einschließlich monolithisch integrierter Halbbrücken und bidirektionaler Schalter, untersucht und ihre Vorteile im Vergleich zu diskreten Transistoren evaluiert. Darüber hinaus sollten auf Grundlage der Charakterisierungsmessungen

parametrierbare Modelle der Halbleiter für die Schaltungssimulation entwickelt werden, die eine Bewertung des Einsatzes der Technologie für unterschiedliche Anwendungsfälle ermöglichen. Ein T-Type-Leistungselektronik-Demonstrator mit monolithisch integrierten bidirektionalen Transistoren sollte entworfen und getestet werden. Ziel war es, anhand einer umfassenden messtechnischen Analyse die Eignung der AlN-Technologie für den Betrieb mit hohen Leistungsdichten und bei sehr hohen Schaltfrequenzen nachzuweisen.

## 2 Wissenschaftlich-technische Ergebnisse

Das Fachgebiet Leistungselektronik der TUB war in dem Verbundprojekt verantwortlich für das Arbeitspaket 5, AlN-Leistungselektronik-Demonstrator. Dieses Arbeitspaket umfasste die Charakterisierung und Modellbildung von AlN-Transistoren sowie die Entwicklung eines T-Type-Demonstrators. Im Folgenden werden die wichtigsten Ergebnisse entsprechend der Struktur des Arbeitspakets vorgestellt. Abschnitt 2.1 beschreibt die entwickelte Messtechnik und das Treiberschaltungskonzept, die speziell zur Untersuchung der Eigenschaften der neuartigen AlN-Transistoren entwickelt wurden. Abschnitt 2.2 gibt eine umfassende Analyse der statischen und dynamischen Eigenschaften der vermessenen GaN-auf-AlN/SiC Transistoren mit 92 mm Gate-Breite, einschließlich diskreter Transistoren, monolithisch integrierter Halbbrücken und des monolithischen bidirektionalen Schalters. Abschnitt 2.3 vergleicht die monolithisch integrierten Halbbrückenmodule mit der Halbbrückenschaltung aus diskreten Transistoren und stellt die Modellierung der GaN-auf-AlN/SiC Transistoren vor. Dabei werden die Vorteile der monolithischen Integration detailliert demonstriert. Abschnitt 2.4 zeigt die Ergebnisse des T-Type Leistungselektronik-Demonstrators mit monolithisch integrierten bidirektionalen Transistoren, der bei einer Zwischenkreisspannung von 400 V, einem Wechselstrom von 5 A und einer Schaltfrequenz von 2 MHz erfolgreich betrieben wurde.

### 2.1 Konzeptionierung und Umsetzung der Tests zur Bauteilcharakterisierung (AP 5.1)

#### Messtechnik und Treiberkonzepte (AP 5.1.1)

Die statische  $I$ - $V$  Charakterisierung der Transistoren wurde mithilfe eines gepulsten Messaufbaus durchgeführt, um die Selbsterhitzungseffekte zu reduzieren. Der in [1] vorgestellte Messaufbau wurde bereits vom Fachgebiet entwickelt und an die untersuchten GaN-auf-AlN/SiC Transistoren angepasst. Zur Messung der  $C$ - $V$  Charakteristik wurde ein  $C$ - $V$  Messprüfstand mit einer Keithley Capacitance-Voltage Unit (CVU), Modell 4200A, eingerichtet und an die am FBH entwickelten GaN-auf-AlN/SiC Transistoren im entsprechenden Submount-PCB-Package (Abbildung 4) angepasst. Mit dem Prüfstand können sowohl konventionelle 3-Port- als auch 4-Port- $C$ - $V$  Messungen durchgeführt werden, was insbesondere für die Untersuchung der Backgating-Effekte, d.h. die Untersuchung des Einflusses des Substrats auf die Transistorcharakteristik, wichtig ist. Zudem können der Gate- und der Drain-Leckstrom mit einer Keithley SMU gemessen werden.

Für die dynamische transiente Charakterisierung der Transistoren wird der passive Tastkopf TPP0850 (Tektronix) mit einer sehr niedrigen Eingangskapazität von 1,8 pF und einer hohen Bandbreite von 800 MHz zur Messung der Drain-Source-Spannung und der Bulk-Source-Spannung verwendet. Der Isolierte Tastkopf IsoVu (Tektronix) mit einer sehr niedrigen Eingangskapazität von 2,8 pF und einer hohen Bandbreite von 1 GHz wird zur Messung der Gate-Source-Spannung eingesetzt. Für die dynamische Strommessung wurde ein für GaN-HEMTs entwickelter SMD Stromshunt mit hoher Bandbreite ( $> 400$  MHz) adaptiert. Der Messwiderstand kann entsprechend der Stromtragfähigkeit der Transistoren angepasst werden. Für die Messung des dynamischen Einschaltwiderstands wird eine aktive Clamping-Schaltung mit niederkapazitiven Transistoren der 650 V Klasse verwendet (Abbildung 16).

Der untersuchte GaN-auf-AlN/SiC Transistor verfügt über ein nicht-isoliertes Schottky Gate. Daher muss während des Leitzustands ein kontinuierlicher Strom in das Gate eingespeist werden. Für GaN-Transistoren mit nicht-isoliertem Gate wurden mehrere Arten von Treiberschaltungen vorgeschlagen. Panasonic bietet den speziellen Treiber AN34092B an, der eine Stromquelle in Kombination mit einem spannungsgesteuerten Einschaltverfahren integriert (Abbildung 2a) [2]. Infineon empfiehlt ein RC-Netzwerk in Kombination mit einem herkömmlichen Spannungsquellentreiber (Abbildung 2b) [3]. Die Boost-

Kapazität  $C_s$  im Gate-Kreis von Abbildung 2 muss im Ausschaltvorgang entladen werden, um einen schnellen Einschaltvorgang zu gewährleisten. In der Treiberschaltung mit Spannungsquellentreiber (Abbildung 2b) kann  $C_s$  bei hoher Frequenz nicht vollständig entladen werden, und die Off-State-Spannung ändert sich mit der Frequenz und dem Tastgrad. Um ein schnelles Einschalten bei hochfrequent schaltendem Betrieb bis in den MHz-Bereich zu erreichen und gleichzeitig eine feste Ausschalt-Spannung zu realisieren, wurde die Treiberschaltung zu der in Abbildung 2c gezeigten Schaltung optimiert. Die Kapazität  $C_s$  wird während des Abschaltvorgangs durch den NMOS-Transistor entladen, und der Ausschalt-Gatewiderstand  $R_{off}$  ist direkt mit dem Gate-Anschluss des Transistors verbunden, um eine konstante Ausschalt-Spannung zu realisieren. Die Ergebnisse wurden in [4] veröffentlicht.

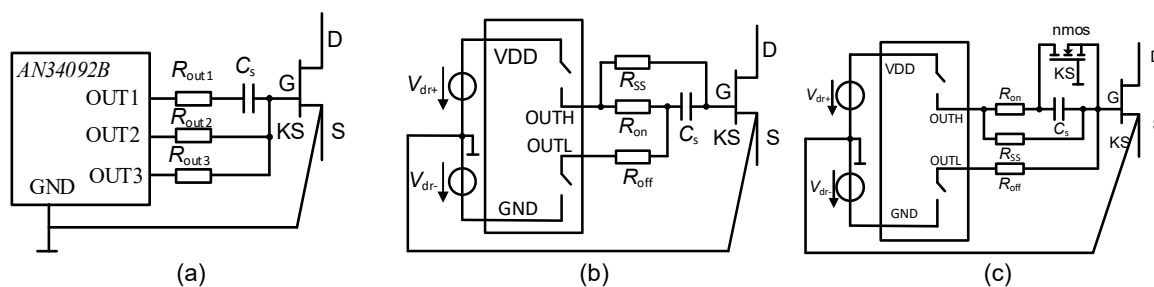


Abbildung 2: Gate-Treiberschaltungen für GaN-auf-AIN/SiC Transistoren mit nicht-isoliertem Schottky Gate: (a) Schaltung mit einem Stromquellentreiber, (b) Schaltung mit einem Spannungsquellentreiber, (c) Schaltung mit einem Spannungsquellentreiber und einem Entladungs-MOSFET.

## Entwurf von Leistungsmodulen einschließlich Kühlkonzepten (AP 5.1.2)

Um die Energiedichte im Dauerbetrieb zu erhöhen, sind geeignete Aufbautechnologien und Kühlkonzepte erforderlich. Hierfür bietet eine neuartige AIN-Schaltungsträger-Technologie („High-Speed-Core“, HSC) eine vielversprechende Möglichkeit. Diese Technologie integriert die Gate-Treiberschaltungen und die Leistungsbauteile auf einer mehrschichtigen, polykristallinen AIN-Hochspannungsplattform, wie in Abbildung 3 dargestellt. Dadurch können gleichzeitig die Wärmeleitfähigkeit verbessert und die parasitären Effekte reduziert werden. Aufbauend auf einer existierenden Vorgängergeneration, die in [5] vorgestellt wurde, wurden optimierte Layouts für Halbbrückenmodule auf einem AIN-Schaltungsträger in Kooperation mit dem Ferdinand-Braun-Institut (FBH) entwickelt und dort prozessiert. Diese Layouts wurden durch die TUB mittels FEM Feldsimulationen bzgl. ihrer parasitären Schaltungseigenschaften (u.a. der Induktivität von Gate- und Kommutierungskreis sowie der Kapazität zwischen unterschiedlichen Potenzialen) bewertet und optimiert. Die gewonnenen Erkenntnisse wurden zur weiteren iterativen Layoutoptimierung an das FBH übergeben, die HSCs dann dort prozessiert und an der TUB getestet. Im Vergleich zu der Vorgängergeneration konnten sowohl das Layout als auch die Technologie so weiter verbessert werden, dass die Abmessung des HSC von 28,7x20 mm auf 19,5x16,3 mm reduziert werden konnte (Abbildung 3). Die parasitären Induktivitäten und Kapazitäten konnten ebenfalls verringert werden. Die Ergebnisse der Charakterisierung der Wärmeleitfähigkeit werden in Abschnitt 2.2 vorgestellt.

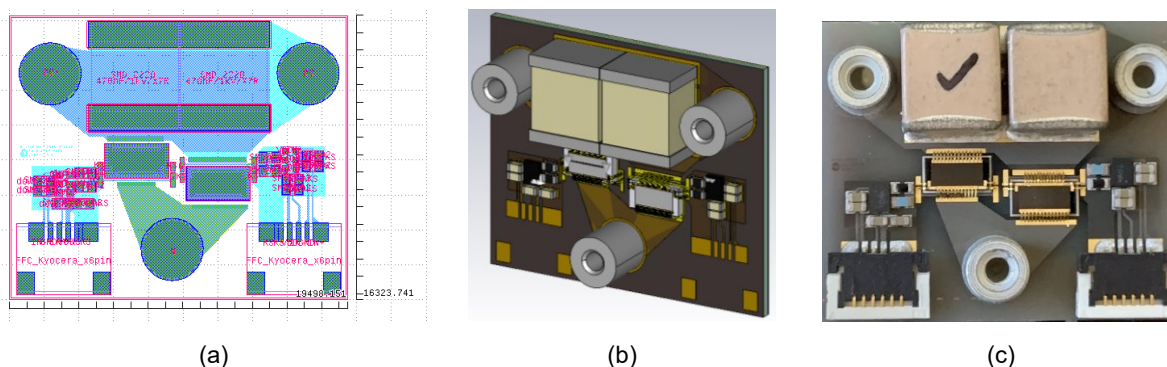


Abbildung 3: Design und Layoutoptimierung des „High-Speed-Core“: (a) Layout, (b) 3D-Modell für FEM-Simulation zur Extraktion parasitärer Parameter, (c) prozessierter „High-Speed-Core“.

## 2.2 Charakterisierung von AlN-SiC Transistoren sowie Basis-Schaltungen (AP 5.2)

Im Laufe des Projekts wurden zwei Generationen von GaN-auf-AlN/SiC Transistoren am Ferdinand-Braun-Institut (FBH) prozessiert und an der TU Berlin getestet. Diese Generationen umfassen diskrete unidirektionale Transistoren, monolithische Halbbrücken, und monolithische bidirektionale Schalter (Abbildung 4). Die diskreten und monolithisch integrierten Transistoren besitzen eine Gate-Weite von 92  $\mu\text{m}$  pro Schalter, eine Gate-Länge von 0,7  $\mu\text{m}$ , einen Source-Gate-Abstand von 1  $\mu\text{m}$  und einen Gate-Drain-Abstand von 18  $\mu\text{m}$ . Monolithische Halbbrücken, die aus zwei entsprechenden Leistungstransistoren mit jeweils einer Gate-Weite von 92  $\mu\text{m}$  bestehen (Abbildung 4b), sowie monolithische bidirektionale Schalter mit einer Gate-Weite von ebenfalls 92  $\mu\text{m}$  (Abbildung 4c), wurden am FBH auf demselben Wafer gefertigt. Bei dem bidirektionalen Schalter bezieht sich der 18  $\mu\text{m}$  Gate-Drain-Abstand auf den Abstand zwischen  $G_a$  und  $S_b$  oder  $G_b$  und  $S_a$ .

Die Transistoren wurden systematisch charakterisiert. Dazu gehören die Aufnahme der  $I$ - $V$  Kennlinien, der  $C$ - $V$  Kennlinien und des Leckstroms für die statische Charakterisierung sowie die Durchführung von Doppelpulstests zur Bewertung des Schaltverhaltens. Die Ergebnisse für die erste Transistor-Generation wurden an das FBH übergeben und dienen dort als Grundlage für die Verbesserungen des Transistor-Prozesses der zweiten Generation. In diesem Bericht werden hauptsächlich die Ergebnisse der zweiten Transistor-Generation präsentiert. (Diese Ergebnisse wurden in [6], [7] und [8] veröffentlicht.)

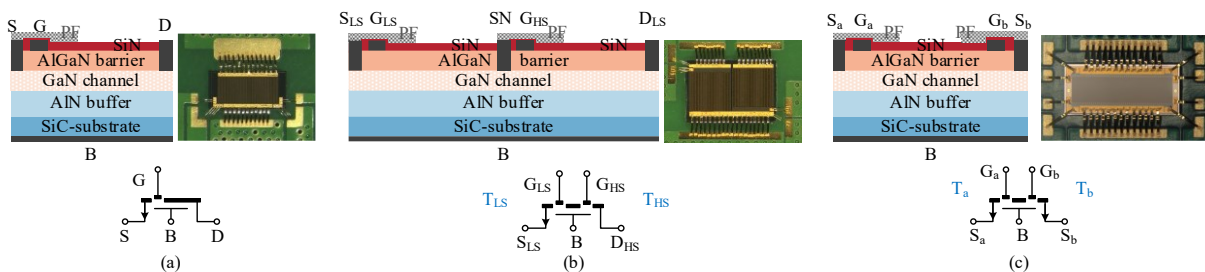


Abbildung 4: Querschnitt und montierte Leistungstransistoren auf Submount-PCBs: (a) 92  $\mu\text{m}$  diskreter Transistor, (b) 2x92  $\mu\text{m}$  monolithische Halbbrücke und (c) 92  $\mu\text{m}$  monolithischer bidirektionaler Schalter.

### Statische Charakterisierung (AP 5.2.1)

Der diskrete GaN-auf-AlN/SiC Transistor weist einen statischen Einschaltwiderstand von ca. 104  $\text{m}\Omega$  bei einer Raumtemperatur von 25°C (Abbildung 5) auf. Die gemessene Durchbruchspannung liegt bei über 800 V (Abbildung 6).

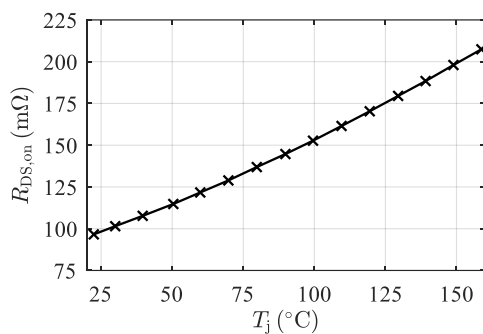


Abbildung 5: Statische Einschaltwiderstand in Abhängigkeit von der Junctiontemperatur des diskreten GaN-auf-AlN/SiC HEMT.

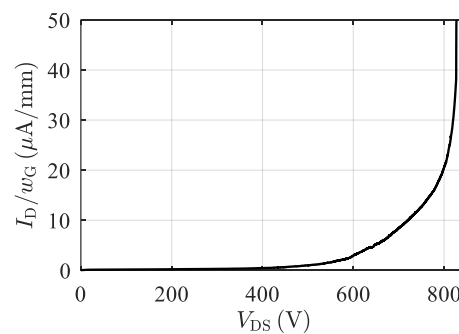


Abbildung 6: Charakterisierung der Durchbruchspannung.

Unter Einbeziehung des Bulk-Kontakts verfügt der diskrete Transistor über vier separate Anschlüsse, wodurch sechs interne Anschlusskapazitäten entstehen:  $C_{GS}$ ,  $C_{GD}$ ,  $C_{DS}$ ,  $C_{GB}$ ,  $C_{SB}$ ,  $C_{DB}$ , wie in Abbildung

7 dargestellt. Diese Kapazitäten bestimmen die Schaltgeschwindigkeit, da sie während der Schaltvorgänge aufgeladen und entladen werden müssen. Die gemessenen Kapazitäten sind in Abbildung 8 dargestellt. Die Kapazitätswerte für  $C_{GS}$ ,  $C_{GD}$ ,  $C_{DS}$  des GaN-auf-AIN/SiC Transistors liegen alle unterhalb von 100 pF, was vorteilhaft für schnelles Schalten ist. Die Werte für  $C_{GB}$ ,  $C_{SB}$ ,  $C_{DB}$  sind nochmals um mehr als den Faktor zehn geringer. Die substratbezogenen Kapazitäten der GaN-auf-AIN/SiC-Transistoren sind deutlich niedriger im Vergleich zu kommerziellen GaN-auf-Si-Transistoren, welche Kapazitätswerte im Bereich von einigen zehn Picofarad aufweisen (GS66508P) [7]. Diese deutlich niedrigeren Kapazitäten, die durch das Einfügen des AIN-Puffers und des SiC-Substrats erreicht wurden, deuten bereits auf eine wesentlich höhere Immunität gegenüber Backgating-Effekten hin.

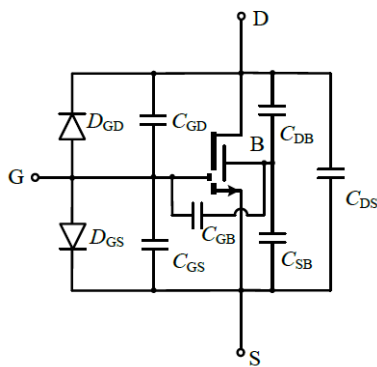


Abbildung 7: Ersatzschaltbild des Transistors mit Kapazitäten.

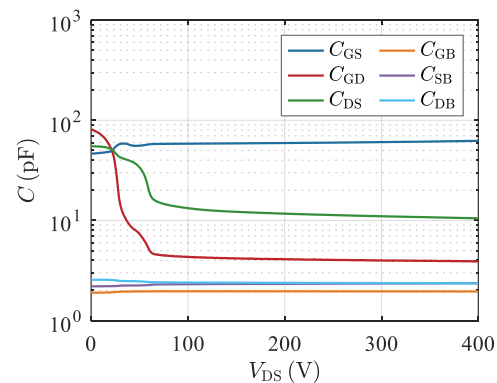
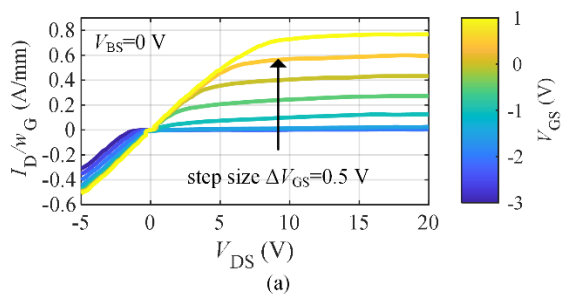


Abbildung 8: Kapazität-Spannungsprofil des GaN-auf-AIN/SiC-Transistors, gemessen bei  $V_{GS} = -5$  V.

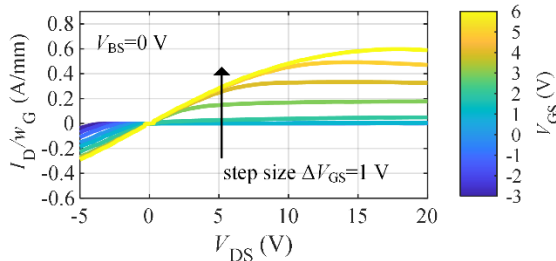
Zur Bewertung der Stromträgfähigkeit und der Backgating-Effekte wurden die  $I$ - $V$  Kennlinien des diskreten GaN-auf-AIN/SiC Transistors für verschiedene Gate-Source-Spannungen  $V_{GS}$  untersucht, wobei das Substrat mit dem Source-Kontakt verbunden war (Abbildung 9), sowie des Weiteren für verschiedene Substrat-Source-Spannungen  $V_{BS}$  bei konstanter Spannung  $V_{GS}$  (Abbildung 10). Die zum Vergleich und zur Veranschaulichung der Backgating-Effekte herangezogenen GaN-auf-Si Transistoren wurden ebenfalls am FBH prozessiert. Sie haben denselben Abstand zwischen Gate-Source und Gate-Drain. Anstelle eines AIN-Puffers auf einem SiC-Substrat wurde ein kohlenstoffdotierter GaN-Puffer auf einem leitfähigen Si-Substrat prozessiert. Diese Transistoren verfügen über ein p-GaN Gate und damit über eine normally-off Charakteristik. Sie sind bei einer Gatespannung  $V_{GS}$  von 6 V voll eingeschaltet, während die im Projekt entwickelten GaN-auf-AIN/SiC Transistoren eine normally-on Charakteristik aufweisen und mit einer Spannung von  $V_{GS} = 1$  V eingeschaltet werden. Dies ist bei dem folgenden Vergleich berücksichtigt.

Der GaN-auf-AIN/SiC Transistor zeigt einen maximalen Sättigungsstrom von ca. 0,76 A/mm (entsprechend 70 A für den 92 mm Transistor) bei  $V_{GS} = 1$  V und  $V_{BS} = 0$  V (Abbildung 9a), während der GaN-auf-Si Transistor einen Sättigungsstrom von 0,6 A/mm bei  $V_{GS} = 6$  V aufweist (Abbildung 9b). Die maximale Stromdichte des GaN-auf-Si-Transistors ist geringer aufgrund seiner auf das Normally-off-Verhalten ausgelegten Charakteristik. Insgesamt verfügen beide Transistoren über eine vergleichbar hohe Stromträgfähigkeit, wenn das Substrat mit dem Source-Kontakt verbunden ist. Sie zeigen jedoch ein unterschiedliches Verhalten des Durchlasswiderstands und des Sättigungsstroms gegenüber einer negativen Substrat-Source-Spannung  $V_{BS}$ .

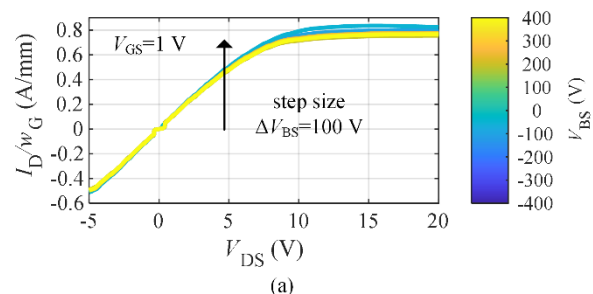
Der Sättigungsstrom des GaN-auf-Si Transistors verschlechtert sich signifikant bei einer zunehmend negativeren Spannung  $V_{BS}$  (Abbildung 10b), was auf die kapazitive Kopplung des leitfähigen Siliziumsubstrats zum 2DEG-Kanal über die GaN-Puffer zurückzuführen ist. Die Elektronendichte im 2DEG verringert sich mit zunehmend negativer Spannung  $V_{BS}$ . Im Gegensatz dazu ist der Einfluss von  $V_{BS}$  auf den Drainstrom des GaN-auf-AIN/SiC Transistors vernachlässigbar, wie in Abbildung 10a dargestellt. Die Ausgangskennlinien bleiben nahezu identisch, wenn  $V_{BS}$  von  $-400$  V auf  $+400$  V variiert wird. Das elektrisch halbisolierende SiC-Substrat mit einer Dicke von  $340 \mu\text{m}$  reduziert die Kapazität zwischen der Substratrückseite und dem Transistorkanal erheblich. Folglich zeigen GaN-auf-AIN/SiC Transistoren eine bessere Immunität gegenüber Backgating-Effekten.



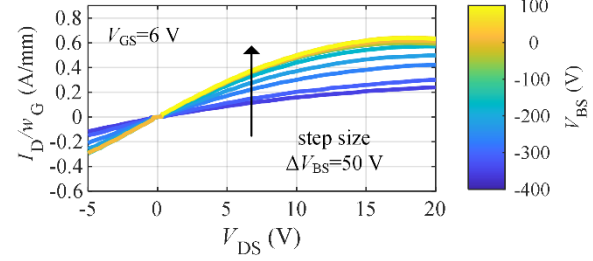
(a)



(b)



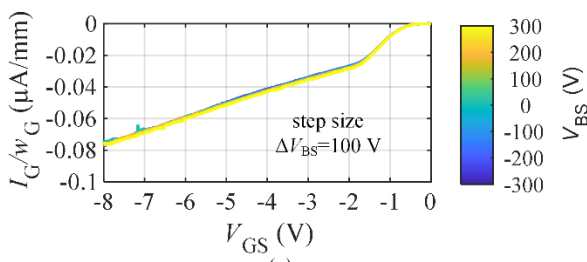
(a)



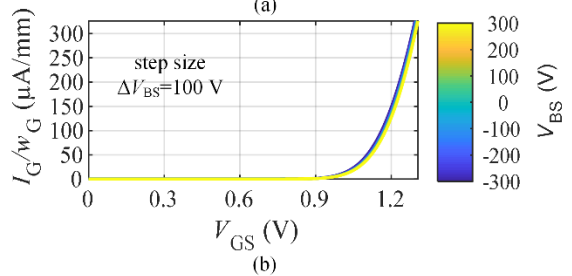
(b)

Abbildung 9: Ausgangskennlinie, normiert auf die Gate-Weite der Transistoren: (a) GaN-auf-AlN/SiC HEMT und (b) GaN-auf-Si HEMT; das Substrat (B) ist verbunden mit Source bei verschiedenen Gate-Source-Spannungen.

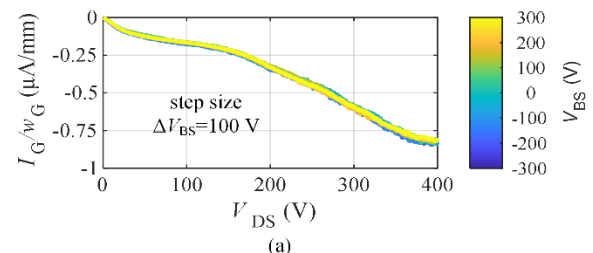
Abbildung 10: Ausgangskennlinie, normiert auf die Gate-Weite der Transistoren: (a) GaN-auf-AlN/SiC HEMT und (b) GaN-auf-Si HEMT bei einer festen Gate-Source-Spannung bei verschiedenen Substrat-Source-Spannungen.



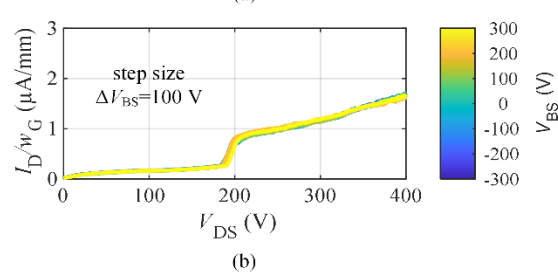
(a)



(b)



(a)



(b)

Abbildung 11: (a) Gate-Leckstrom in Rückwärtsrichtung und (b) Gate-Leckstrom in Vorwärtsrichtung, normiert auf die Gate-Weite, gemessen bei variierendem Substratpotenzial.

Abbildung 12: Abhängigkeit von (a) dem Gate-Leckstrom und (b) dem Drain-Leckstrom von der Drain-Source-Spannung  $V_{DS}$ , normiert auf die Gate-Weite, mit Parameter  $V_{BS}$  bei  $V_{GS} = -5$  V.

Der Gate-Leckstrom des GaN-auf-AlN/SiC HEMT wurde sowohl für negative als auch positive Gate-Source-Spannungen  $V_{GS}$  gemessen (siehe Abbildung 11). Der Leckstrom bleibt bei kleinen negativen  $V_{GS}$  niedrig und zeigt dann bei abnehmendem  $V_{GS}$  einen deutlichen Anstieg, beginnend bei etwa  $V_{GS} \approx -1$  V. Bei positiver Spannung  $V_{GS}$  ist die Schottky Gate-Diode, die an der Ir-Metall/AlGaN-Schnittstelle gebildet wird, in Durchlassrichtung gepolt. Daher fließt ein Strom im Milliampere-Bereich durch das Gate, wenn  $V_{GS}$  die Schließenspannung der Gate-Diode von etwa 0,9 V überschreitet. Da der Einfluss

des Substratpotenzials  $V_{BS}$  im Bereich von  $-300\text{ V}$  bis  $300\text{ V}$  auf die  $I_G$ - $V_{GS}$  Kennlinie vernachlässigbar ist, wird keine Verschlechterung der Schottky-Verbindung und des Gate-Leckstroms durch Variationen von  $V_{BS}$  erwartet (siehe Abbildung 11).

Die Leckströme sind ebenfalls von der Drain-Source-Spannung  $V_{DS}$  abhängig. In Abbildung 12 ist zu sehen, dass sowohl der Gate-Leckstrom als auch der Drain-Leckstrom mit zunehmendem  $V_{DS}$  ansteigen, während der Einfluss von  $V_{BS}$  vernachlässigbar ist. Dies bestätigt weiterhin die Immunität der Leckströme der GaN-auf-AIN/SiC Transistoren gegenüber dem Substratpotenzial.

Die  $I$ - $V$  Ausgangskennlinie des monolithischen bidirektionalen Schalters wurde ebenfalls bei Variation der Gate-Source-Spannung im I. und III. Quadranten (Vorwärts- und Rückwärtsrichtung) vermessen. Abbildung 13 zeigt die  $I$ - $V$  Kurven, wenn beide Gatespannungen gleichzeitig mit der gleichen Spannung variiert werden, d.h.,  $V_{GaSa} = V_{GbSb}$ . Der Sättigungsstrom variiert in beiden Quadranten mit der Gate-Source-Spannung, was auf eine gute Steuerbarkeit des Drainstroms durch das Gate unabhängig von der Richtung hinweist. Es ist zu beobachten, dass die Stromkurven im ersten und dritten Quadranten eine gute Symmetrie aufweisen und ein Sättigungsstrom von etwa  $65\text{ A}$  bei  $V_{GaSa} = V_{GbSb} = 1\text{ V}$  erreicht wird. Abbildung 13 zeigt, dass der demonstrierte GaN-auf-AIN/SiC Schalter eine gute Immunität gegen „Current Collapse“ aufgrund von Backgating-Effekten aufweist: Der Sättigungsstrom bleibt bei unterschiedlichen Substratspannungen nahezu unverändert.

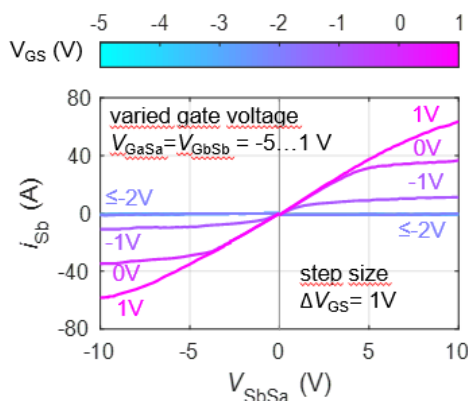


Abbildung 13: Ausgangskennlinien des monolithischen bidirektionalen GaN-auf-AIN/SiC Transistors bei unterschiedlichen Gate-Source-Spannungen ( $V_{GaSa} = V_{GbSb}$ ).

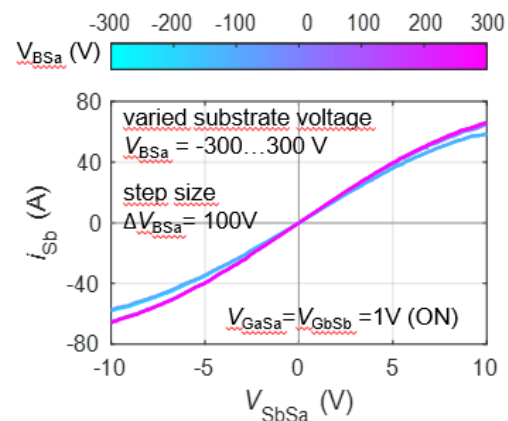


Abbildung 14: Ausgangskennlinien des monolithischen bidirektionalen GaN-auf-AIN/SiC Transistors bei unterschiedlichen Substratpotenzialen ( $V_{GaSa} = V_{GbSb} = 1\text{ V}$ ).

## Dynamische Charakterisierung (AP 5.2.2)

Um das Schaltverhalten der Transistoren zu charakterisieren, wurden Doppelpulsmessungen durchgeführt. Für diskrete Transistoren und monolithische Halbbrücken wurde eine Halbbrückenschaltung verwendet, wie in Abbildung 16 dargestellt. Um den Einfluss der Substratterminierung zu untersuchen, wurde die Halbbrücke im Doppelpulstest mit unterschiedlichen Substrate-Terminierungen vermessen. Für die diskreten Transistoren wurden die Konfigurationen 1 bis 5, die in Abbildung 15 gezeigt sind, untersucht. Das Substrat einer monolithischen Halbbrücke konnte mit den Konfigurationen 2 bis 5 terminiert werden, Konfiguration 1 ist in diesem Fall nicht realisierbar, da die beiden Transistoren ein gemeinsames Substrat teilen.

Die diskreten GaN-auf-AIN/SiC HEMTs zeigen ein stabiles und schnelles Schaltverhalten ohne starke Oszillationen, wenn das Substrat entsprechend Konfiguration 1 mit den jeweiligen Source-Anschlüssen verbunden wird, was bei der Verwendung diskreter Transistoren typisch ist (Abbildung 17). Eine Drain-Source-Spannungssteilheit  $dV_{DS}/dt$  von  $-64\text{ V/ns}$  (Einschalten) und  $72\text{ V/ns}$  (Ausschalten) bei einer DC-Zwischenkreisspannung  $V_{DC}$  von  $400\text{ V}$  und einem Laststrom  $I_L$  von  $5\text{ A}$  wurde ermittelt. Abbildung 18 zeigt, dass der Einfluss der Substratterminierung auf die Schalttransienten der vorgestellten GaN-auf-AIN/SiC HEMTs vernachlässigbar ist. In den Konfigurationen 2 bis 5 erreichen die Transistoren nahezu identische Schalttransienten wie in Konfiguration 1.

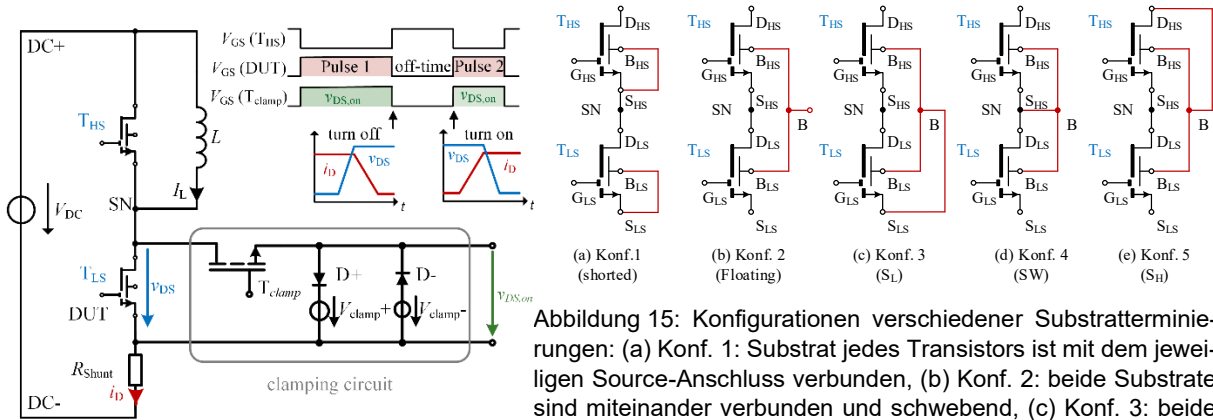


Abbildung 15: Konfigurationen verschiedener Substratterminierungen: (a) Konf. 1: Substrat jedes Transistors ist mit dem jeweiligen Source-Anschluss verbunden, (b) Konf. 2: beide Substrate sind miteinander verbunden und schwebend, (c) Konf. 3: beide Substrate sind miteinander verbunden und an die Source des Low-Side-Transistors  $S_{LS}$  angeschlossen, (d) Konf. 4: beide Substrate sind miteinander verbunden und an den Mittelpunkt SN angeschlossen, (e) Konf. 5: beide Substrate sind miteinander verbunden und an den Drain des High-Side-Transistors  $D_{HS}$  angeschlossen.

Abbildung 16: Doppelpulstest-Prüfstand für diskrete Transistoren und monolithische Halbbrücken.

Für die monolithischen Halbbrücken wurde das Schaltverhalten zunächst in der Konfiguration gemessen, in der das Substrat mit der Source des Low-Side-Transistors verbunden ist (Konfiguration 3). Die Spannungssteilheit  $dv_{DS}/dt$  beträgt  $-81 \text{ V/ns}$  (Einschalten) und  $93 \text{ V/ns}$  (Ausschalten) bei  $V_{DC}=300 \text{ V}$  und  $I_L=5 \text{ A}$ , siehe Abbildung 19. Darüber hinaus zeigen die fast identischen Schalttransienten für verschiedene Substratterminierungen der monolithischen GaN-auf-AIN/SiC Halbbrücke (Abbildung 20) dieselbe zufriedenstellende Immunität gegenüber Backgating-Effekten wie die für die diskreten Bauteile gemessene. Die Messungen sind auf  $300 \text{ V}$  begrenzt, um mögliche Bauteildefekte zu vermeiden, da die monolithische Halbbrücke ab  $250 \text{ V}$  eine starke Erhöhung des dynamischen Durchlasswiderstands zeigt, wie in der späteren Untersuchung in Abbildung 28 dargestellt.

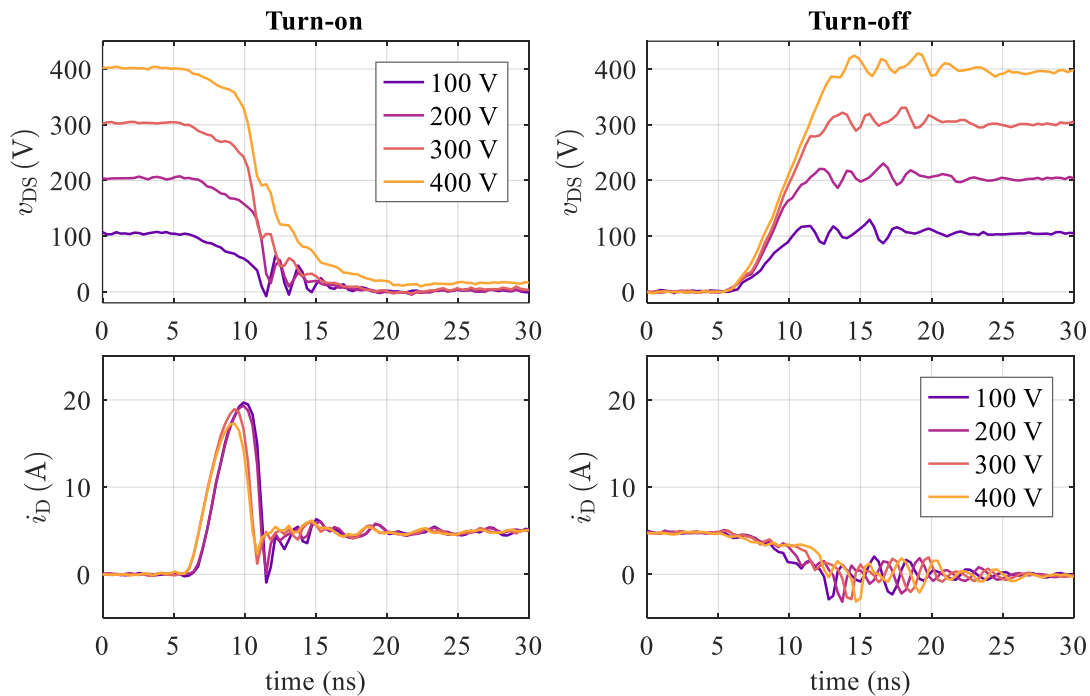


Abbildung 17: Einschalt- (links) und Ausschalttransienten (rechts) der diskreten GaN-auf-AIN/SiC Halbbrücke, bei der das Substrat mit der Source des Low-Side-Transistors verbunden ist (Konfiguration 3), bei einem Laststrom  $I_L$  von  $5 \text{ A}$  und variierender DC-Zwischenkreisspannung  $V_{DC}$  von  $100 \text{ V}$  bis  $400 \text{ V}$ .

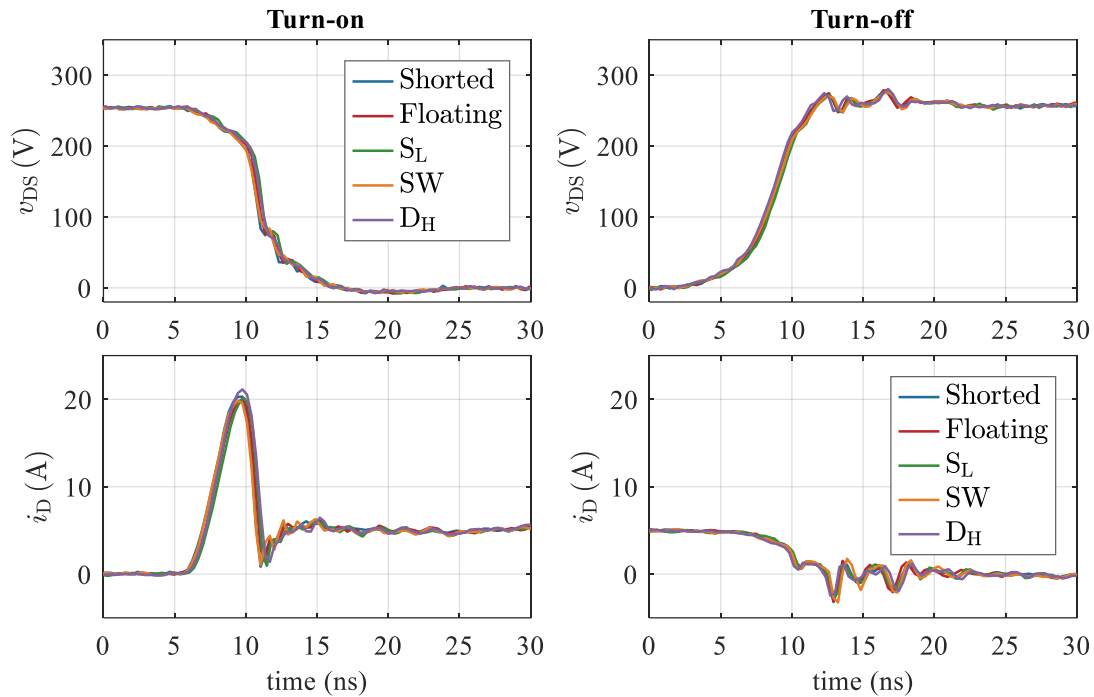


Abbildung 18: Einschalt- (links) und Ausschalttransienten (rechts) des diskreten GaN-auf-AlN/SiC Transistoren bei einem Laststrom  $I_L$  von 5 A und einer DC-Zwischenkreisspannung  $V_{dc}$  von 250 V für verschiedene Substratabschlüsse (Konf. 1 bis Konf. 5).

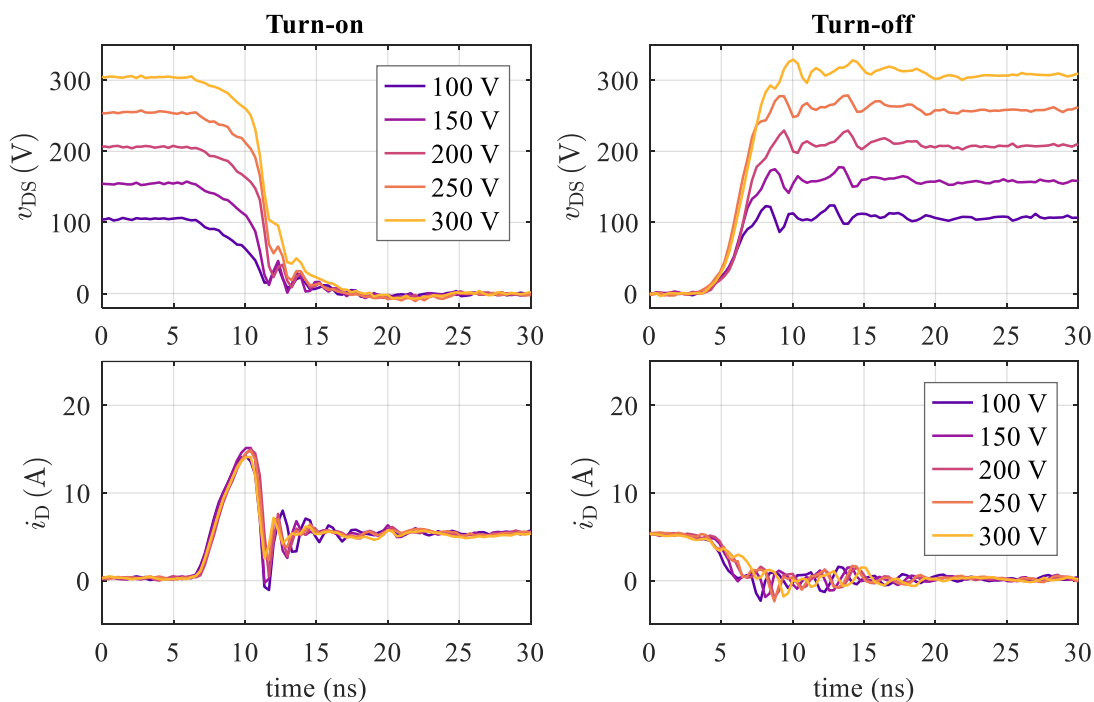


Abbildung 19: Einschalt- (links) und Ausschalttransienten (rechts) der monolithischen GaN-auf-AlN/SiC Halbbrücke, bei der das Substrat mit der Source des Low-Side-Transistors verbunden ist (Konf. 3), bei einem Laststrom  $I_L$  von 5 A und einer variierenden DC-Zwischenkreisspannung  $V_{dc}$  von 100 V bis 300 V.

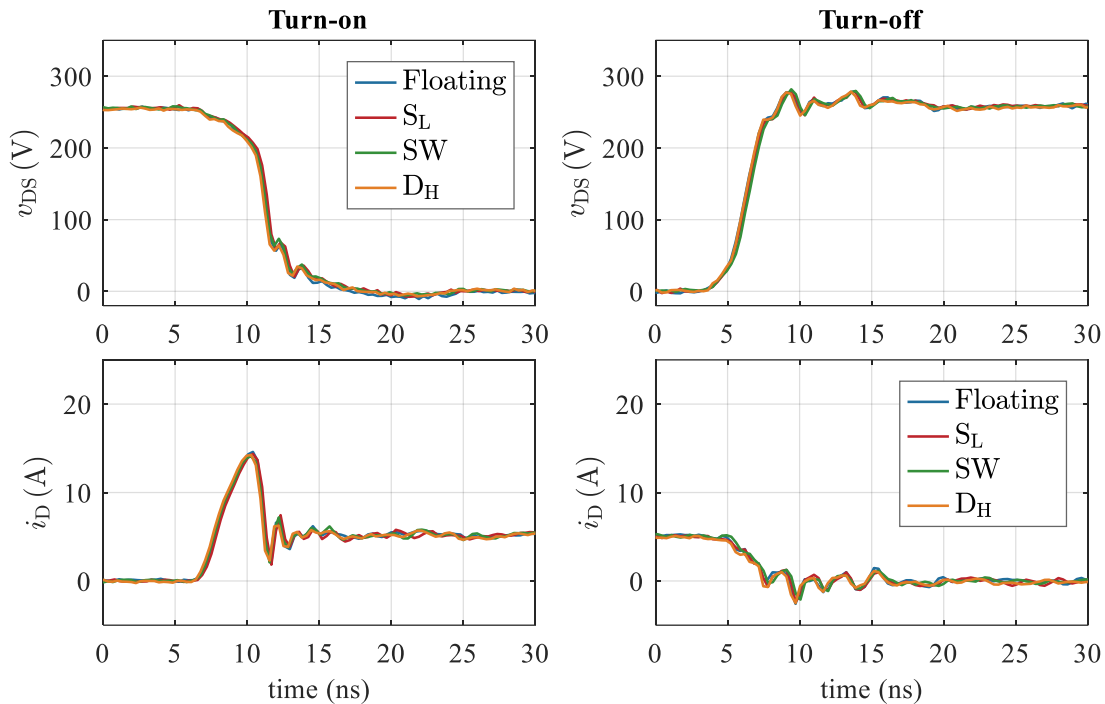


Abbildung 20: Einschalt- (links) und Ausschalttransienten (rechts) der monolithischen GaN-auf-AIN/SiC Halbbrücke bei einem Laststrom  $I_L$  von 5 A und einer DC-Zwischenkreisspannung  $V_{DC}$  von 250 V für verschiedene Substratabschlüsse.

Für den bidirektionalen Schalter wurden zur Emulation der Betriebsbedingungen in typischen Anwendungen die Doppelpulstests unter Verwendung eines T-Type Konverters (Abbildung 21) durchgeführt. In diesem Aufbau wurde der Sub-Schalter  $T_a$  als der Prüfling (DUT) ausgewählt. Die negative Versorgungsspannung wurde auf denselben Wert wie die positive Versorgungsspannung eingestellt, um reale Betriebsbedingungen eines T-Type Konverters zu simulieren, d.h.  $V_{DC+} = V_{DC-} = 1/2 \cdot V_{DC}$ . Während der Doppelpulstests wird der Transistor  $T_{HS}$  komplementär zum DUT geschaltet, während der Transistor  $T_{LS}$  im Sperrzustand bleibt. Der Substratanschluss B konnte entweder offen bleiben (Konfiguration 1), mit  $S_a$  verbunden (Konfiguration 2) oder mit  $S_b$  verbunden werden (Konfiguration 3).

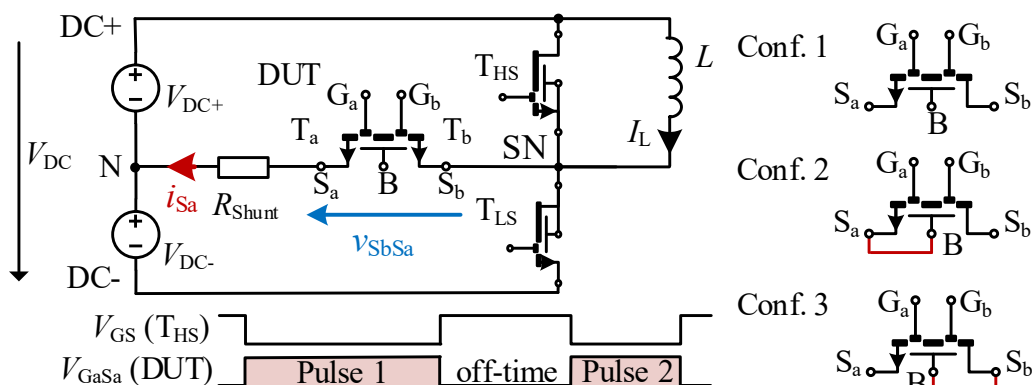


Abbildung 21: Doppelpulstest-Prüfstand für bidirektionale Schalter.

Das Schaltverhalten wurde in der Konfiguration gemessen, in der das Substrat mit  $S_a$  verbunden ist (Konfiguration 2), und zusätzlich wurden die Schaltverhalten bei unterschiedlichen Substratterminierungen (Konfigurationen 1 bis 3) verglichen. Die Messungen waren auf 300 V begrenzt, um Transistordefekte zu vermeiden. In diesem Fall zeigt der Prüfling stabile Schaltübergänge (Abbildung 22). Die Ausschaltgeschwindigkeit ist langsamer als bei den diskreten Transistoren, da die Ausgangskapazitäten von  $T_{LS}$  parallel zur Ausgangskapazität des bidirektionalen Schalters geschaltet sind und während der Schaltvorgänge zusätzlich geladen und entladen werden müssen. Eine Spannungsteilheit  $dv_{SbSa}/dt$  von  $-63 \text{ V/ns}$  während des Einschaltens und  $37 \text{ V/ns}$  während des Ausschaltens wurde bei  $V_{DC+}=V_{DC-}=300 \text{ V}$  und  $I_L=5 \text{ A}$  ermittelt. Anschließend wurde das Schaltverhalten bei  $V_{DC} = 200 \text{ V}$  und  $I_L = 5 \text{ A}$  verglichen, wobei das Substrat entweder offen gelassen oder mit  $S_a$  bzw.  $S_b$  verbunden wurde. Der Vergleich zwischen den verschiedenen Substratterminierungen wurde auf 200 V eingeschränkt, da der dynamische Durchlasswiderstand ab dieser Spannung eine signifikante Erhöhung zeigt. Die Messergebnisse in Abbildung 23 zeigen ein nahezu identisches Verhalten. Dies bestätigt nochmals die Immunität der GaN-auf-AlN/SiC-Technologie gegenüber Backgating-Effekten.

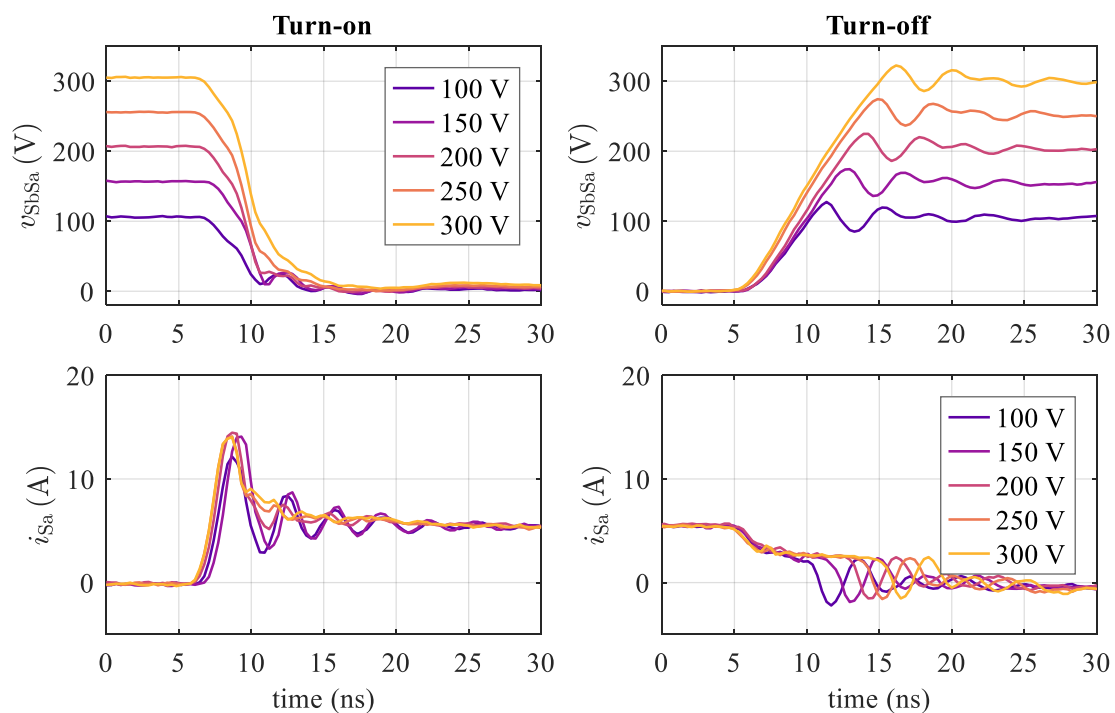


Abbildung 22: Einschalt- (links) und Ausschalttransienten (rechts) des monolithischen GaN-auf-AlN/SiC bidirektionalen Schalters für Konf. 2 (Substrat verbunden mit der Source des Transistors  $S_a$ ) bei einem Laststrom  $I_L$  von 5 A und einer variierenden DC-Zwischenkreisspannung  $V_{DC}$  von 100 V bis 300 V.

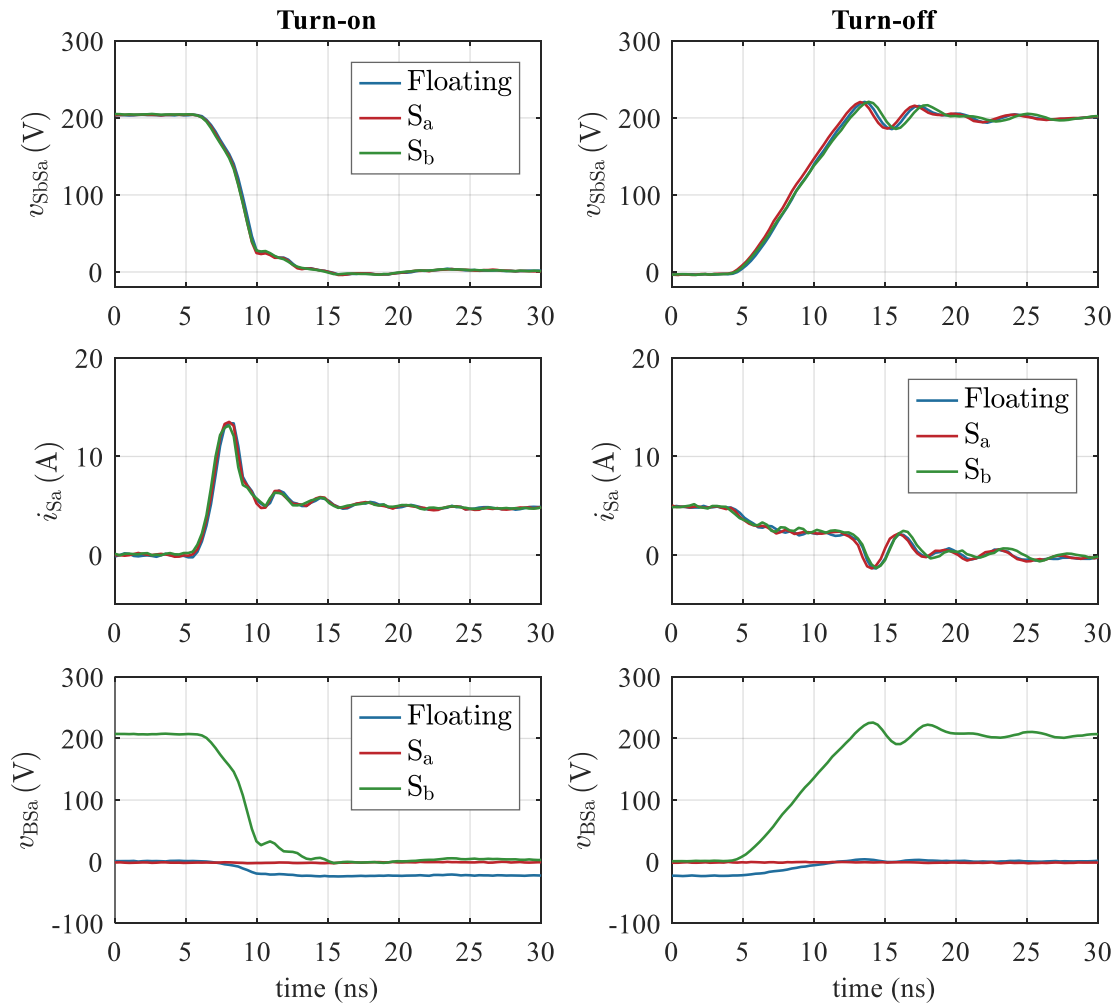


Abbildung 23: Einschalt- (links) und Ausschalttransienten (rechts) des monolithischen GaN-auf-AIN/SiC bidirektionalen Schalters bei einem Laststrom  $I_L$  von 5 A und einer DC-Zwischenkreisspannung  $V_{DC}$  von 200 V für verschiedene Substratabschlüsse (Konf. 1 bis Konf. 3).

### Dauerbetrieb und thermische Charakterisierung von Halbbrückenmodulen (AP 5.2.3)

Der kontinuierliche Betrieb im Tiefsetzsteller, der auf einer Leiterplatte (PCB) aufgebaut ist, konnte für die erste Generation von GaN-auf-AIN/SiC Transistoren für Eingangsspannungen zwischen 50 V und 300 V sowie Schaltfrequenzen von 50 kHz bis zu 500 kHz demonstriert werden. Dabei wurden Ausgangsleistungen bis 400 W erreicht, die entsprechenden Ergebnisse sind in Abbildung 24 dargestellt. Der Demonstrator wird für eine Messreihe 30 min betrieben, wobei alle drei Minuten ein Messpunkt aufgenommen wird. In diesem Zeitintervall konnte keine Degradierung der Bauteile festgestellt werden.

Eine neue Generation des „High-Speed-Cores“ (HSC) wurde prozessiert und die Wärmeleitfähigkeit wurde charakterisiert. Der Wärmewiderstand wurde unter Gleichstrom gemessen, der kontinuierlich durch die Transistoren floss, und die Temperatur wurde mit der Thermokamera beobachtet (siehe Abbildung 25). Verglichen mit der Vorgängergeneration, die einen Wärmewiderstand von 4,9 K/W [9] aufwies, erreichte die neue Generation einen Wärmewiderstand von 1,42 K/W. Aufgrund technischer Probleme (zum Zeitpunkt der HSC Prozessierung war nur ein einfacher Treiber vorgesehen) wurde ein Dauerbetrieb für die Halbbrücke auf dem HSC nicht durchgeführt. Allerdings zeigt die gute Wärmeleitfähigkeit des HSC das Potenzial für eine höhere Converterleistung und Effizienz.

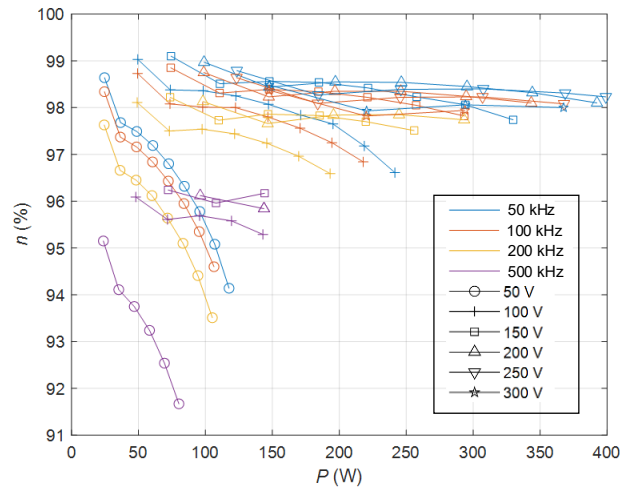


Abbildung 24: Wirkungsgrad des Tiefsetzstellers als Funktion der Ausgangsleistung bei Variation der Eingangsspannung zwischen 50 V und 300 V sowie der Schaltfrequenz zwischen 50 kHz und 500 kHz

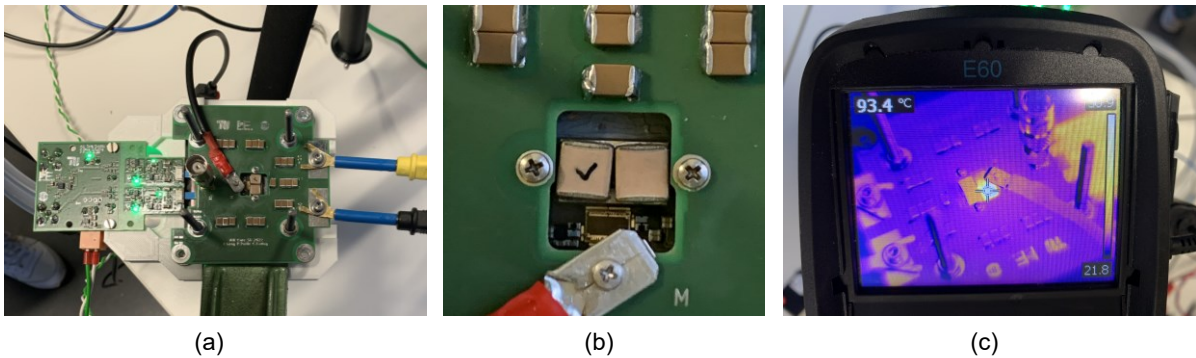


Abbildung 25: Thermische Charakterisierung des „High-Speed-Core“.

## 2.3 Technologievergleich und Bewertung der Halbbrückenmodule (AP 5.3)

### Auswertung von monolithischen Halbbrückenmodulen und Vergleich mit diskreten Halbbrückenmodulen (AP 5.3.1)

Das Schaltverhalten der monolithischen Halbbrücke wurde mit dem Schaltverhalten einer Halbbrücke aus zwei diskreten 92-mm-GaN-auf-AIN/SiC Transistoren im Doppelpulstest verglichen, um den Vorteil der monolithischen Integration zu untersuchen. Die monolithische Halbbrücke weist im Vergleich eine deutlich höhere Ausschaltgeschwindigkeit und einen nennenswert niedrigeren Überstrom beim Einschalten auf (Abbildung 26). Die Spannungssteilheit  $dv_{DS}/dt$  beträgt bei der monolithischen Halbbrücke  $-81 \text{ V/ns}$  (Einschalten) und  $93 \text{ V/ns}$  (Ausschalten), im Vergleich zu  $-63 \text{ V/ns}$  (Einschalten) und  $37 \text{ V/ns}$  (Ausschalten), die mit der diskret aufgebauten Halbbrücke erreicht wurden. Der Überstrom konnte dabei von 20 A auf 14 A reduziert werden. Das verbesserte Schaltverhalten ergibt sich aus der mittels der Integration möglichen geringeren parasitären Induktivität und Kapazität des Kommutierungskreises.

Eine weitere bekannte Herausforderung bei GaN-Transistoren ist der dynamische Durchlasswiderstand  $R_{DS,on}$ . "Trapping-Effekte" führen zu einem Anstieg des  $R_{DS,on}$  nach dem Einschalten bei vorheriger Belastung durch eine Spannung und beeinträchtigen die Effizienz des Umrichters sowie die Anwendungsmöglichkeiten von GaN-Transistoren. Der dynamische  $R_{DS,on}$  wurde daher genauer untersucht.

Die Messungen wurden mit einer Halbbrückenschaltung in Doppelpulstests durchgeführt, wobei der dynamische  $R_{DS,on}$  während des zweiten Pulses mit einer Pulsdauer von  $2 \mu\text{s}$  nach einem Ausschaltzustand von  $1 \mu\text{s}$  gemessen wurde. Für die dafür notwendige Messung der geringen Durchlassspannung

während der Leitphase wurde die in Abbildung 16 dargestellte Clamping-Schaltung eingesetzt. Abbildung 27 und Abbildung 28 zeigen die transienten Verläufe des  $R_{DS,on}$  der diskreten GaN-auf-AIN/SiC Transistoren bzw. der monolithischen GaN-auf-AIN/SiC Halbbrücken. Es wurde ein minimaler Anstieg des  $R_{DS,on}$  erwartet, da die bei GaN-auf-Si Transistoren notwendige Pufferkompensationsdotierung bei den untersuchten GaN-auf-AIN/SiC Transistoren weggelassen wurde. Allerdings wird der dynamische  $R_{DS,on}$  vom Spannungsstress beeinflusst, wie in Abbildung 27 und Abbildung 28 gezeigt. Bei diskreten Transistoren ist bei niedrigen (<250 V) Spannungen noch kein signifikanter Anstieg des dynamischen  $R_{DS,on}$  zu beobachten. Bei Spannungen über 250 V steigt er dann aber deutlich an (siehe Abbildung 27). Dieser Anstieg ist bei monolithischen Halbbrücken stärker ausgeprägt, hier tritt ein deutlicher Anstieg bereits bei einer Sperrspannung von 200 V auf (siehe Abbildung 28). Die Ursache wird auf die schlechte Materialqualität an der Grenzfläche zwischen der AIN-Pufferschicht und der GaN-Kanalschicht zurückgeführt. Hier ist eine weitere Verbesserung der Materialqualität des Bauelements erforderlich.

Der Einfluss des Substratpotenzials auf den dynamischen  $R_{DS,on}$  wurde ebenfalls untersucht. Abbildung 29 und Abbildung 30 zeigen für die unterschiedlichen Substratabschlüsse (Konfigurationen 1-5 bzw. 2-5) die Zeitverläufe des jeweiligen dynamischen  $R_{DS,on}$  bei einer Sperrspannung von 200 V und einem Laststrom von 5 A. Die Ergebnisse zeigen, dass der dynamische  $R_{DS,on}$  zwar von der Sperrspannung beeinflusst wird, die Substratterminierung jedoch keinen offensichtlichen Einfluss darauf hat.

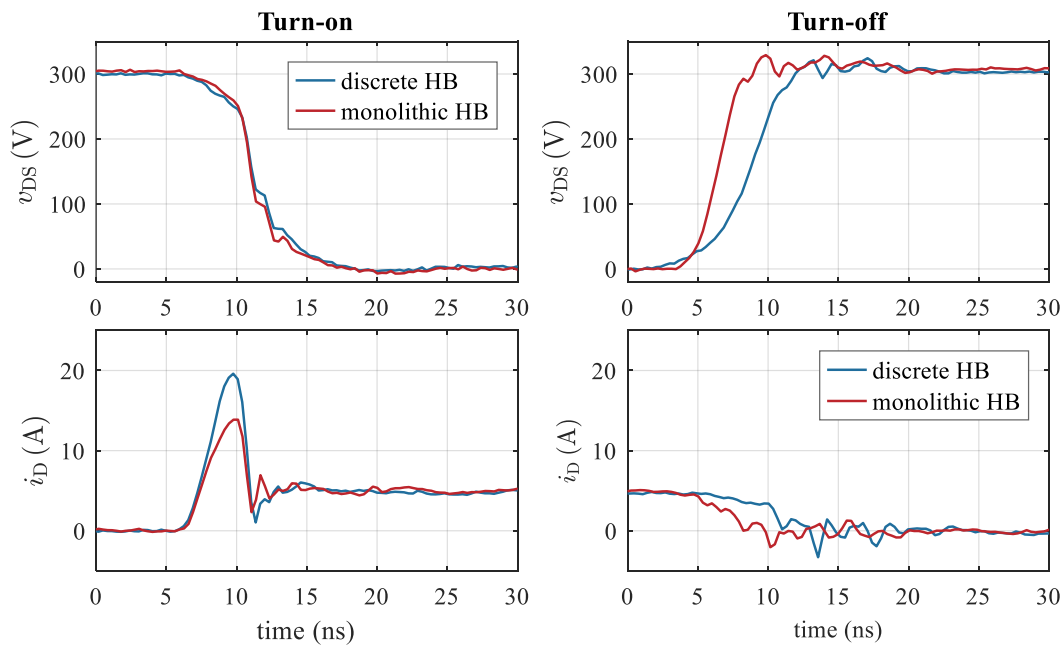


Abbildung 26: Vergleich der Einschalt- (links) und Ausschalttransienten (rechts) des Low-Side-Transistors in der diskreten Halbbrücke und der monolithischen Halbbrücke bei einem Laststrom  $I_L$  von 5 A und einer DC-Zwischenkreisspannung  $V_{DC}$  von 300 V.

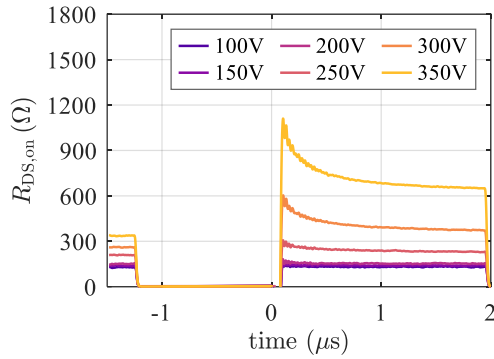


Abbildung 27: Zeitverlauf des dynamischen  $R_{DS,on}$  im Doppelpulstest von GaN-auf-AIN/SiC Transistoren mit unterschiedlichen DC-Zwischenkreisspannungen.

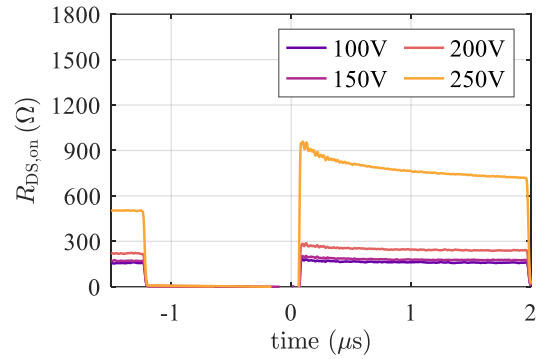


Abbildung 28: Zeitverlauf des dynamischen  $R_{DS,on}$  im Doppelpulstest von monolithischen GaN-auf-AIN/SiC Halbbrücken mit unterschiedlichen DC-Zwischenkreisspannungen.

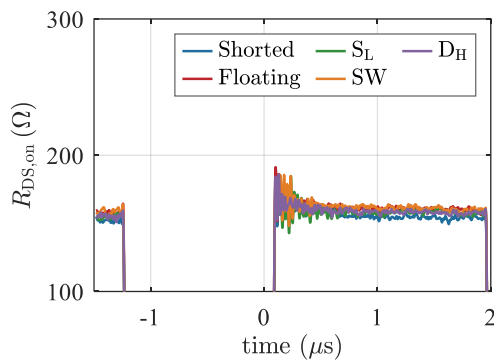


Abbildung 29: Dynamischer  $R_{DS,on}$  im Doppelpuls-Test von GaN-auf-AIN/SiC Transistoren mit unterschiedlicher Substratterminierung.

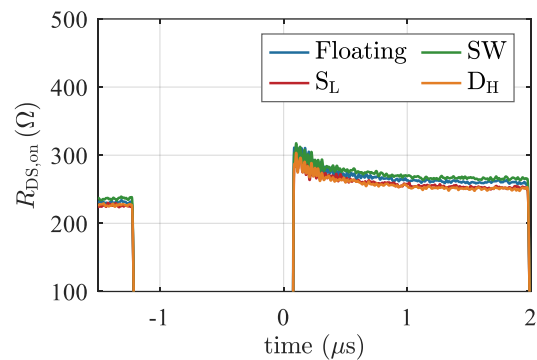


Abbildung 30: Dynamischer  $R_{DS,on}$  im Doppelpuls-Test von monolithischen GaN-auf-AIN/SiC Halbbrücken mit unterschiedlicher Substratterminierung.

### Modellierung der GaN-auf-AIN/SiC Transistoren (AP 5.3.2)

Für einen optimierten, simulationsgestützten Entwurf des Wechselrichters wurde ein Spice-kompatibles Transistormodell des zu untersuchenden GaN-auf-AIN/SiC Transistors erstellt (Abbildung 31). Das Modell basiert auf den experimentellen Ergebnissen der statischen Charakterisierung der Transistoren. Es wurde ausgehend von existierenden Modellen kommerzieller GaN-auf-Si Transistoren [10] für GaN-auf-AIN/SiC Transistoren modifiziert und weiterentwickelt. Der Einfluss der Temperatur wird in dem Modell berücksichtigt, jedoch sind die Trapping-Effekte bzw. das dynamische  $R_{DS,on}$  Verhalten noch nicht enthalten und müssen weiter untersucht werden. (Ergebnisse wurden in [11] veröffentlicht.)

Im Folgenden werden  $T_j$ ,  $T_c$ , und  $T_0$  als die Sperrschichttemperatur des Transistors, die Gehäusetemperatur des Transistors und die Referenztemperatur (273 K) bezeichnet.

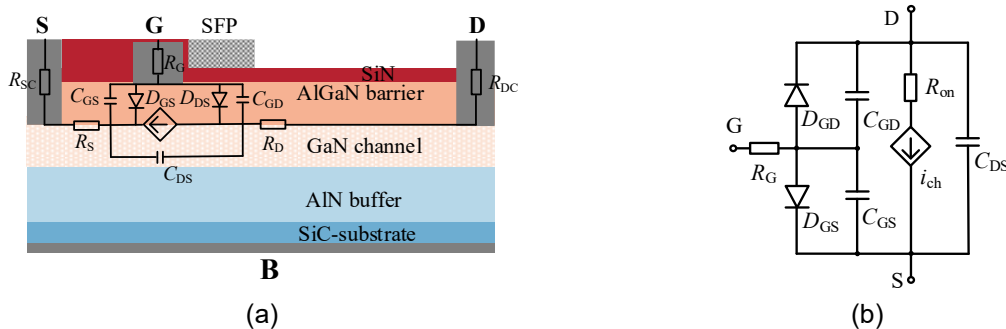


Abbildung 31: (a) Schematischer Querschnitt eines GaN-auf-AIN/SiC Transistors mit intrinsischen Bauelementen und source-verbundener Feldplatte (SFP). (b) Das Ersatzschaltbild des GaN-auf-AIN/SiC Transistormodells.

Zwei Schottky-Dioden,  $D_{GS}$  und  $D_{GD}$ , werden intrinsisch an dem Metall/AlGaIn-Interface gebildet, wie in Abbildung 31 dargestellt. Die Diode  $D_{GS}$  befindet sich bei einer positiven Gate-Source-Spannung  $V_{GS}$  in Durchlassrichtung und leitet Strom, sobald  $V_{GS}$  die Schleusenspannung überschreitet. Folglich ist das Gate nicht isoliert und benötigt einen kontinuierlichen Strom, um den Leitzustand zu halten, ähnlich wie bei Gate-Injection-Transistoren (GITs). Die Gate-Diode kann zufriedenstellend mit einer Shockley-Dioden-Gleichung kombiniert mit einem in Serie geschalteten Widerstand  $R_S$  modelliert werden (siehe Abbildung 32a). Die Eigenschaft der Diode ist temperaturabhängig, was zu einer Verschiebung der Gate-Source-Spannung  $V_{GS}$  bei Temperaturänderungen führt (Abbildung 32b). Die Kurven decken sich, wenn sie um den Spannungsoffset verschoben werden (Abbildung 32c), was darauf hindeutet, dass die Auswirkungen der Temperatur auf die Gate-Diode durch einen Spannungsoffset gemäß der folgenden Formel modelliert werden können:

$$V_{GS} = R_S \cdot I_G + N \cdot V_T \cdot \ln\left(\frac{I_G}{I_S}\right) - k_{TD} \cdot (T - T_0). \quad (1)$$

Hierbei ist  $I_G$  der Gate-Diodenstrom,  $I_S$  der Sättigungsstrom im Sperrzustand,  $N$  der Emissionskoeffizient, und  $V_T$  die thermische Spannung. Der Koeffizient  $k_{TD}$  beschreibt die Temperaturabhängigkeit.

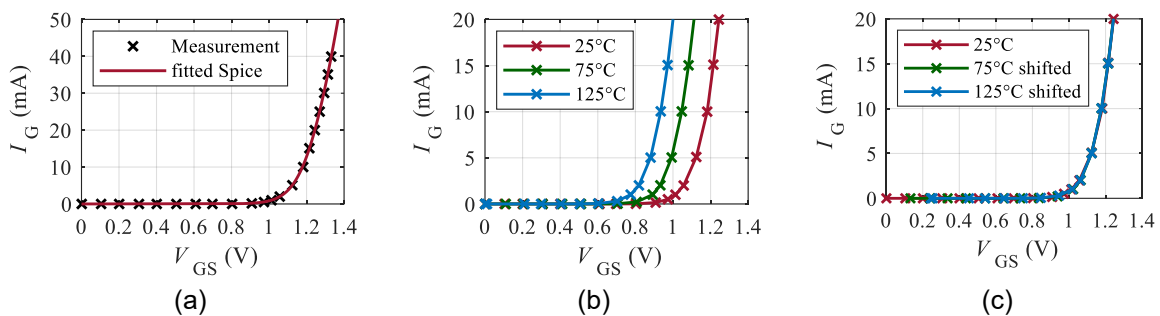


Abbildung 32: Charakterisierung und Modellierung der temperaturabhängigen Gate-Diode des GaN-auf-AlN/SiC Transistors: (a) Vergleich zwischen Modell und Messergebnissen bei Raumtemperatur 25°C, (b) Temperaturabhängigkeit der Dioden-Charakteristik, (c) um den Spannungsoffset verschobene Dioden-Charakteristik.

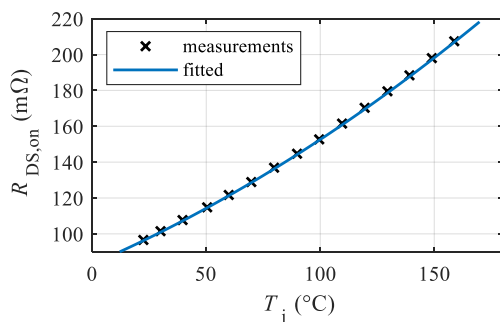


Abbildung 33: Modellierung des temperaturabhängigen statischen  $R_{DS,on}$  des GaN-auf-AlN/SiC Transistors.

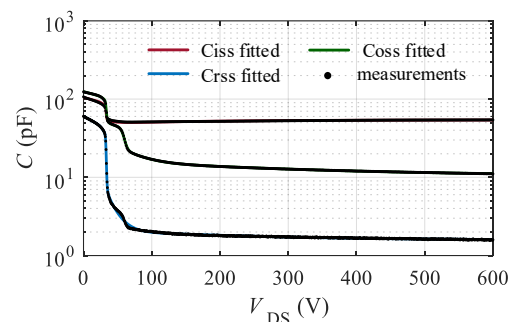


Abbildung 34: Modellierung der spannungsabhängigen Kapazitäten des GaN-auf-AlN/SiC Transistors.

Der Kanalwiderstand wird durch den statischen Durchlasswiderstand  $R_{DS,on}$  modelliert. Der  $R_{DS,on}$  setzt sich zusammen aus den Kanalwiderständen  $R_S$  und  $R_D$ , dem Source-Kontaktwiderstand  $R_{SC}$  sowie dem Drain-Kontaktwiderstand  $R_{DC}$ . Der  $R_{DS,on}$  steigt mit zunehmender Temperatur aufgrund der verringerten Elektronenbeweglichkeit und kann durch die folgende polynomiale Funktion modelliert werden (Abbildung 33):

$$R_{DS,on}(T_j) = a \cdot T_j^2 + b \cdot T_j + c, \quad (2)$$

hierbei sind  $a$ ,  $b$  und  $c$  Anpassungsparameter.

Die Nichtlinearität der Kapazitäten  $C_{GD}$  und  $C_{DS}$  in Abhängigkeit von der Drain-Source-Spannung  $V_{DS}$  kann mit einer Formel für die in  $C$  gespeicherte Ladung in Spice modelliert werden. Hier wird die vom

Hersteller GaN Systems vorgeschlagene Formel gewählt (Gl. (3)) [10], die eine zufriedenstellende Genauigkeit erreicht (Abbildung 34):

$$Q = a_0 + \sum_{k=1}^n a_k \cdot \ln(1 + e^{b_k(-V+c_k)}) \quad (3)$$

Die  $I$ - $V$  Ausgangskennlinien im ersten ( $I_D = f(V_{DS}, V_{GS})$ ) und dritten ( $I_D = -f(V_{DS}, V_{GS})$ ) Quadranten können unter Berücksichtigung der Verschiebung der Schwellspannung bei unterschiedlichen Temperaturen gut mit den von uns vorgeschlagenen Gleichungen (4) und (6) modelliert werden, wie Abbildung 35 und Abbildung 36 dargestellt.

$$I_D = (a + k_{T1} \cdot (T_j - T_0)) \cdot \ln(1 + e^{b \cdot (V_{GS} - c)}) \cdot \tanh(d \cdot V_{DS}). \quad (4)$$

Wobei  $c$  eine von  $V_{DS}$  und  $V_{GS}$  abhängige Variable ist und folgendermaßen ausgedrückt wird:

$$c = c_0 + \left( 1 - \frac{V_{DS}}{\sqrt{k_{th} + V_{DS}^2}} \right) \cdot (m \cdot V_{GS} + n), \quad (5)$$

Die Konstanten  $c_0$ ,  $k_{th}$ ,  $m$ , und  $n$  sind Fitting-Parameter.

$$I_D = -\max(0, (a + k_{T3} \cdot (T - 25)) \cdot \tanh(b \cdot (V_{SD} + \min(0, (m \cdot V_{GS} + n))))). \quad (6)$$

Die Konstanten  $a$ ,  $b$ ,  $m$ ,  $n$ ,  $m$  und  $k_{T3}$  sind Fitting-Parameter und unterscheiden sich von Gl. (4) und (5).

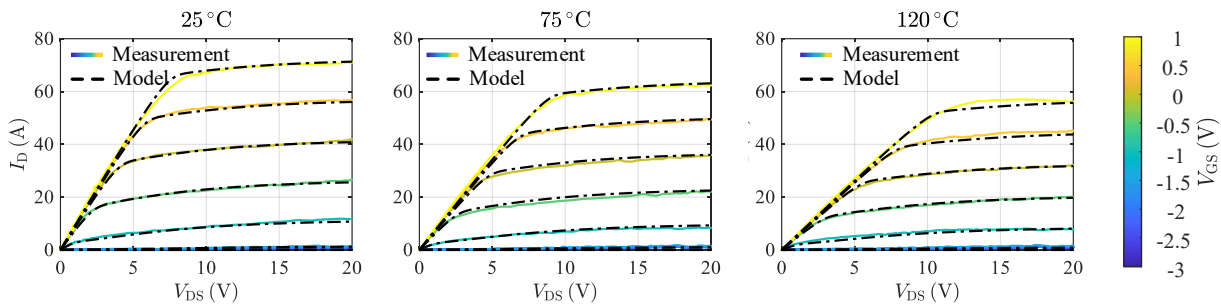


Abbildung 35: Messergebnisse (durchgezogene Linien) und vorgeschlagenes Modell (gestrichelte Linien) der  $I$ - $V$ -Charakteristik im ersten Quadranten bei 25 °C, 75 °C und 120 °C.

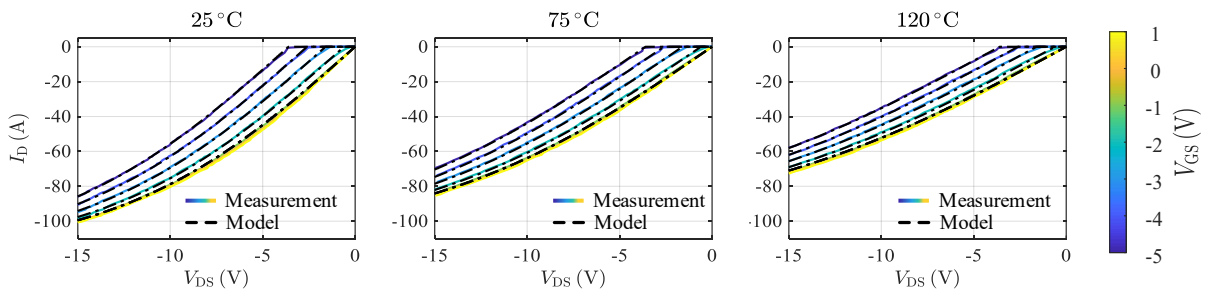


Abbildung 36: Messergebnisse (durchgezogene Linien) und vorgeschlagenes Modell (gestrichelte Linien) der  $I$ - $V$ -Charakteristik im dritten Quadranten bei 25 °C, 75 °C und 120 °C.

Um das GaN-auf-AIN/SiC Transistormodell zu verifizieren, wird eine Halbbrückenschaltung in *LTspice* simuliert und mit Messergebnissen verglichen (Abbildung 37). Die parasitären Komponenten in der Schaltung werden mit Hilfe des 3D-FEM Simulationstool *CST Studio Suite* extrahiert (Tabelle 1: Verwendete Parameter in der Simulation). Abbildung 38 zeigt den Vergleich der dynamischen Eigenschaften zwischen simulierten und experimentellen Ergebnissen, die eine gute Übereinstimmung aufweisen. Unterschiede in den hochfrequenten Oszillationen sind auf die magnetischen und elektrischen Kopplungen in dem realen Prüfstand zurückzuführen, z. B. aufgrund des Spannungstastkopfs und der BNC-Kabel.

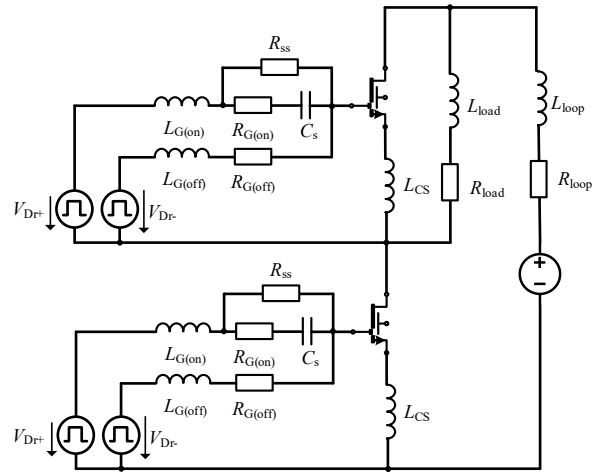


Abbildung 37: In der Simulation verwendetes Ersatzschaltbild

Tabelle 1: Verwendete Parameter in der Simulation

Parameter	Einheit	Werte	Beschreibung
$V_{Dr+}$	V	+5	Einschalt-Treiberspannung
$V_{Dr-}$	V	-5	Ausschalt-Treiberspannung
$R_{G(on)}$	$\Omega$	5.6	Einschalt-Gate-Widerstand
$R_{G(off)}$	$\Omega$	3.3	Ausschalt-Gate-Widerstand
$R_{SS}$	$\Omega$	820	Strombegrenzender Gate-Widerstand
$C_s$	pF	390	Speed-up Kondensator
$L_{G(on)}$	nH	3.5	Einschalt-Gatekreis-Induktivität
$L_{G(off)}$	nH	3	Ausschalt-Gatekreis-Induktivität
$L_{CS}$	nH	0.04	Common-Source-Induktivität
$L_{loop}$	nH	2.4	Kommutierungskreis-Induktivität

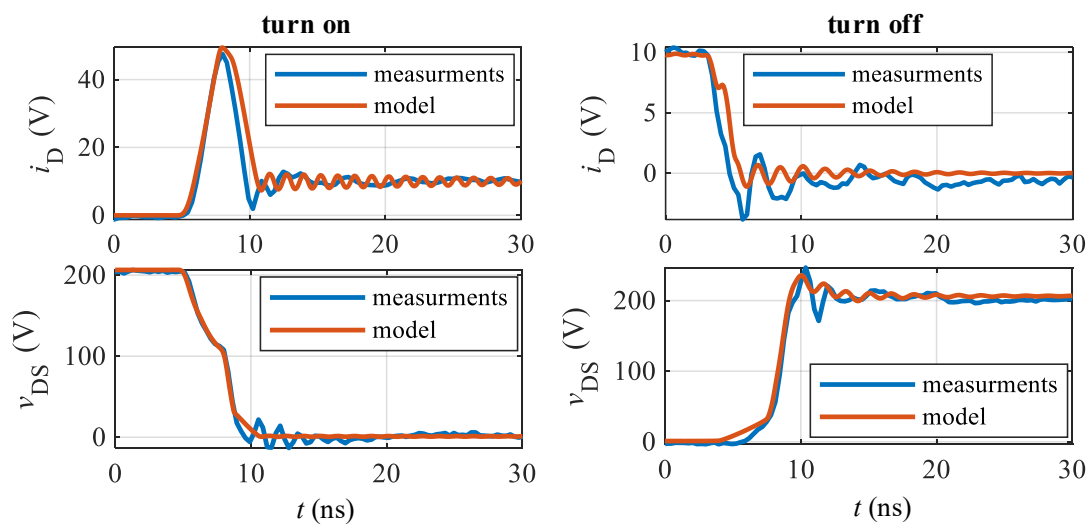


Abbildung 38: Verifizierung des dynamischen Verhaltens des Modells mit Messergebnissen bei einer Zwischenkreisspannung von 200 V und einem Laststrom von 10 A.

## 2.4 Schaltungsdemonstrator (AP 5.4)

Ein T-Type Wechselrichter wurde als Demonstrator aufgebaut, um das Potenzial des vorgeschlagenen monolithisch bidirektionalen Transistors für hochfrequent taktende Schaltungen zu zeigen, die die Reduktion passiver Filter erlauben und so perspektivisch beispielsweise sehr kompakte und effiziente PV-Wechselrichter ermöglichen. Das Ersatzschaltbild des entwickelten T-Type Konverters mit einem LCL Filter und einer ohmschen Last ist in Abbildung 39, und die entworfene Leiterplatte (PCB) ist in Abbildung 40 dargestellt. Das LCL Filter ist für 3-Level Konverter ausgelegt, die mit einer DC-Zwischenkreis-Spannung von 400 V und einer Schaltfrequenz von 200 kHz arbeiten. Damit sind Wechselrichteranwendungen beispielsweise am einphasigen 110V / 60Hz Netz möglich, für den Betrieb am 230V Netz müssten andere Schaltungstopologien zur höheren Ausnutzung der DC Spannung gewählt werden. In der positiven Halbschwingung der 60 Hz Sinus-Ausgangsspannung wird der monolithisch bidirektionale Schalter komplementär zu  $T_{HS}$  geschaltet, in der negativen Halbschwingung komplementär zu  $T_{LS}$ .

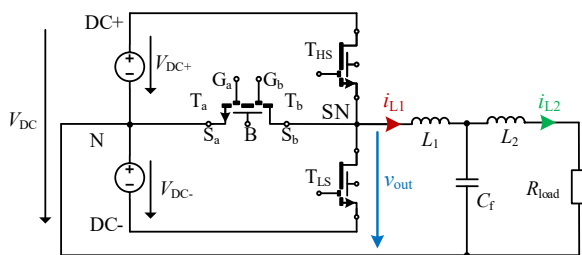


Abbildung 39: T-Type Wechselrichter

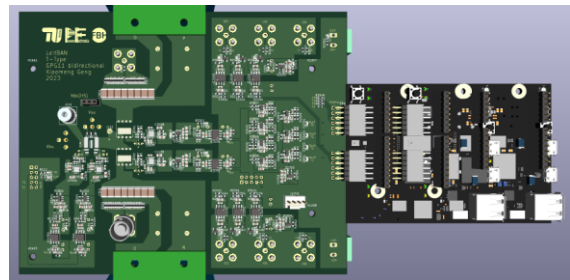


Abbildung 40: 3D Modell des PCB Layouts

Kurzzeitige Dauerbetriebsmessungen wurden bei einer Netzfrequenz von 60 Hz durchgeführt. Da die Bauelemente derzeit auf Submount-PCBs montiert sind, ist der thermische Wärmeabfluss begrenzt. Abbildung 41 zeigt die gemessenen Zeitverläufe der Ausgangsspannung  $v_{out}$  und der Ströme durch die Induktivitäten  $i_{L1}$ ,  $i_{L2}$  über eine Netzperiode bei einer Schaltfrequenz von (a)  $f_s = 200$  kHz und (b)  $f_s = 2$  MHz. Abbildung 42 gibt eine detaillierte Darstellung der Kurven innerhalb eines  $10 \mu s$  Intervalls um den positiven Stromspitzenwert.

Bei einer DC-Zwischenkreisspannung von 400 V, einem Modulationsindex von 0,78 und einer ohmschen Last von  $31 \Omega$  wurden 110 V AC RMS und 5 A AC Spitzenstrom erreicht. Diese Ergebnisse zeigen, dass das vorgeschlagene Bauelement prinzipiell für die Auslegung von hochfrequent schaltenden Konvertern im MHz-Bereich geeignet ist. Zusätzlich veranschaulichen die deutlich reduzierten Harmonischen in den Stromverläufen bei 2 MHz im Vergleich zu 200 kHz die Vorteile des hochfrequenten Schaltens: Durch eine Reduzierung der passiven Bauelemente bei gleicher Stromqualität kann die Baugröße der Bauteile und damit der Schaltung erheblich verringert werden, was zu Kosteneinsparungen und durch die geringeren Verluste in den passiven Bauteilen ggf. auch zu Effizienzsteigerungen für die gesamte Schaltung führen kann. (Ergebnisse wurden in [8] veröffentlicht.)

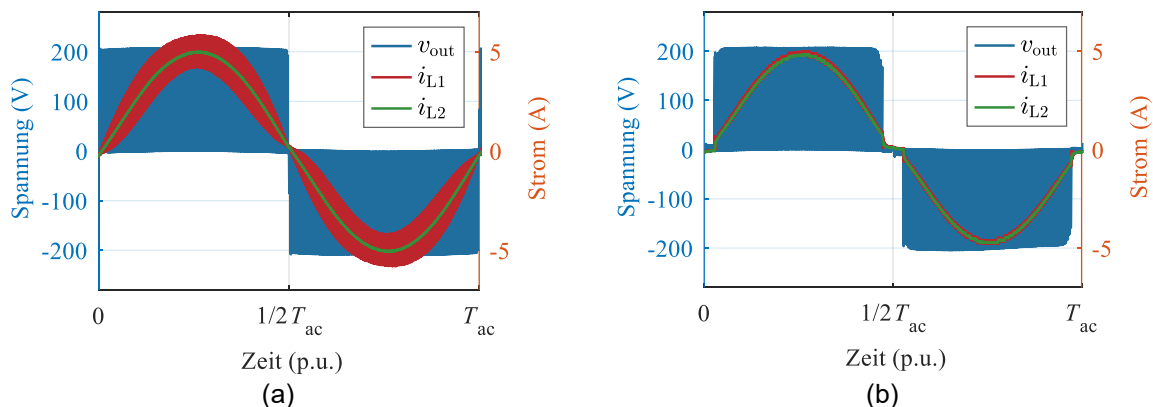


Abbildung 41: Zeitverläufe von  $v_{out}$ ,  $i_{L1}$  und  $i_{L2}$  in einer Netzperiode bei  $V_{DC} = 400$  V, Spitzenwert des Laststroms von 5 A und (a)  $f_s = 200$  kHz, und (b)  $f_s = 2$  MHz.

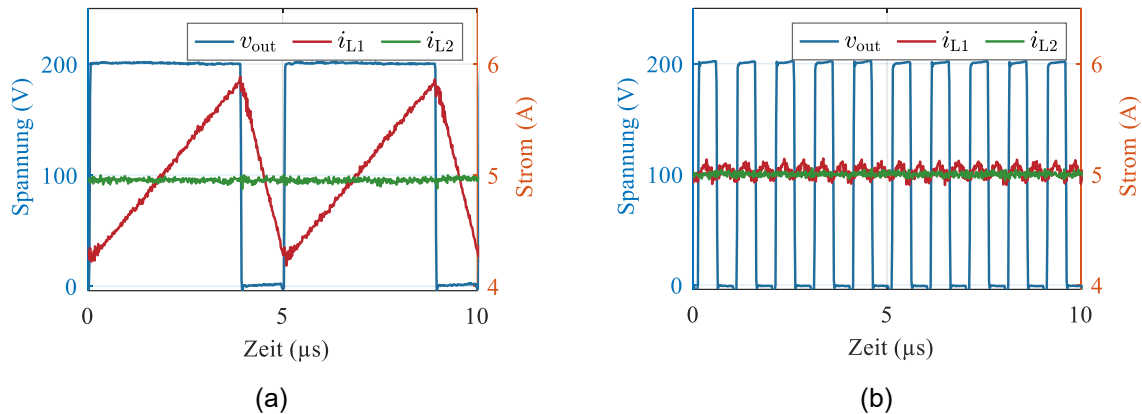


Abbildung 42: Zeitverläufe von  $v_{out}$ ,  $i_{L1}$  und  $i_{L2}$  in einem Bereich von 10  $\mu\text{s}$  um den Stromspitzenwert bei  $V_{DC}$  400 V, Spitzenwert des Laststroms von 5 A und (a)  $f_s = 200$  kHz, und (b)  $f_s = 2$  MHz.

## 2.5 Vergleich zur ursprünglichen Vorhabenbeschreibung

Während der Projektlaufzeit traten mehrere unvorhergesehene Ereignisse auf, die zu erheblichen Verzögerungen sowie notwendigen Anpassungen im Zeitplan und Änderungen in den Arbeitspaketen führten. Diese Ereignisse umfassten die Auswirkungen der Covid-19-Pandemie, technische Herausforderungen im neuartigen Forschungsgebiet sowie einen IT-Hackerangriff auf die TU Berlin.

Die Pandemie führte zu erheblichen Einschränkungen der Laborkapazitäten, zeitweisen Schließungen und pandemiebedingten Personalengpässen. Diese Faktoren beeinträchtigten die experimentellen Arbeiten und führten zu einer deutlichen Verzögerung im Projektverlauf. Ein IT-Hackerangriff auf die TU Berlin im April 2021 beeinträchtigte die digitale Infrastruktur erheblich. Der eingeschränkte Zugriff auf projektrelevante Daten und Kommunikationsmittel führte zu weiteren Verzögerungen. Technische Herausforderungen traten ebenfalls auf, insbesondere Verzögerungen bei der Bereitstellung und Qualität von AlN-Substraten, die Probleme in der Bauelementprozessierung beim Projektpartner verursachten. Einige der beschafften Substrate wiesen starke Durchbiegungen auf, was zu zusätzlichen Verzögerungen bei der Fertigung der Bauelemente führte. Darüber hinaus zeigten Bauelementprozesse unerwartet schlechte Ergebnisse, wodurch Anpassungen in der Produktion erforderlich wurden, was ebenfalls zu Verzögerungen beim Projektpartner FBH beitrug, die sich direkt verzögernd auf den Zeitplan der TU Berlin auswirkten.

Aufgrund der genannten Herausforderungen wurde eine kostendeckende Verlängerung der Projektlaufzeit des Projekts „LeitBAN, Teilvorhaben Leistungselektronik-Demonstrator“ um 9 Monate beantragt und im Jahr 2023 genehmigt. Die endgültige Zeitplanung für das Projekt wurde bereits in Tabelle 1 im Kurzbericht dargestellt. Im Arbeitspaket 5.2 war ursprünglich vorgesehen, dass die TU Berlin zwischen Januar 2022 und März 2023 die Charakterisierung der am FBH entworfenen und hergestellten Transistoren abschließt. Bis Februar 2023 konnten die Transistoren der ersten Generation (AlN-SiC-Version 1) vollständig untersucht werden. Die Charakterisierung der zweiten Generation (AlN-SiC-Version 2) verzögerte sich jedoch aufgrund der verspäteten Lieferung an die TU Berlin, die durch die bereits beschriebenen Gründe verursacht wurde. Schließlich konnte die Untersuchung der zweiten Generation erst Ende 2023 abgeschlossen werden. Aufgrund der genannten Verzögerungen und technischen Herausforderungen wurde in Abstimmung mit dem Projektträger beschlossen, dass nur eine Generation von GaN-on-AlN Transistoren (AlN-AlN-Version 1) hergestellt wird, und dass kleine Transistoren (9.2 mm Gate-Breite) der AlN-AlN-Technologie bis September 2023 zur Charakterisierung an die TU Berlin geliefert werden. Unerwartete technische Schwierigkeiten führten jedoch dazu, dass die Transistoren erst zum Projektende im Juni 2024 an die TU Berlin geliefert werden konnten. Daher konnte aus zeitlichen Gründen die geplante vollständige Charakterisierung der Transistoren an der TU Berlin nicht mehr durchgeführt werden. Stattdessen wurden On-Wafer-Tests am FBH vorgenommen, um die wesentlichen Parameter zu überprüfen. Die Arbeitszeit wurde genutzt, um das Backgating der bidirektionalen

Schalter detaillierter zu untersuchen sowie den T-Type-Demonstrator bei unterschiedlichen Betriebspunkten (Frequenzen) zu analysieren. Alle weiteren geplanten Arbeitspakete konnten bis zum Projektende abgeschlossen werden.

### **3 Wichtigste Positionen des zahlenmäßigen Nachweises**

Die entstandenen Kosten entsprechen im Wesentlichen der Projektplanung aus dem Förderantrag. Die größten Positionen des zahlenmäßigen Nachweises setzen sich im Wesentlichen aus Personalkosten für wissenschaftliche und studentische Mitarbeiter zusammen und machen rund 91 % der Gesamtkosten aus (Kostenposition 0812 und 0822). Mit den Reisemitteln konnten die wissenschaftlichen Ergebnisse auf Konferenzen von den Wissenschaftlern vorgestellt und diskutiert werden (Kostenposition 0846). Hinzu kommen die Kosten für Verbrauchsmaterialien, die für die Durchführung der Versuche unerlässlich waren (Kostenposition 0843). Darüber hinaus wurden folgende Geräte angeschafft: ein Tastkopf für Spannungsmessungen und eine Gate-Source Measurement Unit (Kostenposition 0850). Ursprünglich war neben dem Spannungstastkopf eine Stromzange beantragt. Im Verlaufe des Projektes stellte sich die Notwendigkeit heraus, eine Gate-Source Measurement Unit zu erwerben, die zur Messung des Leckstroms verwendet wird (vgl. die in Abbildung 11 und Abbildung 12 dargestellten Charakterisierungsergebnisse) Die benötigte Stromzange konnte zwischenzeitlich mit anderen Mitteln beschafft und mitgenutzt werden.

### **4 Notwendigkeit und Angemessenheit der geleisteten Projektarbeiten**

Das Projekt LeitBAN war ein anspruchsvolles und gesellschaftlich relevantes Vorhaben, das die Erforschung und Entwicklung neuartiger Leistungstransistoren auf Basis von Aluminiumnitrid (AlN) zum Ziel hatte. Die Notwendigkeit dieser Arbeit ergibt sich aus der stetig wachsenden Bedeutung von Bereichen wie Elektromobilität, Automatisierung und Energieversorgung, die für die zukünftige Entwicklung der Gesellschaft von großer Bedeutung sind. Leistungselektronische Wandler sind zentrale Komponenten dieser Anwendungen. Eine wesentliche Herausforderung besteht in der Verbesserung der Energieeffizienz und der Miniaturisierung leistungselektronischer Systeme.

Im Rahmen des Projekts wurden in dem Projektkonsortium innovative Transistortechnologien entwickelt, die erhebliche Effizienzvorteile gegenüber den aktuellen Silizium- und Galliumnitrid-Technologien bieten. Der Einsatz von AlN als Halbleitermaterial zeigt großes Potenzial zur Reduktion von Leit- und Schaltverlusten sowie zur Erhöhung der Leistungsdichte. Im Projekt wurden verschiedene Arbeitspakete gezielt durchgeführt, um dieses Potenzial von AlN für Anwendungen in der Leistungselektronik und Mikrowellentechnik umfassend zu erforschen. Der Fokus der Arbeiten an der TU Berlin war die Erforschung der neuen Transistoren für leistungselektronische Konverter. Zu Beginn des Projekts war es notwendig, geeignete Messaufbauten und Testplattformen zu entwickeln, um eine fundierte Untersuchung der statischen und dynamischen Eigenschaften der AlN-Transistoren zu ermöglichen. Ein weiterer wichtiger Aspekt war die Optimierung der Gate-Treiberschaltungen, die für das Schaltverhalten und die Stabilität der Transistoren entscheidend sind. Ohne diese Optimierungen wäre es nicht möglich gewesen, das volle Potenzial der AlN-Transistoren auszuschöpfen. Die detaillierte statische und dynamische Charakterisierung der AlN-Transistoren lieferte wichtige Erkenntnisse, die als Grundlage für die Entwicklung eines Demonstrators dienten. Mit diesem Demonstrator konnten Vorteile der AlN-Technologie in der praktischen Anwendung gezeigt werden. Der Aufbau von Simulationsmodellen ist wichtig für das Verständnis des Bauelementverhaltens in der Schaltung und unterstützt das Design von Demonstratoren. Perspektivisch werden durch gute Simulationsmodelle Entwicklungszeiten von Convertoren reduziert.

Jedes der durchgeführten Arbeitspakete war notwendig und spielte eine entscheidende Rolle im Gesamtprojekt, um die spezifischen Eigenschaften der AlN-Transistoren zu verstehen und Demonstratorschaltungen zu entwickeln, die die Vorteile dieser Technologie aufzeigen. Insgesamt sind die im Projekt geleisteten Arbeiten als notwendig und angemessen zu bewerten.

## 5 Voraussichtliche Nutzen und Verwertbarkeit des Ergebnisses

Die im Projekt LeitBAN erzielten Ergebnisse bieten ein großes Potenzial zur Verbesserung der Energieeffizienz und der Miniaturisierung leistungselektronischer Systeme. AlN-Transistoren zeigen aufgrund ihrer Materialeigenschaften bedeutende Vorteile gegenüber konventionellen Silizium-, Siliziumcarbid- und Galliumnitrid-Technologien, wie z.B. geringere Leit- und Schaltverluste, die zu Systemen mit höherer Leistungsdichte und einer gesteigerten Effizienz führen. Besonders hervorzuheben ist die bei AlN-Transistoren beobachtete Immunität gegenüber Backgating-Effekten, die die monolithische Integration von Leistungsschaltern auf einem einzelnen Chip erheblich vereinfacht bzw. überhaupt erst ermöglicht. Durch monolithische Integration lassen sich parasitäre Effekte reduzieren und die Baugröße von Konvertern verringern, was zu einer höheren Leistungsdichte sowie verbesserter Stabilität und Zuverlässigkeit führt.

In diesem Projekt wurden bereits erfolgreich monolithische Halbbrücken sowie monolithische bidirektionale Schalter realisiert. Halbbrücken sind die Grundlage für viele Topologien in der Leistungselektronik. Gleichzeitig erfordern mehrere Umrichtertopologien, die an Netzschnittstellen und in elektrischen Antriebssystemen eingesetzt werden – wie z.B. Vienna-Gleichrichter, T-Type Konverter und Matrixkonverter, sowie Festkörper-Schutzschalter Schaltelemente mit bipolarer Spannungsblockierung und bidirektionaler Stromleitung. AlN-Transistoren bieten hierfür eine Lösung und haben großes Anwendungspotenzial im Bereich der Leistungselektronik. Der im Projekt entwickelte monolithische bidirektionale GaN-auf-AlN/SiC-Schalter besitzt eine gemeinsame Driftzone. Im Vergleich zu konventionellen Lösungen, bei denen zwei diskrete Bauteile anti-seriell oder anti-parallel verschaltet werden, reduziert diese Konfiguration den Durchlasswiderstand und die Chipfläche effektiv. Dadurch werden die Leistungsdichte und Effizienz erhöht, parasitäre Effekte und Montageaufwand minimiert sowie die Stabilität und Zuverlässigkeit des Systems verbessert. Die im Projekt entwickelte Transistortechnologie und die erzielten Testergebnisse bieten eine Grundlage für die weitere industrielle Entwicklung und Implementierung von AlN-Technologien in unterschiedlichen Anwendungsbereichen wie mobile Batterieladesysteme u.a. für die Elektromobilität, PV-Wechselrichter oder Stromversorgungen in Luftfahrtanwendungen. Darüber hinaus schaffen diese Ergebnisse auch die Basis für weiterführende wissenschaftliche Untersuchungen, wie z.B. die monolithische Integration der Gate-Treiberschaltungen, die Erhöhung der Spannungsfestigkeit und die Reduzierung von Trapping-Effekten auf Bauelement-Ebene, sowie die Erforschung komplexerer schaltungstechnischer Lösungen. Dazu gehören z.B. Matrix- oder Multi-Level-Umrichtertopologien, die durch die Verfügbarkeit monolithisch integrierter Schalterkonzepte schaltungstechnisch und wirtschaftlich attraktiv werden.

## 6 Bekannt gewordenen Fortschritt auf dem Gebiet des Vorhabens bei anderen Stellen während der Durchführung des Vorhabens dem Zuwendungsempfänger

Im Verlauf des Projektzeitraums gewann das Thema der monolithischen Integration zunehmend an Bedeutung, und zahlreiche Veröffentlichungen wurden dazu publiziert [12]-[16]. Insbesondere der Einfluss der Backgating-Effekte auf die Systemperformance wurde weiter erforscht [17]. Diese Studien konzentrierten sich jedoch hauptsächlich auf traditionelle GaN-auf-Si Bauelemente. Nach unserem Kenntnisstand wurden bisher keine Forschungsergebnisse zu GaN-auf-AlN/SiC Leistungstransistoren veröffentlicht. Während der Projektlaufzeit war uns zudem kein Gesamtsystem bekannt, das vergleichbare Funktionalitäten wie unser Vorhaben umfasste.

## 7 Erfolgte und geplante Veröffentlichungen der Ergebnisse

Im Rahmen des Projekts sind folgende Veröffentlichungen der Projektpartner entstanden bzw. geplant, die im Folgenden aufgelistet sind:

- S. Heucke, O. Hilt, X. Geng, C. Kuring, J. Wuerfl and S. Dieckerhoff, "Substrate Bias Effects up to 400 V of Normally-On GaN-on-AlN/SiC HEMTs in Static and Dynamic Tests," *CIPS 2022; 12th International Conference on Integrated Power Electronics Systems*, Berlin, Germany, 2022, pp. 1-5.

- X. Geng, C. Kuring, O. Hilt, M. Wolf, J. Wuerfl and S. Dieckerhoff, "Design and Optimization of the Driver Circuit for Non-Insulating Gate GaN-Transistors Enabling Fast Switching and High-Frequency Operation," *CIPS 2022; 12th International Conference on Integrated Power Electronics Systems*, Berlin, Germany, 2022, pp. 1-6.
- N. Wieczorek, X. Geng, C. Kuring, O. Hilt, F. Brunner, M. Wolf, J. Würfl and S. Dieckerhoff, "Characterization of GaN-on-AIN/SiC transistors towards monolithic integrability," *2022 24th European Conference on Power Electronics and Applications (EPE'22 ECCE Europe)*, Hanover, Germany, 2022, pp. 1-11.
- X. Geng, C. Kuring and S. Dieckerhoff, "Comparison of Simulation Methods to Study the Switching Transients of GaN Transistors," *PCIM Europe 2023; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Nuremberg, Germany, 2023, pp. 1-10.
- X. Geng, N. Wieczorek, M. Wolf, C. Kuring, F. Brunner, J. Würfl, O. Hilt and S. Dieckerhoff, "Experimental Investigation of GaN-on-AIN/SiC Transistors With Regard to Monolithic Integration," in *IEEE Transactions on Power Electronics*, vol. 39, no. 10, pp. 12615-12624, Oct. 2024, doi: 10.1109/TPEL.2024.3432327.
- X. Geng, N. Wieczorek, M. Wolf, O. Hilt and S. Dieckerhoff, "Modeling of a Novel GaN-on-AIN/SiC HEMT Including Thermal Effects for Circuit Simulation," *ECCE 2024*, Phoenix, USA, 2024.
- X. Geng, M. Wolf, C. Kuring, N. Wieczorek, O. Hilt and S. Dieckerhoff, "Characteristics and Operation of a Monolithic Bidirectional GaN-on-AIN/SiC Power Transistor employing Dual-Gate," in *IEEE Transactions on Power Electronics*, doi: 10.1109/TPEL.2024.3516384.
- X. Geng, N. Wieczorek, M. Wolf, O. Hilt and S. Dieckerhoff, "Demonstration of a Novel Monolithically Integrated GaN-on-AIN/SiC Half-bridge," submitted to *PCIM Europe 2024; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*.

## 8 Literaturverzeichnis

- [1] J. Bocker, H. Just, O. Hilt, N. Badawi, J. Wurfl, and S. Dieckerhoff, "Experimental analysis and modeling of GaN normally-off HFETs with trapping effects," in *2015 17th European Conference on Power Electronics and Applications (EPE'15 ECCE-Europe)*, Geneva: IEEE, Sep. 2015, pp. 1–10
- [2] Panasonic, "Single-Channel GaN-Tr High-Speed Gate Driver," AN34092B datasheet, July. 2017.
- [3] B. Zojer, "Driving 600V CoolGaN High Electron Mobility Transistors," Infineon application note, May. 2018.
- [4] X. Geng, C. Kuring, O. Hilt, M. Wolf, J. Wuerfl and S. Dieckerhoff, "Design and Optimization of the Driver Circuit for Non-Insulating Gate GaN-Transistors Enabling Fast Switching and High-Frequency Operation," *CIPS 2022; 12th International Conference on Integrated Power Electronics Systems*, Berlin, Germany, 2022, pp. 1-6.
- [5] C. Kuring *et al.*, "GaN-Based Multichip Half-Bridge Power Module Integrated on High-Voltage AlN Ceramic Substrate," in *IEEE Transactions on Power Electronics*, vol. 37, no. 10, pp. 11896-11910, Oct. 2022, doi: 10.1109/TPEL.2022.3172659.
- [6] N. Wieczorek, X. Geng, C. Kuring, O. Hilt, F. Brunner, M. Wolf, J. Würfl and S. Dieckerhoff, "Characterization of GaN-on-AIN/SiC transistors towards monolithic integrability," *2022 24th European Conference on Power Electronics and Applications (EPE'22 ECCE Europe)*, Hanover, Germany, 2022, pp. 1-11.
- [7] X. Geng, N. Wieczorek, M. Wolf, C. Kuring, F. Brunner, J. Würfl, O. Hilt and S. Dieckerhoff, "Experimental Investigation of GaN-on-AIN/SiC Transistors With Regard to Monolithic Integration," in *IEEE Transactions on Power Electronics*, vol. 39, no. 10, pp. 12615-12624, Oct. 2024, doi: 10.1109/TPEL.2024.3432327.

- [8] X. Geng, M. Wolf, C. Kuring, N. Wiczorek, O. Hilt and S. Dieckerhoff, "Characteristics and Operation of a Monolithic Bidirectional GaN-on-AlN/SiC Power Transistor employing Dual-Gate," in *IEEE Transactions on Power Electronics*, doi: 10.1109/TPEL.2024.3516384.
- [9] C. Kuring *et al.*, "GaN-Based Multichip Half-Bridge Power Module Integrated on High-Voltage AlN Ceramic Substrate," in *IEEE Transactions on Power Electronics*, vol. 37, no. 10, pp. 11896-11910, Oct. 2022, doi: 10.1109/TPEL.2022.3172659.
- [10] GaN Systems, "SPICE model for GaN HEMT usage guidelines and example," Application note 006, Rev. 9, Aug.2016. [Online]. Available: <https://gansystems.com>.
- [11] X. Geng, N. Wiczorek, M. Wolf, O. Hilt and S. Dieckerhoff, "Modeling of a Novel GaN-auf-AlN/SiC HEMT Including Thermal Effects for Circuit Simulation," ECCE 2024, Phoenix, USA, 2024.
- [12] W. L. Jiang *et al.*, "Monolithic Integration of a 5-MHz GaN Half-Bridge in a 200-V GaN-on-SOI Process: Programmable dv/dt Control and Floating High-Voltage Level-Shifter," in Proc. IEEE Appl. Power Electron. Conf. Expo., Phoenix, AZ, USA, 2021, pp. 728-734.
- [13] S. Musumeci, M. Panizza, F. Stella, and F. Perraud, "Monolithic Bidirectional Switch Based on GaN Gate Injection Transistors," in 2020 IEEE 29th International Symposium on Industrial Electronics (ISIE), Delft, Netherlands: IEEE, Jun. 2020, pp. 1045–1050.
- [14] G. Baratella *et al.*, "Monolithic 650-V Dual-Gate p-GaN Bidirectional Switch," *IEEE Trans. Electron Devices*, pp. 1–6, 2024.
- [15] G. Gupta *et al.*, "Innovations in GaN Four Quadrant Switch technology," in 2023 IEEE 10th Workshop on Wide Bandgap Power Devices & Applications (WiPDA), Charlotte, NC, USA: IEEE, Dec. 2023, pp. 1–4.
- [16] Q. Yu, D. Klikic, V. Aulagnier, E. Persson, and J. Cerce, "Evaluation of Monolithic AC GaN Switch in A Vienna Rectifier for UPS," in 2024 IEEE Applied Power Electronics Conference and Exposition (APEC), Long Beach, CA, USA: IEEE, Feb. 2024, pp. 767–773.
- [17] C. Kuring *et al.*, "Active substrate termination of discrete and monolithic bidirectional GaN HEMTs in a T-type inverter," in *2022 24th European conference on power electronics and applications (EPE'22 ECCE Europe)*, Hanover, Germany, Sep. 2022, p. P.1-P.11.