

Schlussbericht



| | | |
|---|---|---------------------------------|
| Zuwendungsempfänger: Infineon Technologies AG 81726 München | The Infineon logo consists of the word "infineon" in a blue, lowercase, sans-serif font, with a red swoosh above the letters "i" and "n". | Förderkennzeichen: 03EE2038A |
| Vorhabenbezeichnung: Verbundprojekt: Leistungshalbleiter- und Umrichter-Innovationen zur verlustoptimierten und leistungsstarken Energieerzeugung mit Windkraft Teilvorhaben: Leistungshalbleiterinnovationen | | |
| Laufzeit des Vorhabens: 01.04.2022 bis 31.03.2025 | | |
| Autoren: Andreas Korzenietz, Dr. Tilo Poller, Dr. Jörg Thiele | | |
| Datum: 14.08.2025 | | |

Gefördert durch:



aufgrund eines Beschlusses
des Deutschen Bundestages



Inhaltsverzeichnis

| | |
|--|----|
| Inhaltsverzeichnis | 2 |
| 1 Überblick Gesamtvorhaben | 3 |
| 1.1 Ziele Gesamtvorhaben | 3 |
| 1.2 Ergebnisse Gesamtvorhaben | 4 |
| 2 Kurze Darstellung der Aufgabenstellung, der Voraussetzungen, der Planung und des Ablaufs des Teilvorhabens | 6 |
| 2.1 Aufgabenstellung | 6 |
| 2.2 Voraussetzungen, unter denen das Vorhaben durchgeführt wurde und Stand der Technik, an den angeknüpft wurde | 10 |
| 2.3 Planung und Ablauf des Vorhabens | 12 |
| 2.4 Zusammenarbeit der Partner und mit anderen Stellen | 14 |
| 3 Eingehende Darstellung der erzielten Ergebnisse und des voraussichtlichen Nutzens | 15 |
| 3.1 Arbeitspaket 1 Anforderungen und Schnittstellen | 15 |
| 3.2 Arbeitspaket 2 Robustes SiC Wind Modul | 15 |
| 3.3 Zusammenfassung der Zielerreichung im Teilvorhaben | 34 |
| 4 Verwertbarkeit des Ergebnisses und der Erfahrungen | 35 |
| 5 Während der Durchführung des Vorhabens dem Zuwendungsempfänger bekannt gewordenen Fortschritts auf diesem Gebiet bei anderen Stellen | 35 |
| 6 Erfolgte oder geplanten Veröffentlichung des Ergebnisses | 36 |
| 7 Liste der Abbildungen | 37 |
| 8 Liste der Tabellen | 38 |

Das diesem Bericht zugrundeliegende Vorhaben wurde mit Mitteln des Bundesministeriums für Wirtschaft und Energie unter dem obengenannten Förderkennzeichen und unter der Trägerschaft des Projektträgers Jülich gefördert.

Die Verantwortung für die Inhalte des Abschlussberichts liegt bei den genannten Autoren.

1 Überblick Gesamtvorhaben

1.1 Ziele Gesamtvorhaben

Der Trend zu höheren Leistungen ist bei Windenergieanlagen ungebrochen (Abbildung 1). Dies gilt nicht nur für Offshore- sondern auch für Onshore-Windenergieanlagen. Nur so können bei beschränkt verfügbaren Standorten die Ausbauziele und die erforderliche Senkung der Stromgestehungskosten aus regenerativen Energiequellen erreicht werden. Mit zunehmender Turmhöhe und Leistung führt der konventionelle Anlagenansatz von Onshore-Windenergieanlagen, der den Transformator am Turmfuß positioniert, zu hohen Kabelverlusten. Moderne Anlagenentwürfe sehen daher den Transformator und die gesamte Leistungselektronik in der Gondel vor. Dadurch lassen sich die Kabelverluste um mehrere Prozent der Anlagenleistung reduzieren. Mit zunehmender Anlagenleistung werden dadurch aber die Anforderungen an die Leistungsdichte für die Umrichter immer strenger.

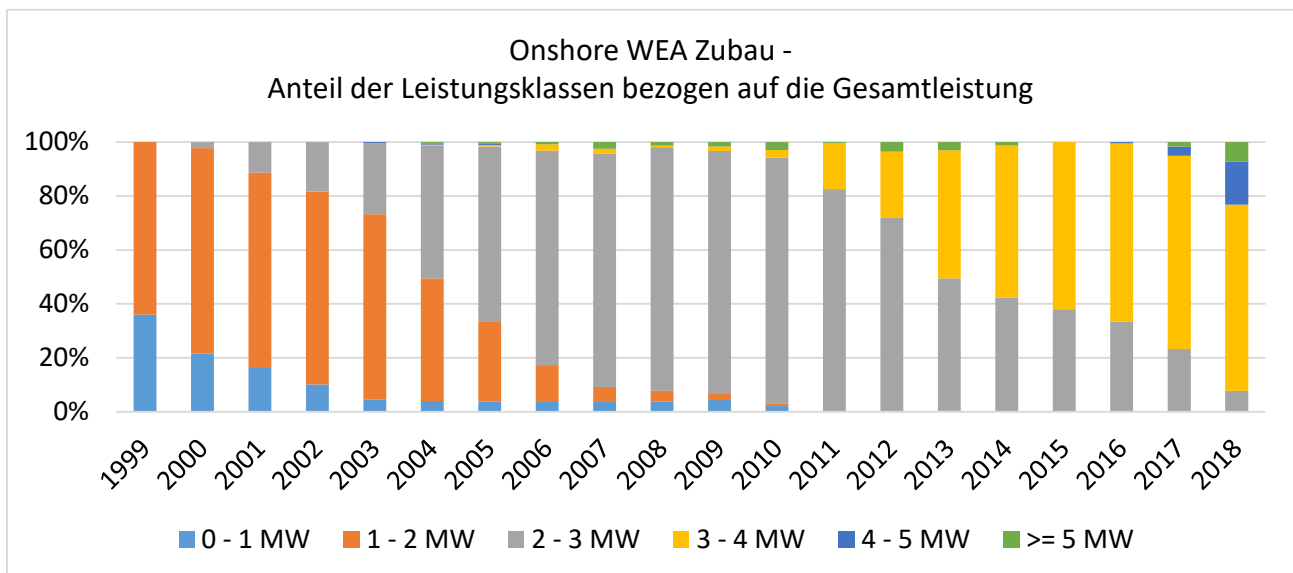


Abbildung 1: Entwicklung der Leistung von Onshore-Windenergieanlagen (www.windmonitor.de 2021)

An dieser Stelle hat dieses Vorhaben angesetzt. Mit neuen Leistungstransistoren kann es gelingen, die Schaltfrequenz des Umrichters signifikant anzuheben. Das wiederum erlaubt eine erhebliche Reduktion von Masse und Volumen der stromtragenden Komponenten wie Netzdrosseln, der platzmäßig dominanten Komponente im Stromrichter, Motordrosseln, Stromschienen und Schaltgeräten.

Um dieses Ziel zu erreichen, waren folgende Schritte erforderlich:

- Erforschung eines 2,3 kV SiC-MOSFET Moduls, das den extrem hohen Anforderungen an Lastwechselfestigkeit und Robustheit unter aggressiven Last- und Umgebungsbedingungen, wie sie für Windenergieanlagen typisch sind, gerecht wird. Diese Arbeiten erfolgten durch den Projektpartner Infineon.



- Erforschung der Schaltungs- und Ansteuertechnik, um diese Hochleistungs-MOSFETs einerseits verlustoptimal zu betreiben, andererseits die durch hohe Strom- und Spannungsgradienten von SiC-Leistungshalbleitern hervorgerufenen Probleme der Elektromagnetischen Verträglichkeit (EMV) und der Isolationsbeanspruchungen der Wickelgüter zu beherrschen. Diese Arbeiten erfolgten durch den Projektpartner Universität Rostock.
- Umsetzung dieser Erkenntnisse in einem Power Stack mit hoher Schaltfrequenz und hohem Ausgangsstrom mit der für Windenergieanlagen erforderlichen hohen Zuverlässigkeit. Diese Arbeiten erfolgten durch den Projektpartner Ingenieurbüro Hoffmann GmbH.
- Integration des Power Stacks in einen Umrichter hoher Leistungsdichte und des Umrichters in eine Windenergieanlage, um das Verhalten von SiC-Leistungshalbleitern und Umrichtern mit sehr kleinen Filtern in der Windenergieanlage abzusichern und so die Einsetzbarkeit unter den hohen Anforderungen an Power Quality und Netzfrendlichkeit zu gewährleisten. Diese Arbeiten erfolgten durch den Projektpartner Nordex.

Begleitet wurden die Arbeiten durch Simulationen auf Systemebene durch die Universität Rostock, die neben der in diesem Vorhaben zu untersuchenden Onshore-Windenergieanlage mit doppelt gespeistem Asynchrongenerator auch andere Topologien umfassten und damit eine vergleichende Bewertung des Potentials von SiC-MOSFET in Windenergieanlagen allgemein erlauben.

1.2 Ergebnisse Gesamtvorhaben

Folgende wesentliche Ergebnisse wurden im Rahmen des Projektes erzielt:

- Die Technologie für ein 2,3kV SiC-MOSFET-Modul mit hoher Lastwechselfestigkeit für Wind-Anwendungen wurde auf Modulebene nachgewiesen, so dass darauf aufbauend eine Produktentwicklung gestartet werden kann (AP 2).
- Erste Konzepte zur Integration von Schutzfunktionen in ein SiC-MOSFET-Modul und ihrer Ansteuerung wurden definiert und an einfachen Testmustern untersucht, so dass eine Entscheidung über eine Umsetzung in zukünftigen Forschungsarbeiten getroffen werden kann (AP 2).
- Das Potential hybrider Module mit SiC- und Si-Chips wurde quantifiziert und die Herausforderungen identifiziert. Lösungswege wurden aus akademischer Sicht aufgezeigt (AP 2).
- Ansteuerkonzepte für SiC-MOSFET in Hochleistungsmodulen sind so weit erforscht, dass über ihre Einsetzbarkeit in Serienprodukten entschieden werden kann (AP 3).
- Das Funktionsmuster eines Power Stack hat den vollumfänglichen Reifegrad für die Erprobung in einer Windenergieanlage erreicht (AP 3).



- Die Technologie für einen 1.6 MW DFIG-Si-Umrichter für 5 MW Wind-Anwendungen wurde mit 1,7 kV IGBT Basis-Technologie konzipiert (AP 4) und zwei Funktionsmuster wurden aufgebaut.
- Beide Funktionsmuster wurden unter windturbinennahen Testumgebungen auf Systemebene qualifiziert (AP 5).
- Die Technologie für einen 2.3 MW DFIG-Si-Umrichter für 6 MW Wind-Anwendungen wurde mit 2,3 kV IGBT Basis-Technologie konzipiert (AP 4). Das Funktionsmuster wurde aufgebaut und technisch in Betrieb genommen.
- Ein erstes Funktionsmuster eines Wind-Umrichters mit kleinen Filterdrosseln und SiC-Leistungshalbleitern wurde ausgelegt und technisch bewertet (AP 4).
- Der SiC-Umrichter wurde unter applikationsnahen Bedingungen auf einem qualifizierten Umrichter-Prüfstand erprobt (AP 5).
- Die durch SiC-MOSFET in Windenergieanlagen mögliche Leistungs- und Effizienzsteigerung ist quantifiziert (AP 6).

2 Kurze Darstellung der Aufgabenstellung, der Voraussetzungen, der Planung und des Ablaufs des Teilvorhabens

2.1 Aufgabenstellung

Robustes SiC Wind Modul

Leistungshalbleiter sind Schlüsselbauelemente der Umrichter für Windenergieanlagen. Halbleiterinnovationen sind damit auch der Treiber für Innovationen im Umrichter und damit im gesamten elektrischen System. Wichtige Kriterien für den Einsatz in Windenergieanlagen sind Spannungsklasse, Nennstrom, Verluste (insbesondere Schaltverluste), Lastwechselfestigkeit und Robustheit.

Zum Zeitpunkt der Antragstellung kamen für Wind-Umrichter sehr hoher Leistung vor allem 1700 V IGBT im PrimePack™ zum Einsatz. Die Einführung der XHP™ Bauform in naher Zukunft wurde prognostiziert (siehe Abbildung 3). Neben Modulen mit konventioneller Aufbautechnik (gelötete Chips und Aluminium Bonddrähte) waren auch die extrem lastwechselfesten Module mit gesinterten Silizium-Chips und Kupfer-Bonddrähten verfügbar. Für die maximale Leistung pro Strom für Niederspannungsumrichter notwendige Leistungsklasse um ca. 2300 V war bei Antragstellung dieses Projektes absehbar nur mit konventioneller Aufbautechnik verfügbar – hier ergab sich aus Sicht der Wind-Umrichter eine Lücke.

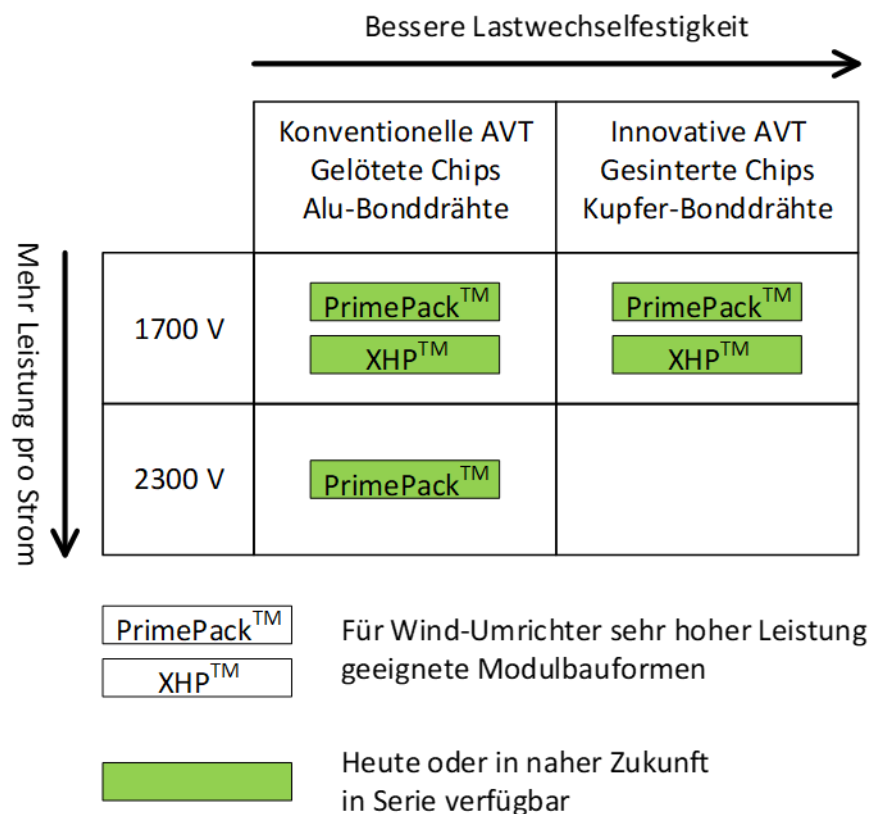


Abbildung 2: Si-IGBT Module für Wind-Umrichter zum Zeitpunkt der Antragstellung im Jahr 2021

Module mit 1700 V Si-IGBT und Si-pin-Dioden haben so hohe Schaltverluste, dass Schaltfrequenzen deutlich über 3 kHz nicht sinnvoll erreichbar sind. Selbst eine starke Reduktion der Stromdichte hat nur

einen begrenzten Effekt, weil die Reverse Recovery Ladung der Dioden mit abnehmendem Strom nur unterproportional zurückgeht. Bei Zweipunktumrichtern – die wegen ihres einfachen Leistungsteils und der übersichtlichen Steuerung weiterhin sehr beliebt sind – sind daher große Netzdrosseln erforderlich. Auch durch versetzte Taktung parallelgeschalteter Umrichter lassen sich diese nicht verkleinern, weil die sogenannten Differential-Mode-Ströme begrenzt werden müssen.

An dieser Stelle können SiC-MOSFETs ihre Stärke ausspielen. Sie haben signifikant kleinere Schaltverluste und zudem eine weitgehend lineare Abhängigkeit der Schaltverlustenergie vom Strom. Da zudem die Durchlasscharakteristik ohmsch ist, sind die Verluste bei kleinem Strom sehr klein.

High Power Module müssen, wenn sie mit SiC-MOSFETs ausgestattet werden, einen sehr symmetrischen Aufbau aufweisen, um eine gleichmäßige Stromverteilung zu gewährleisten und nicht Oszillationen zwischen den Chips anzuregen. Das XHP™ Modul ist hierfür eine geeignete Bauform. Diese Zuversicht speiste sich bei Antragsstellung u.a. aus den vielversprechenden Erfahrungen aus dem abgeschlossenen SiCuM Forschungsprojekt (FKZ 16ES0540), in dem für eine Straßenbahn-Anwendung ein 1,7 kV SiC-MOSFET Modulmuster von Infineon in einem XHP™ 2 Gehäuse (Abbildung 3) bis zum Laboraufbau elektrisch erforscht wurde (unten α -Modul genannt), das auch als Ausgangspunkt für dieses Projekt diente. Bei unveränderter Schaltfrequenz von 1 kHz und gleicher Leistung wurde eine Volumenreduktion von 30 % im Umrichter-Aktivteil demonstriert, aber auch großes Verbesserungspotential am Halbleiter, dem inneren Modulaufbau und an der Aufbau- und Verbindungstechnik zur weiteren Steigerung der Leistungsfähigkeit und Robustheit aufgedeckt.

Mit der Entwicklung der XHP™-Plattform hat Infineon eine neue Standardbauform entwickelt. Diese Gehäusebauform wurde von anderen Leistungshalbleiteranbietern übernommen. Sie bedient folgende steigenden Systemerwartungen aus Sicht des Umrichters: höhere Flexibilität, Stromdichte und Effizienz bei gleichzeitiger Steigerung der Robustheit und Zuverlässigkeit sowie Reduzierung der Systemkosten.



Abbildung 3: XHP™ 2 Modul – geeignete Bauform für schnell schaltende Hochvolt SiC MOSFET

Gegenüber dem in SiCuM erreichten Erkenntnisstand musste vor allem das Thema Lastwechselfestigkeit in Angriff genommen werden. Bei voller Ausnutzung der Möglichkeiten der SiC-Technologie ist, insbesondere wegen der großen Temperaturhübe und des steiferen Elastizitätsmodus der SiC-Halbleiter, eine Reduzierung der Lastwechselfestigkeit gegenüber dem Einsatz von Si Bauelementen mit konventioneller Aufbautechnik zu beobachten. Wegen der hohen Kosten der SiC-



Chips ist eine Reduktion des Stroms, und damit der Temperatur sowie der Temperaturhöhe, kommerziell nicht attraktiv. Daher wurde im Vorhaben LHUVkraft erforscht, wie eine Aufbau- und Verbindungstechnik mit hoher Lastwechselfestigkeit bei SiC-Chips realisiert werden kann. Wegen der erforderlichen Änderungen der Chipmetallisierung betraf dies nicht nur die Back-End- sondern auch die Front-End-Fertigung.

Ebenfalls SiC-spezifisch ist die eingeschränkte Leitfähigkeit des Inversions-Kanals. Bei 1,7 kV SiC-MOSFET trägt der Kanalwiderstand zu etwa 30% zum gesamten R_{DSon} bei. Es gibt daher eine hohe Motivation, durch eine besonders große Kanalweite den Kanalwiderstand möglichst klein zu halten. Dies führt aber zu einem hohen Sättigungsstrom, so dass der SiC-MOSFET die vom Si-IGBT gewohnte Kurzschlusszeit von 10 μ s bei weitem nicht erreicht. In diesem Vorhaben sollten daher Verfahren erforscht werden, die eine verbesserte Kurzschlussrobustheit des Systems „MOSFET + Treiber“ gewährleisten und dabei einen hohen Sättigungsstrom des MOSFETs selber zulassen. Dabei sollten Verfahren mit einer schnellen Kurzschlusserkennung durch den Treiber erprobt werden.

Sogenannte „Full-SiC“-Module, bei denen die IGBT- und die Dioden-Chipfläche eines konventionellen IGBT-Moduls allein durch SiC-MOSFET ersetzt wird, versprechen – wenn die diversen auch in diesem Vorhaben adressierten Probleme erfolgreich gelöst werden können – die höchste Leistungsfähigkeit. Allerdings sind die Kosten von SiC-Chips bis auf weiteres erheblich höher als die von Si-Chips. Es stellt sich daher die Frage, ob mit einem hybriden Ansatz aus Si- und SiC-Chips ein besseres Verhältnis aus Kosten und Performance erreicht werden kann. Stand der Technik sind Module, in denen Si-IGBT mit SiC-Dioden kombiniert werden. In diesem Vorhaben sollte durch die Universität Rostock erforscht werden, welches Potential sich für Wind-Umrichter ergibt, wenn in einem Modul Si-IGBT und SiC-MOSFET kombiniert werden. Die SiC-Chipfläche steht dann nicht nur im Diodenbetrieb, sondern auch zur Reduktion bei kleinem Strom im Transistorbetrieb und zur Reduktion der IGBT-Ausschaltverluste zur Verfügung.

Erforschung Power Stack

Der Einsatz eines SiC Wind Moduls in der Bauform eines XHP™ 2 Moduls in Wind-Umrichtern erfordert erhebliche Anstrengungen im eigentlichen Leistungsteil des Umrichters, dem Power-Stack.

Stand der Technik bei Wind-Umrichtern sind PrimePack™ Module. Diese Module sind jedoch für den Einsatz von Si-Bauelementen optimiert und eignen sich wegen ihres relativ unsymmetrischen Aufbaus nur stark eingeschränkt für SiC-MOSFET. Die SiC-taugliche XHP™ 2 Bauform hat ein deutlich anderes Verhältnis von Länge zu Breite (PrimePack™: 250 mm x 89 mm / XHP™ 2: 144 mm x 100 mm) und eine geringere Fläche der Bodenplatte. Dies erfordert eine ganz neue konstruktive Ausformung der Zwischenkreisverschierung, der Kühlplatte und aller anderen mechanischen Komponenten des Power Stacks. Eine besondere Herausforderung stellt dabei die Anforderung an extrem niederinduktive Kommutierungskreise dar. Die Art der Zwischenkreisgestaltung hat dabei auch deutliche Auswirkungen



auf die Verkopplung der Phasen untereinander und damit sowohl auf Kommutierungsvorgänge, wenn mehrere Phasen nahezu zeitgleich schalten, als auch auf die Spannungssteilheit am Umrichter Ausgang.

Das Schaltverhalten von SiC-MOSFETs ist – wie bereits oben erläutert – gut durch die Ansteuerung einstellbar. Dabei muss ein Kompromiss aus Schaltverlusten auf der einen und Überspannungen und Oszillationen auf der anderen Seite gefunden werden. Ausgehend von der robusten Einstellung über Gate-Ladewiderstand und Gate-Entladewiderstand wurden alternative Ansteuerprinzipien mit dem Ziel geringerer Schaltverluste bei Einhaltung des sicheren Arbeitsbereichs des MOSFETs und der Anforderungen der elektromagnetischen Verträglichkeit (EMV) des Umrichters erforscht.

Die besonders kompakte Ausführung von Wind-Umrichtern ohne die Parallelschaltung von Power Stacks erfordert die direkte Parallelschaltung von SiC-MOSFET Modulen. Die Parallelschaltung von SiC-MOSFETs ist grundsätzlich möglich und erfolgt auch innerhalb des Moduls. Die sehr gute Steuerbarkeit des MOSFETs über das Gate und die hohe intrinsische Dynamik führen allerdings dazu, dass eine oszillationsfähige Anordnung entsteht, die durch kleinste Asymmetrien angeregt wird. Das Verständnis dieser Vorgänge ist daher essentiell für eine erfolgreiche Parallelschaltung von SiC Modulen, wie sie in diesem Vorhaben erforscht und erfolgreich demonstriert wurde.

Bevor der Power-Stack im Umrichter integriert und später dann in der Windenergieanlage betrieben werden kann, muss er im Prüffeld im Frequenzbetrieb laufen. Ziel des Vorhabens war es daher, dass alle Komponenten bis hin zum thermisch eingeschwungenen Zustand belastet werden. Damit konnten insbesondere Effekte getriggert werden, die durch die Temperaturabhängigkeit der Verluste auftreten und damit erst bei Eigenerwärmung sichtbar werden.

Erforschung Wind-Umrichter

Die höheren erreichbaren Schaltfrequenzen mit SiC-MOSFET ermöglichen eine Reduktion der Induktivität und damit von Masse und Volumen der Netzdrossel. So kann die geforderte höhere Leistungsdichte der Umrichter erreicht werden. Insbesondere beim sogenannten „fault-ride-through“ (FRT) wird der Umrichter aber auch deutlich sensibler auf Änderungen der Netzspannung reagieren. Daraus ergab sich der umrichterseitige Forschungsbedarf.

Durch die höheren Schaltfrequenzen sind nicht nur kleinere Induktivitäten möglich, es werden sich auch die Eisenverluste der Drosseln und – wegen der Erhöhung des Leitungswiderstands durch den Skin-Effekt – möglicherweise auch die Oberschwingungsinduzierten Kupferverluste erhöhen. Durch geeignete Wahl der Materialien und der Geometrie ist zu gewährleisten, dass die Netzdrossel diesen gegenüber dem Stand der Technik deutlich verschärften Anforderungen genügt.

Die höhere Dynamik des Leistungsteils muss auch durch die Steuerung beherrscht werden. Durch die hohe Schaltfrequenz sind häufigere neue Sollwerte für die Umrichterspannung möglich, die Abtastrate der Regelung kann angehoben werden. Hardware und Software müssen aber auch in der Lage sein, mit den deutlich verkürzten Zykluszeiten arbeiten zu können. Eine Steuerung, die diesen Anforderungen genügt, wurde im Projekt erforscht.



Schließlich musste zur Integration des Power Stacks, der Netzdrosseln, der Schaltelemente und der Steuerung ein Umrichterschrank entwickelt werden.

Prototypenprobung Windenergieanlage

Zur Verifikation des Systemverhaltens muss der Umrichter im elektrischen Gesamtsystem, das auch den Generator und den Transformator umfasst, erprobt werden. Diese Erprobung ist deshalb so wichtig, weil bei einer späteren Verwertung der Ergebnisse dieses Vorhabens ein Stromrichter für die nächste Generation Windenergieanlagen entstehen soll, der bei unverändertem Platzbedarf deutlich mehr Leistung vorhält. Eine Rückfallebene mit konventioneller Si-IGBT Technologie würde in der Gondel nicht mehr einbaubar sein und existiert damit de Facto nicht. Daher muss gewährleistet sein, dass der SiC Wind-Umrichter in der Gesamtanlage tatsächlich voll funktional ist. Das Arbeitspaket umfasste daher eine entsprechende umfangreiche Messkampagne.

Systembetrachtung und Effizienzrechnung

Auf Basis der erreichten Durchlass- und Schaltverluste, des für die Parallelschaltung erforderlichen Deratings und der thermischen Daten des Systems aus Modul und Kühlkörper konnten die erforderlichen Auslegungsrechnungen durchgeführt werden, um so das Leistungsvermögen des SiC Umrichters zu ermitteln.

Dabei wurden sowohl Nordex-spezifische Anlagen gerechnet als auch, zur Verallgemeinerung der Ergebnisse, generische Anlagen mit doppeltgespeisten Asynchrongeneratoren (englisch Double-fed induction generator, kurz DFIG) und Vollumrichter-WEA betrachtet.

2.2 Voraussetzungen, unter denen das Vorhaben durchgeführt wurde und Stand der Technik, an den angeknüpft wurde

Zum Zeitpunkt der Antragstellung war der Wirkungsgrad der elektrischen Komponenten einer Onshore-Windenergieanlage zunehmend in den Fokus geraten. Bei einem konventionellen Onshore-Anlagendesign befinden sich Transformator und Stromrichter im Turmfuß. Die Kabel zum Generator befinden sich daher auf der Niederspannungsseite, was zu hohen Strömen und Verlusten von mehreren Prozent der Wirkleistung führt.

Inzwischen sind führende WEA-Hersteller dazu übergegangen, den Transformator in die Gondel zu platzieren. Die Turmkabel sind dann auf Mittelspannungsniveau und der Strom im Kabel reduziert sich auf weniger als 5%, was sowohl Kabelkosten als auch -verluste spart. Neben dem Transformator muss dann auch der gesamte Umrichter in die Gondel verlegt werden. Die Umrichtertopologie wird gegenüber dem Stand der Technik nicht verändert.

Dem Vorteil des geringeren Kabelstroms steht nun allerdings der Nachteil gegenüber, dass der Bauraum in der Gondel viel knapper als im Turmfuß ist. Besonders problematisch wird dies, wenn eine Leistungserhöhung bei unveränderter Gondel erfolgen soll, weil die Gondel aus Transportgründen nicht

weiter vergrößert werden kann (Abbildung 4). Hilfsweise könnte die Gondel in zwei Teile geteilt oder der Transformator unter die Gondel gehängt werden – alles Maßnahmen, die den Montageaufwand auf der Baustelle vergrößern, zusätzliche Schnittstellen schaffen, damit die Fehleranfälligkeit erhöhen und zu Kostensprüngen führen. Für alle Komponenten innerhalb der Gondel besteht daher ein großer und mit größer werdender Anlagenleistung zunehmender Druck, die Leistung ohne Volumenanstieg zu erhöhen, d.h. die Leistungsdichte deutlich zu steigern.



Abbildung 4: Transport einer Gondel durch die Rostocker Südstadt

Das Volumen des Umrichters wird maßgeblich durch die Netzdrossel bestimmt (Abbildung 5). Die erforderliche Induktivität der Netzdrossel ergibt sich aus der Schaltfrequenz des Umrichters.

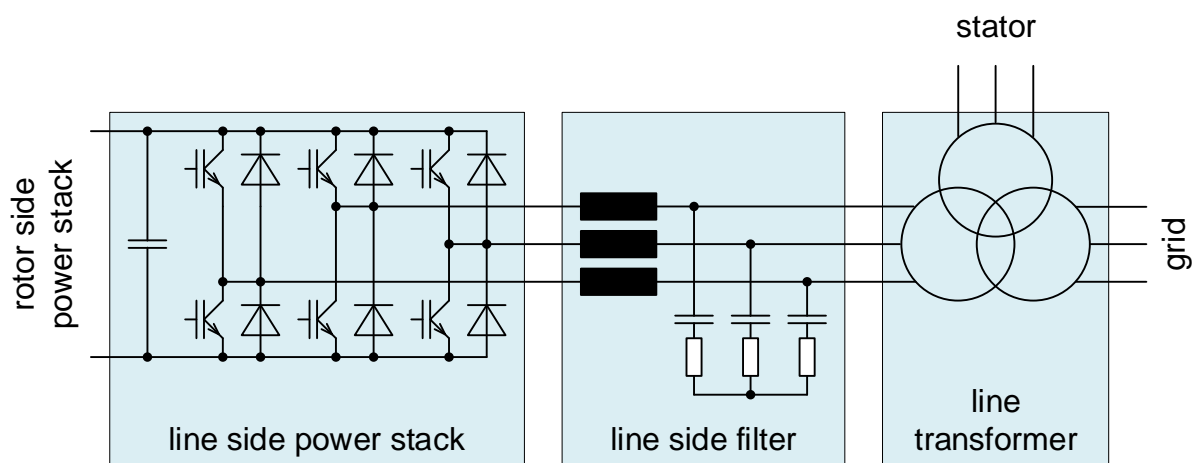


Abbildung 5: Konventioneller netzseitiger Stromrichter einer DFIG WEA

Stand der Technik für Windenergieanlagen sind Umrichter mit 1,7 kV PrimePack™ Modulen. Mit einem PrimePack™ Modul pro Phase lässt sich (je nach IGBT Typ, Auslegung, Blindleistungsanforderung, usw.) eine Umrichterleistung von 500 bis 1.000 kW erreichen. Für die erforderliche Anlagenleistung von 4 MW aufwärts sind also mehrere PrimePack™ Module pro Phase erforderlich, selbst wenn bei einer

DFIG nur ein Teil der Leistung über den Umrichter fließt. Für die Umsetzung gab es verschiedene Möglichkeiten, die im Projekt untersucht wurden

- Ein Umrichter mit einem Power Stack:

Innerhalb des Power Stacks werden IGBT-Module parallelgeschaltet (Abbildung 6). Durch die Parallelschaltung innerhalb des Stacks kann das Schalten so präzise erfolgen, dass keine Entkopplungsdrosseln notwendig sind. Die Netzdrossel entspricht der synchron taktenden parallelgeschalteten Stacks. Da auf die Entkopplungsdrosseln verzichtet werden kann, ist der Gesamtaufwand für Drosseln jedoch geringer. Bei mehr als zwei parallelgeschalteten Modulen werden die Stacks allerdings recht groß und schwer.

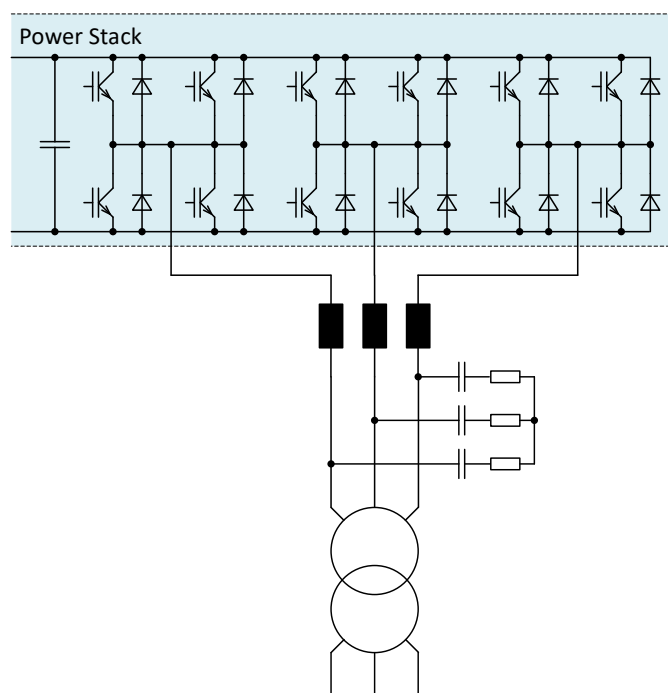


Abbildung 6: Wind-Umrichter (nur Netzseite) – Parallelschaltung von IGBT-Modulen in einem Power Stack

2.3 Planung und Ablauf des Vorhabens

Der Schlüssel zum Erfolg eines jeden Projektes ist eine Projektplanung, die die komplexen Aufgaben und Abhängigkeiten zwischen den Partnern effizient strukturiert. Einen Überblick über die dafür gewählte Projektstruktur der verschiedenen Arbeitspakete (AP) zeigt Abbildung 7. Ausgehend von der Analyse der Anforderungen und Schnittstellen in AP 1 wurden die Hauptforschungsthemen in den parallelen AP 2, AP 3, AP 4 vorangetrieben. Das in AP 2 erforschte robuste SiC Wind-Modul fand dabei Verwendung im Power Stack aus AP 3, der wiederum das Kernelement des Umrichters aus AP 4 war. Alle diese Arbeitspakete mündeten in der Prototypenerprobung des gesamten elektrischen Systems einschließlich des Generators. Systembetrachtungen und Effizienzrechnungen zeigten das Potential von SiC Umrichtern in Windenergieanlagen mit unterschiedlichen Konfigurationen auf.

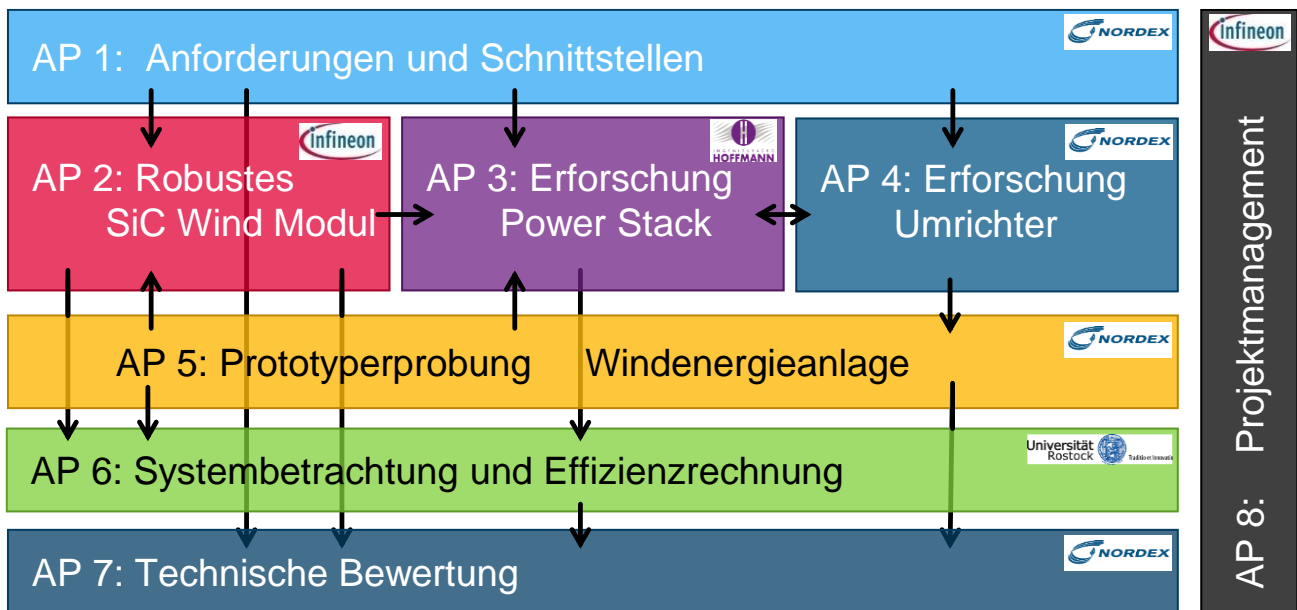


Abbildung 7: Projektstruktur und Leitung der verschiedenen Arbeitspakete

Um die Arbeiten am SiC-Modul, am Power Stack und am Umrichter parallel ausführen zu können, wurde ein stufenweises Vorgehen vorgesehen. Im Rahmen des AP 2 wurden Muster verschiedener Chip-Designstände als diskrete Chips in TO-247 Gehäusen sowie als Leistungsmodule im XHP™ 2 Gehäuse aufgebaut. Die folgende Tabelle zeigt die Übersicht der Varianten, die bei Infineon aufgebaut wurden, sowie die mit den Projektpartner ausgetauschten Versionen. Grün markiert ist die Version, die letztendlich zur Integration in den Power Stack 2.0 und den Umrichter 2.0 genutzt wurde. Das XHP™ 2v1.0 Modul war aus einem vorangegangenen Forschungsprojekt verfügbar.

Tabelle 1: Nomenklatur der SiC-MOSFET Muster im Projekt

| | XHP™ 2 V1.0 | XHP™ 2 V2.0 | XHP™ 2 V3.0 | XHP™ 2 V4.0 | TO-247 V1.5 | TO-247 V2.0 |
|--------------------|-------------|-------------|-------------|-------------|-------------|-------------|
| Nomenklatur | SiCuM | Design A | Design A | Design B | Design C | Design A |
| IBH | X | | X | X | | |
| Uni Rostock | X | | X | | X | X |

Für den Power Stack wurden zwei Stufen geplant und umgesetzt:

- Power Stack 1.0 auf Basis von XHP™ 2-IGBT Modulen
- Power Stack 2.0 auf Basis der SiC-MOSFET Module und höherer Schaltfrequenz

Für den Umrichter wurden ebenfalls zwei Evolutionsstufen geplant und realisiert:

- Umrichter 1.0: mit Power Stack 1.0
- Umrichter 2.0 mit Power Stack 2.0



2.4 Zusammenarbeit der Partner und mit anderen Stellen

Die Partner des Verbundprojektes haben sich ideal ergänzt und vertrauensvoll zusammengearbeitet. Dank ihrer spezifischen Kompetenzen wurde gewährleistet, dass die beschriebenen Themenfelder umfassend und effizient erforscht und verifiziert wurden. Die erfolgreiche Bearbeitung des Forschungsvorhabens erforderte eine enge Zusammenarbeit der Konsortialpartner.

Im Rahmen dieses Teilvorhabens hat Infineon einen Unterauftrag an die Infineon Technologies Austria AG vergeben, um am Ort der Waferfertigung im hocheffizienten Toolpark die notwendige Expertenunterstützung zu gewährleisten.



3 Eingehende Darstellung der erzielten Ergebnisse und des voraussichtlichen Nutzens

3.1 Arbeitspaket 1 Anforderungen und Schnittstellen

Im AP 1 wurden die wesentlichen Anforderungen an elektrische und thermische Größen des Silizium- und des Siliziumkarbidbasierten Stacks definiert. Im Projekt wurden verschiedene Dokumente definiert, anhand derer der Meilenstein 1 „Partnerübergreifende Schnittstellen, Anforderungen und der Lösungsraum sind abgestimmt“ erreicht wurde. Der Fokus in diesem Teilvorhaben lag dabei auf den Parametern, die für das Leistungsmodul relevant sind. Dazu wurde eine Tabelle mit kritischen Halbleiterzielparametern erarbeitet und mit den Partnern abgestimmt. Zusätzlich wurde die Definition von Schaltparametern unter Berücksichtigung der gültigen Normen dokumentiert und projektübergreifend abgestimmt.

Auf Basis verschiedener technischer Vorabstimmungen mit den Partnern und einer Neubewertung der technischen Risiken wurde entschieden, dass Infineon innerhalb von LHUVkraft mit den im Antrag als „ β -Modulmustern“ bezeichneten SiC-Leistungsmodulen direkt eine höhere Spannungsfestigkeit von 2, x kV anstrebt und nicht auf 1,7 kV fokussiert (wie bei den verfügbaren Si Leistungsmodulen). Da mittelfristig erwartet wurde, dass sich die Spannungsebenen in den Windenergie-Anlagen (WEA) erhöhen, steigerte die Entscheidung die Verwertungschancen der Projektergebnisse, eine Entscheidung, die rückblickend als sehr positiv bewertet wird.

3.2 Arbeitspaket 2 Robustes SiC Wind Modul

Die Hauptarbeiten in diesem Teilvorhaben lagen im AP 2. Im Folgenden werden die wesentlichen Ergebnisse aus den geplanten Unterarbeitspaketen

- Erforschung SiC Chiptechnologie für Wind-Anwendungen
- Aufbau- und Verbindungstechnik für extrem lastwechselfeste SiC-MOSFET High Power Module
- Musterbau des SiC-MOSFET Moduls
- Messaufbauten für elektrische und thermische Charakterisierung und Tests von SiC High Power Modulen
- Orientierende Performance- und Zuverlässigkeitsuntersuchungen
- Konzeptfindung zur Integration von Schutzfunktionen auf Chip- und Modulebene für SiC-MOSFET High-Power-Module

dargestellt.

Erforschung SiC Chiptechnologie für Wind-Anwendungen

Auf Ebene des SiC-MOSFET Chips wurden auf Basis der ersten Erkenntnisse aus AP 1 der mögliche Lösungsraum evaluiert und sinnvolle Designkonzepte für die speziellen Anforderungen der Wind-

Anwendungen erarbeitet. Ziel dabei war es einen SiC-MOSFET Chip zu erforschen und entwickeln, der folgende Anforderungen bedient:

- Nachweis einer Sperrfestigkeit von ≥ 2.3 kV durch die Entwicklung eines SiC-Epitaxie (Epi) Prozesses mit einer definierten Device-Dicke und einer entsprechenden Dotierkonzentration
- Einhaltung der geforderten Höhenstrahlungsrobustheit.
- Einführung einer Kupfermetallisierung um die Lastwechselfestigkeit, Kurzschluss- und Stoßstromrobustheit zu erhöhen
- Sinterbare Rückseitenmetallisierung

Mit einem verfügbaren Maskensatz aus einer anderen Spannungsklasse wurden im ersten Schritt Chips gefertigt und in einem sogenannten „TO (transistor outline)“-Gehäuse aufgebaut. Anhand dieser Muster konnte im Folgenden die Ausgangsposition für die geplanten Arbeiten bestimmt werden. Ein Augenmerk lag dabei auf dem Einschaltwiderstand R_{dson} . Abbildung 8 zeigt die Verteilung dieses Parameters in diesem ersten Versuch und die Position der ausgewählten Muster über die Verteilung. Ein Teil der Muster wurde dem Projektpartner Universität Rostock zur Verfügung gestellt, um auch dort mit den Arbeiten im Projekt beginnen zu können.

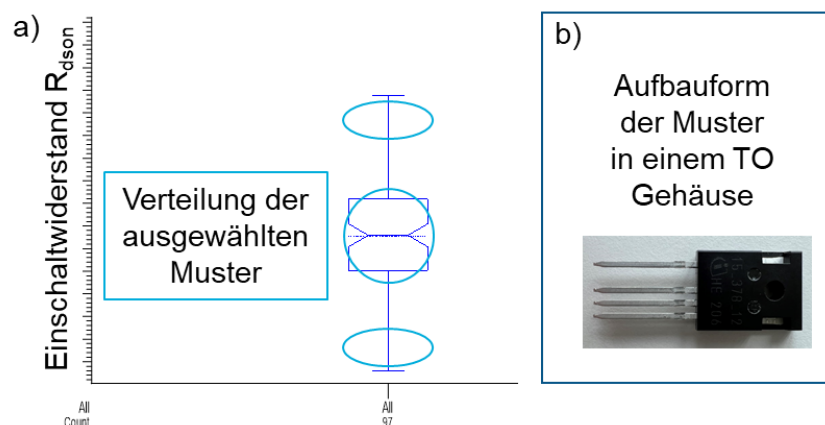


Abbildung 8: a) Einschaltwiderstand R_{dson} und Verteilung der ausgewählten Muster; b) Aufbauform der Muster

Der SiC-MOSFET basiert auf einer Trench-Zelle mit einer SiC-Epi welche auf einem SiC-Substrat aufgewachsen wird. Die Epi-Schicht ist so ausgelegt, sodass sie 2,3 kV sperren soll und zugleich robust genug ist, um keine bipolare Degradation zu erleiden. Die aktive Fläche des Chips ist so zu wählen, dass sich die gewünschte Stromdichte im Durchlasszustand einstellt. Die Verteilung des Gatesignals wird durch eine gut abgestimmte Anzahl an Gate-Bahnen gewährleistet. Ein interner Chip-Widerstand wird vorgesehen, um Interchip-Oszillationen im Modul zu unterbinden.

Die technische Entwicklung des SiC-MOSFETs wurde mit einem TCAD-Simulationstool unterstützt, mit dem es möglich ist, sowohl Prozess- als auch Design-Parameter zu validieren. Dies ermöglichte eine genaue Vorhersage der Chip-Performance. Am Chiprand wurde iterativ ein entsprechender Randabschluss entworfen, welcher gezielt für die 2,3 kV Spannungsklasse optimiert wurde.

Über eine erste simulative Auslegung der vertikalen Struktur des SiC-MOSFETs wurde im Projekt eine erste Epitaxiedicke und Dotierung dahingehend ausgelegt, dass die Sperrspannung der geforderten Durchbruchspannung $> 2,3 \text{ kV}$ entspricht. In einem ersten Fertigungslos wurde eine detaillierte Betrachtung die Sperrspannung im Frontend-Testprogramm auf Waferebene evaluiert. Die Sperrspannung ist eine wichtige elektrische Größe und muss daher sehr gut ausgelotet werden. Sie wird durch verschiedene Designparameter beeinflusst. Durch Prozessschwankungen dieser Designgrößen schwankt auch die Sperrspannung über mehrere Wafer. Es ist wichtig, dass trotz der Prozessstreuung gewährleistet wird, dass die Sperrspannung nicht unter die $2,3 \text{ kV}$ Grenze gelangt, da sonst diese Chips nicht mehr sinnvoll in Modulaufbauten verwendet werden können und somit die Ausbeute „guter“ Chips sinkt. Andererseits darf die Sperrspannung auch nicht so weit nach oben angehoben werden, da sonst der R_{dson} steigt und somit die Performance des SiC-MOSFETs schlechter wird. Daher ist es von großer Wichtigkeit, eine enge Verteilung der Sperrspannung oberhalb der geforderten Grenze von $2,3 \text{ kV}$ zu erzielen. In Abbildung 9 ist die Durchbruchspannung V_{br} Verteilung eines ersten Fertigungsloses zu sehen. Gut zu erkennen ist, dass gleich mit dem ersten Los die Sperrspannung oberhalb von $2,3 \text{ kV}$ liegt, allerdings ist die Schwankung noch sehr breit. Folglich war es ein Ziel im Projektverlauf, die Verteilung der Sperrspannung einzuengen, indem die Prozessschwankungen der Haupteinflussparameter verbessert wurden.

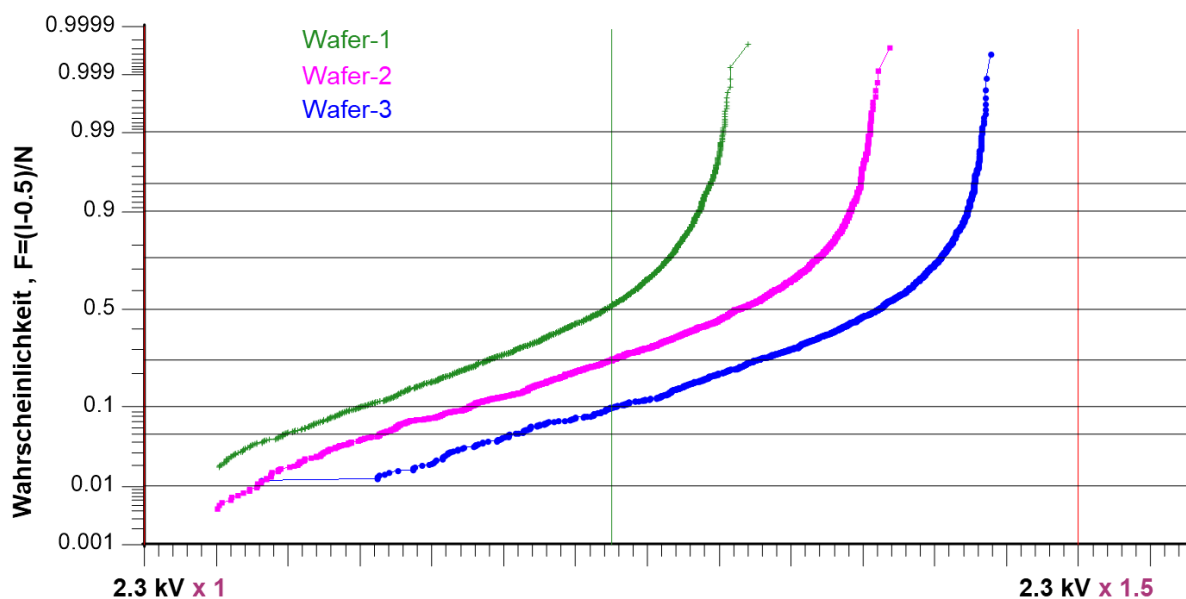


Abbildung 9: Verteilung der Durchbruchspannung V_{br} aus ersten Versuchen

SiC-MOSFETs weisen in vielerlei Hinsicht ein unterschiedliches Verhalten im Vergleich zu konventionellen Silizium Leistungshalbleitern auf, welche auch Herausforderungen für die elektrische Charakterisierung mit sich bringen. Einer der prägnantesten Merkmale ist das Fehlen des sogenannten Miller-Plateaus während des Schaltvorgangs. SiC-MOSFETs haben einen kurzen n-Kanal um den Kanalwiderstand zu minimieren. Dadurch kommt es aber auch zu einem „drain induced barrier lowering“ (DIBL), zu Deutsch, Kurzkanaleffekt. Dadurch wird die Schwellenspannung des MOSFETs reduziert,

was zu einer Änderung der Gatespannung in der Miller-Phase führt. Daher spricht man bei SiC MOSFETs von einer „Miller-Rampe“. Daher kann nicht ohne Weiteres eine der klassischen Charakterisierungsmethoden zur Bestimmung der Gateladung Q_g bzw. Q_{gd} angewandt werden.

Abbildung 10 zeigt eine typische Einschaltmessung zur Bestimmung der Gate-Ladung. Gut zu erkennen ist der Anstieg der Gate-Spannung während der Miller-Phase, welche durch den bereits erwähnten Kurzkanaleffekt zustande kommt. Durch eine Reduktion der Drain-Source Spannung, z.B. während des Einschaltens, steigt die Einsatzspannung $V_{gs,th}$ des SiC-MOSFETs, wohingegen bei einem Anstieg der Drain-Source Spannung, z.B. beim Ausschalten, die Einsatzspannung $V_{gs,th}$ des SiC MOSFETs absinkt. Damit ändert sich auch die Gate-Spannung in dem Moment in dem sich die Drain-Source Spannung ändert, was zu der erwähnten V_{gs} -Rampe führt.

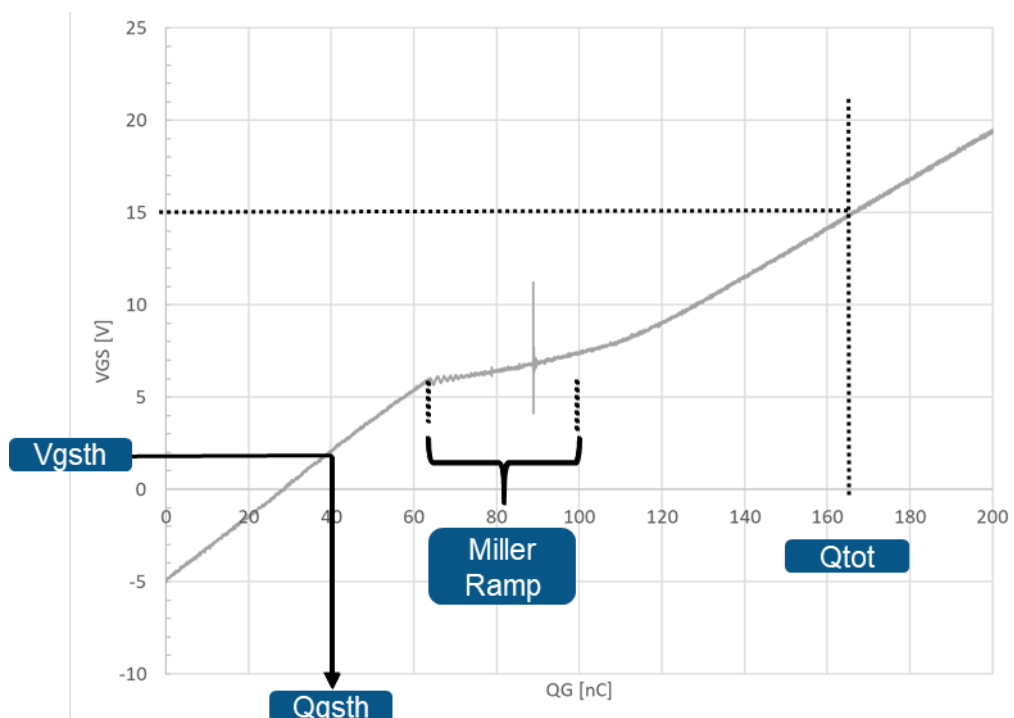


Abbildung 10: Typische Einschaltmessung zur Bestimmung der Gate-Ladung

Um nun die Gate-Ladung zu bestimmen gibt es zwei Möglichkeiten, eine graphische und eine rechnerische, die im Folgenden beispielhaft an einem repräsentativen SiC-MOSFET diskutiert wird. Wesentlich ist der Fakt, dass während der Ladephase der C_{gd} -Kapazität sich V_{gs} nicht ändern darf. Daher wird bei der graphischen Methode das Miller-Plateau konstruiert wie in Abbildung 11 zu sehen ist. Dafür wird eine Verlängerung der Anstiegsgerade A von den hohen Q_g Werten hin zu den niedrigeren Werten gezogen. Bei dem Knickpunkt der Geraden B wird nun eine horizontale Linie bis hin zur Verlängerung der Gerade A bezogen. Somit ist nun das Miller-Plateau konstruiert und Q_{gd} kann unabhängig vom Kurzkanaleffekt bestimmt werden.

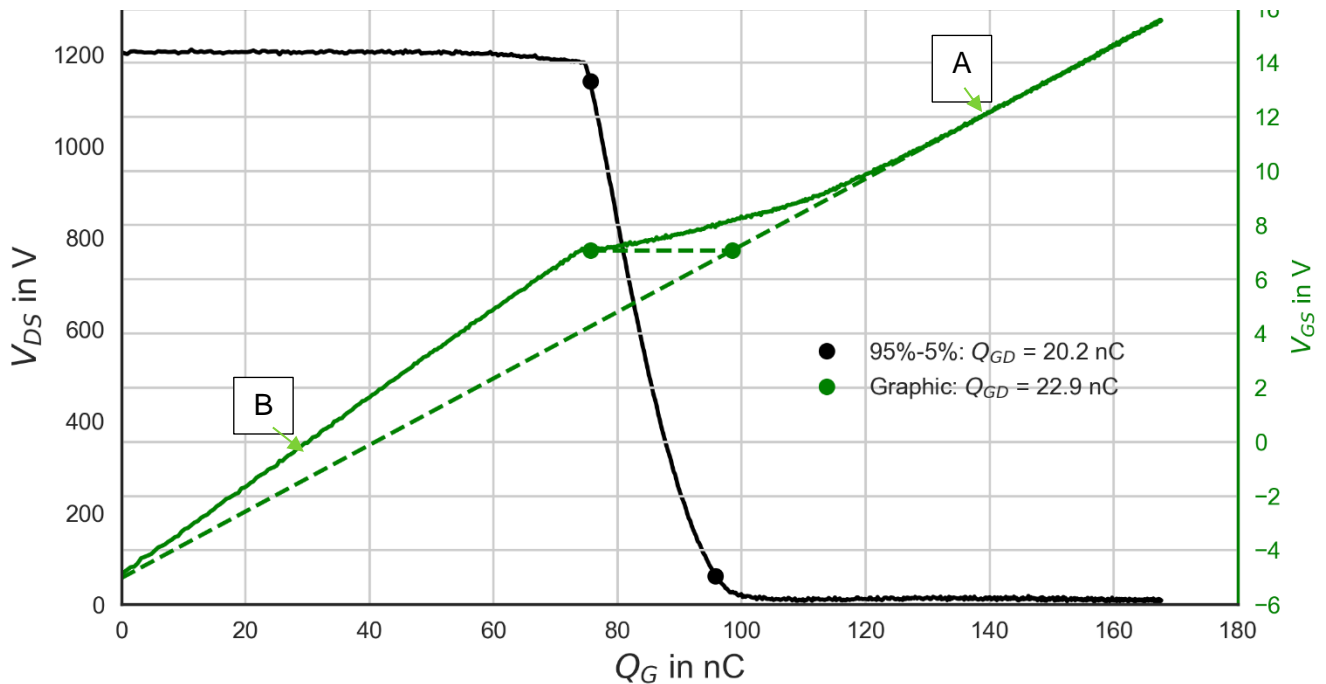


Abbildung 11: Methoden zur Bestimmung des Miller-Plateaus

Eine weitere Möglichkeit um Q_{gd} zu bestimmen ist die rechnerische Methode. Hierzu wird die V_{ds} Kurve aus der Gate-Lademessung benötigt (schwarze Kurve in Abbildung 11). In der Phase in der Q_{gd} umgeladen wird, ändert sich auf die Drain-Source Spannung am MOSFET. Innerhalb der Grenzen $V_{dc} - 5\%$ und $V_{DS,on} + 5\%$ kann nun die Q_{gd} Ladung wie folgt berechnet werden:

$$Q_{GD} = \int_{V_{DS,on}}^{V_{DC}} C_{GD} dV$$

Für den hier gezeigten 2.3 kV MOSFET aus der ersten Lernschleife kann man nun folgende Schlüsse ziehen. Der SiC MOSFET weist eine geringe Gate-Ladung von 167 nC auf. Dies ist vorteilhaft für die Gatetreiberauslegung, da so weniger leistungsstarke Treiberendstufen verwendet werden können bzw. mehrere Module durch einen Treiber versorgt werden können. Des Weiteren kann man die Ladung bestimmen, welche nötig ist, um die $V_{gs,th}$ Spannung zu erreichen. In unserem Fall beträgt diese 43 nC bei diesen ersten Mustern. Das Verhältnis aus Q_{gd} (22 nC) und $Q_{gs,th}$ ist ein guter Indikator, um zu sehen, wie gut das Bauteil sich gegen parasitäres Einschalten verhält. Diesen Effekt möchte man möglichst vermeiden. Bei einem Verhältnis < 1 spricht man von einer guten Robustheit gegen parasitäres Einschalten, was auch im Fall dieser Muster vom 2.3kV SiC-MOSFET mit $\sim 0,5$ gegeben ist.

Im Fokus der nachfolgenden Untersuchungen lag die Minimierung der Verluste in den SiC-MOSFET Chips, um die Leistungsfähigkeit der Module weiter zu optimieren. Dabei spielt vor allem die Reduzierung der Verluste in der Driftzonen-Schicht, wie in Abbildung 12 dargestellt, eine entscheidende Rolle. Diese Schicht wird mithilfe der Epitaxie-Technologie erzeugt, welche eine präzise Kontrolle der

Schichtdicke, Reinheit und Kristallqualität ermöglichen. Die Epitaxie-Dotierung hat dabei wesentliche Auswirkungen auf den Durchlasswiderstand des Bauelements.

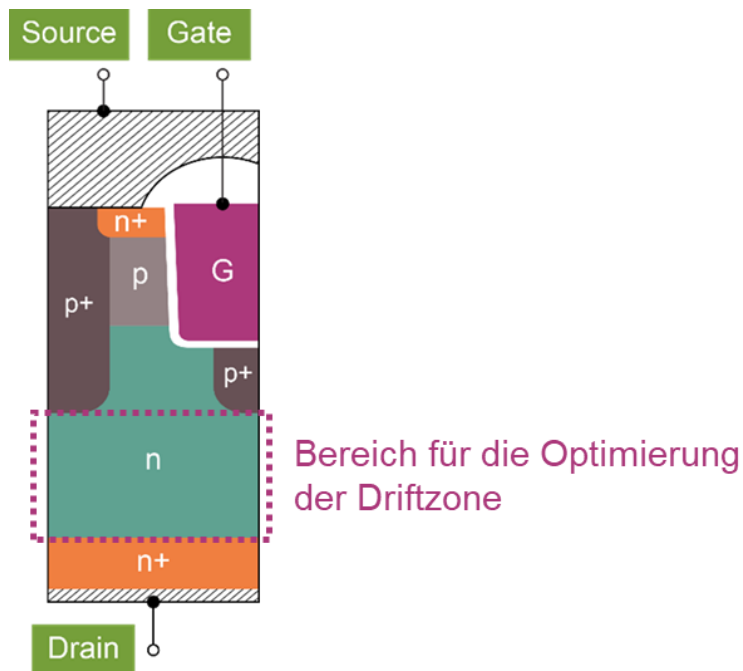


Abbildung 12: Die Optimierung der Driftzonen-Schicht erlaubt die Reduzierung der Verluste

Ausgangspunkt waren systematische TCAD-Simulationen, um mögliche Ansätze zur Reduzierung der Verluste in der Driftzonen-Schicht zu finden, ohne die Zuverlässigkeit des SiC MOSFETs zu beeinträchtigen. Auf Basis dieser Erkenntnisse wurden in der Fertigung gezielt Variationen der Dicke der Epitaxie-Schicht und der Dotierung durchgeführt. Dabei wurden optimale Einstellungen für diese Parameter ermittelt, die sich im Hinblick auf eine zukünftige Volumenfertigung als vielversprechend zeigen. Mithilfe dieses optimierten Epitaxie-Verfahrens wurden erste Chipmuster der SiC-MOSFETs hergestellt. Ein wichtiger Designpunkt war dabei der Widerstand der Driftschicht. Dieser kann gezielt durch die Anpassung der Dicke und Dotierung der Epitaxieschicht beeinflusst werden. Dabei spielt die Epitaxieschicht-Dicke und die Art der Dotierung eine entscheidende Rolle für das Sperrverhalten des Bauelements. Insbesondere das elektrische Feld an der Oxidecke wird durch diese Parameter beeinflusst, was die Gesamtfunktionalität des Bauelements maßgeblich beeinflussen kann (siehe Abbildung 12). Abbildung 13 zeigt das Ergebnis von verschiedenen Auslenkungen im Experiment auf die Parameter Durchbruchsspannung V_{Br} und Durchlasswiderstand $R_{DS,on}$. Man erkennt gegenläufige Trends der Dotierung und der Dicke.

Vergleicht man die Temperaturabhängigkeiten der einzelnen Anteile der Widerstände (Kanal-, JFET-, Epi-Schichtwiderstand) dominiert der Einfluss des Epi-Schicht-Widerstands. Der Widerstand erhöht sich um einen Faktor 2 mit der Temperatur (Abbildung 13 rechts).

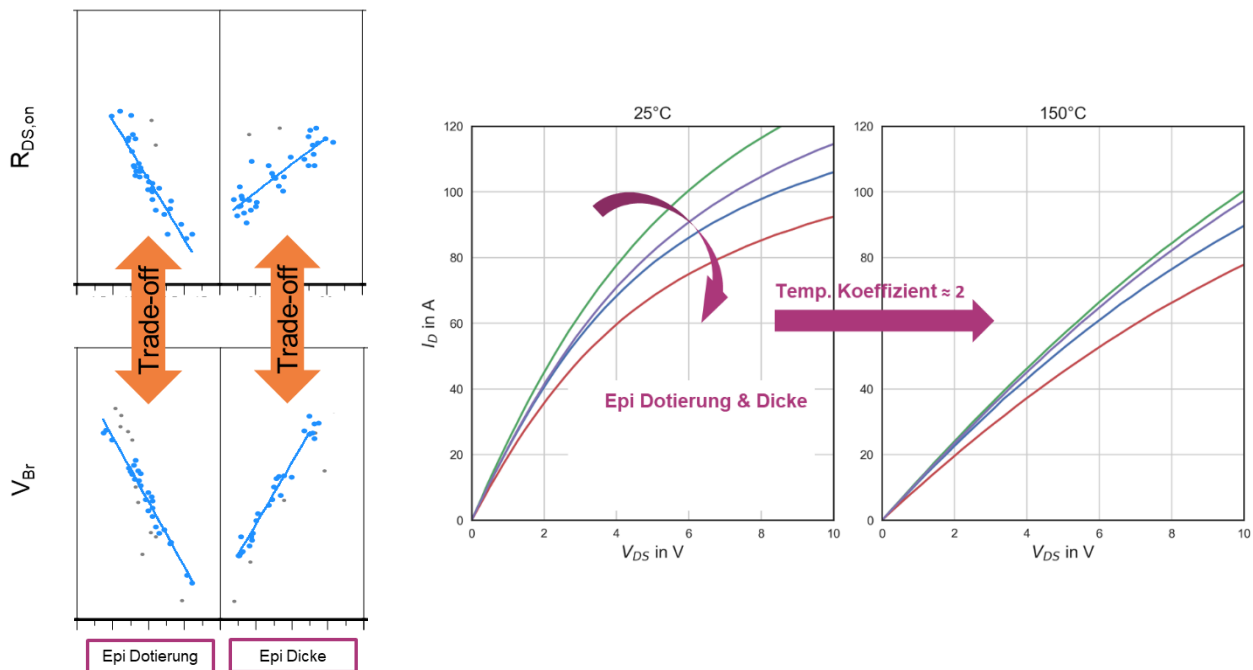


Abbildung 13: Abhängigkeit der Epitaxie (kurz Epi) -Dicke und -Dotierung auf die Durchbruchspannung V_{Br} und den Durchlasswiderstand $R_{DS,on}$ (links), Temperaturabhängigkeit des Ausgangskennlinienfeldes (rechts)

Ein weiterer wichtiger Aspekt ist die Robustheit gegenüber kosmischer Strahlung. Die elektronischen Bauelemente können in verschiedenen Umgebungen eingesetzt werden, in denen sie Strahlung ausgesetzt sein können. Dabei spielt die Aufstellhöhe, respektive die Entfernung zur Erdatmosphäre, eine wichtige Rolle. Im Wesentlichen die Driftschicht, aber auch die Randkonstruktion, müssen geeignet sein, solchen Strahlungseinflüssen über den gesamten Lebenszyklus standzuhalten, um eine zuverlässige und störungsfreie Funktion des Bauelements zu gewährleisten.

Die gezielte Anpassung der Dicke und der Dotierung der Epitaxieschicht bietet die Möglichkeit, die elektrischen Eigenschaften des Bauelements genau auf die spezifischen Anforderungen der LHUVkraft-Anwendung abzustimmen. Dadurch kann die Leistungsfähigkeit des Bauelements optimiert und seine Effizienz gesteigert werden.

Eine weitere Designpunkt-Optimierung war die gezielte Einstellung der p^+ -Dotierung (siehe Abbildung 12). Dadurch kann zum einen der Widerstand eines JFETs (Junction Field-Effect Transistor) in gewissen Grenzen angepasst werden. Zum anderen muss diese Dotierung so gewählt werden, dass die Gate-Oxidschicht im Sperrzustand hinreichend geschützt ist. Besonders an den Ecken der Strukturen treten hier hohe elektrische Felder auf, die ohne die entsprechende p -Dotierung zu Schäden an der Gate-Oxidschicht führen könnten.

Die p^+ -Dotierung spielt somit eine entscheidende Rolle bei der Verhinderung von potenziellen Problemen, die durch hohe elektrische Felder verursacht werden könnten, insbesondere wenn der JFET im Sperrzustand betrieben wird. Durch das kontrollierte Hinzufügen von positiv geladenen

Fremdatomen kann die p-Dotierung der Halbleiterschicht beeinflusst und somit die elektrischen Eigenschaften des JFETs gesteuert werden.

Durch diese Möglichkeit den Widerstand des JFETs durch die p-Dotierung zu optimieren, können elektronische Schaltungen und Anwendungen an spezifische Anforderungen angepasst werden. Eine bessere Kontrolle über den Stromfluss und die Leistungsfähigkeit des JFETs wird ermöglicht, was insbesondere für das Anwendungsgebiet der Windenergieanlagen relevant ist.

Kurzschlussfestigkeit

Da die SiC-MOSFETs in der Wind-Anwendung als aktive Schaltkomponenten eingesetzt werden, ist es wichtig, dass sie auch bei unerwarteten Stromspitzen oder Kurzschlüssen ihre Funktionalität bewahren. Ein Kurzschluss tritt auf, wenn der Strom direkt von der Stromquelle zur Masse fließt, ohne dass er durch die vollständige Schaltung fließt. Infolgedessen kann ein großer Stromfluss durch den MOSFET entstehen, der zu einer Überhitzung oder sogar zur Zerstörung der Schaltkomponente führen kann. Um einen sicheren Betrieb der Schaltung zu gewährleisten, müssen MOSFETs so ausgelegt sein, dass sie in der Lage sind, einen hohen Stromfluss durchzulassen und dabei zuverlässig zu funktionieren. Ein MOSFET, der in der Lage ist, einen Kurzschluss zu überstehen, muss robust sein und über eine ausreichende thermische Belastbarkeit verfügen, um den hohen Stromfluss zu verkraften. Darüber hinaus muss er auch über eine schnelle Schaltgeschwindigkeit verfügen, um den Stromfluss schnell zu unterbrechen und somit Schäden an der Schaltung zu vermeiden. Insgesamt ist es daher entscheidend, dass die SiC MOSFETs so ausgelegt werden, dass sie in der Lage sind, einen Kurzschluss zu überstehen, um einen sicheren und zuverlässigen Betrieb der Schaltung zu gewährleisten.

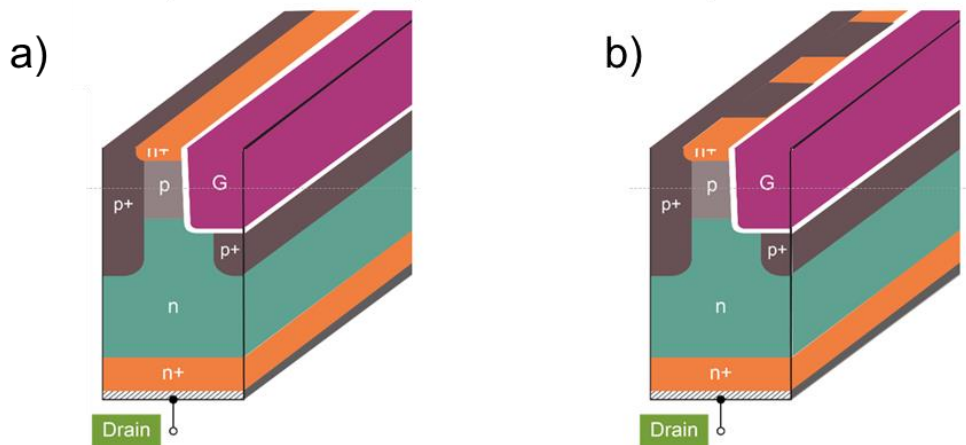


Abbildung 14: Schematische Darstellung zur Reduktion der Kanalweite:

a) Kanal mit voller Weite (100%); b) strukturierter Kanal mit reduzierter Weite

Um die Performance des MOSFETs nicht zu beeinträchtigen, ist es dabei wichtig, sicherzustellen, dass die Einstellung der Kurzschlussrobustheit keine oder möglichst geringe negativen Auswirkungen hat. Es muss darauf geachtet werden, dass die Optimierung der Kurzschlussrobustheit nicht zu Lasten anderer wichtiger Parameter wie der Schaltgeschwindigkeit oder der maximalen Strombelastbarkeit

geht. Das bedeutet, dass eine ausgewogene Optimierung der verschiedenen MOSFET-Parameter notwendig ist, um eine optimale Gesamtleistung zu erreichen. Kurzschlussrobustheit sollte also als Teil eines umfassenden Designprozesses betrachtet werden, um die bestmögliche Performance des MOSFETs zu gewährleisten. Daher wird die Kurzschlussrobustheit über die Einstellung des Sättigungsstroms gewährleistet, allerdings ist darauf zu achten, dass der Einschaltwiderstand $R_{DS,on}$ (Widerstandswert zwischen Drain und Source) direkt proportional sinkt.

Die Einstellung des Sättigungsstroms wurde über eine Veränderung der Kanalweite realisiert. Dafür wurden die sonst üblicherweise durchgehenden n+ Gebiete soweit strukturiert bis die nötige Kurzschlussrobustheit erzielt werden kann (siehe Abbildung 14). Aus den dazu durchgeführten Experimenten wurde eine Chip-Zielvariante V2.0 mit reduzierter Kanalweite ausgewählt, mit denen die Modulmuster V4.0 (siehe unten) zum Erreichen des Meilenstein 3 „Erstes Funktionsmuster des SiC Leistungsmoduls (Evolutionstufe β) bereit für Stack-Integration“ aufgebaut wurden.

Prozessverbesserungen bei der SiC-MOSFET-Chiptechnologie

Bei SiC-MOSFETS ist der Einschaltwiderstand $R_{DS,on}$ eine wichtige Kennzahl, die sich auf die Leistung des Bauelements und damit auf die Effizienz sowohl bei hart- als auch bei weichschaltenden Topologien auswirkt. Der Gesamtwiderstand im eingeschalteten Zustand lässt sich u.a. durch die Optimierung des ohmschen Kontakts zwischen Metall und Halbleiter erheblich verbessern. Typischerweise wird dazu ein Übergangsmetall auf dem Halbleiter abgeschieden, um den ohmschen Kontakt zum SiC herzustellen. Dabei nehmen jedoch eine Vielzahl von Parametern des Abscheidungsprozesses und nachfolgenden Temper-Schritten (Ofenprozess) wesentlichen Einfluss auf den effektiven Widerstand der abgeschiedenen Schicht.

Im Rahmen der verschiedenen Forschungsarbeiten auf Einzelprozessebene im Projekt konnte der Kontaktwiderstand durch Anpassung der Dicke und der Reihenfolge von Temperprozessen erfolgreich optimiert werden. Wie in Abbildung 15 gezeigt konnte damit der $R_{DS,on}$ von geometrisch prinzipiell gleichen Bauteilen, durch das verbesserte Metallisierungsschema um bis zu 10% reduziert werden.

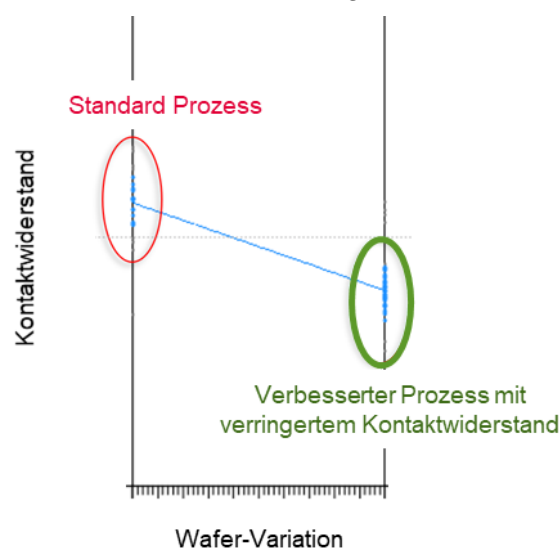


Abbildung 15: Optimierung des ohmschen Kontakts zwischen Metall und Halbleiter

Der Kern des erforschten Verfahrens zielte darauf ab, eine metallische Phase zu erhalten, die im Idealfall eine günstige strukturelle Anpassung an der Metall-Halbleiter-Grenzfläche schafft. Diese Technik wurde auf der Vorderseite des Bauelements angewandt; ein ähnliches vorteilhaftes Verhalten zeigt sich jedoch auch auf der Rückseite des vertikalen MOSFET-Bauelements. Dieses positive Ergebnis steigert eindeutig die Effizienz der SiC MOSFETs und trägt damit erheblich zu den geringeren Verlusten in der Wind-Anwendung bei.

Im Rahmen der Erforschung einer Technologie ist die Sicherstellung der Performance und Leistung von Halbleiterbauelementen von entscheidender Bedeutung. Ein kritischer Aspekt dieser Arbeiten ist das Testen des Prozessfensters für ausgewählte Parameter. Das Prozessfenster-Testen umfasst die Verifizierung des akzeptablen Bereichs von Prozessparametern wie Dotierungen, Temperaturen Schichtdicken und vielen weiteren Größen, die einen kritischen Einfluss auf das Ergebnis des Fertigungsprozesses nehmen. Es beruht auf der Analyse einer Vielzahl von ausgelenkten Wafern. Dieses Testen ist entscheidend für die Identifizierung der optimalen Prozessbedingungen, die zu hochwertigen Chips mit minimalen Schwankungen führen. Diese bilden die Basis für spätere Entwicklungsaktivitäten zu Ausbeuteoptimierung, Performance-, Kosten- und Prozesskontrolle. Im Rahmen von LHUVkraft wurden verschiedene Technologieparameter variiert um sicherzustellen, dass die oben genannten Bereiche innerhalb ihrer Anforderungen und Zielwerte bleiben. In Abbildung 16 ist beispielsweise die Abhängigkeit des Durchlasswiderstandes $R_{DS,on}$ von verschiedenen Parametern aufgetragen, welche jeweils so ausgelegt wurden, dass sie an den zu erwartenden Rand der Prozessvariation ausgelenkt wurden. Die Schwankung innerhalb des Prozessfensters ist auch bei der Auslenkung noch innerhalb des maximal spezifizierten Wertes.

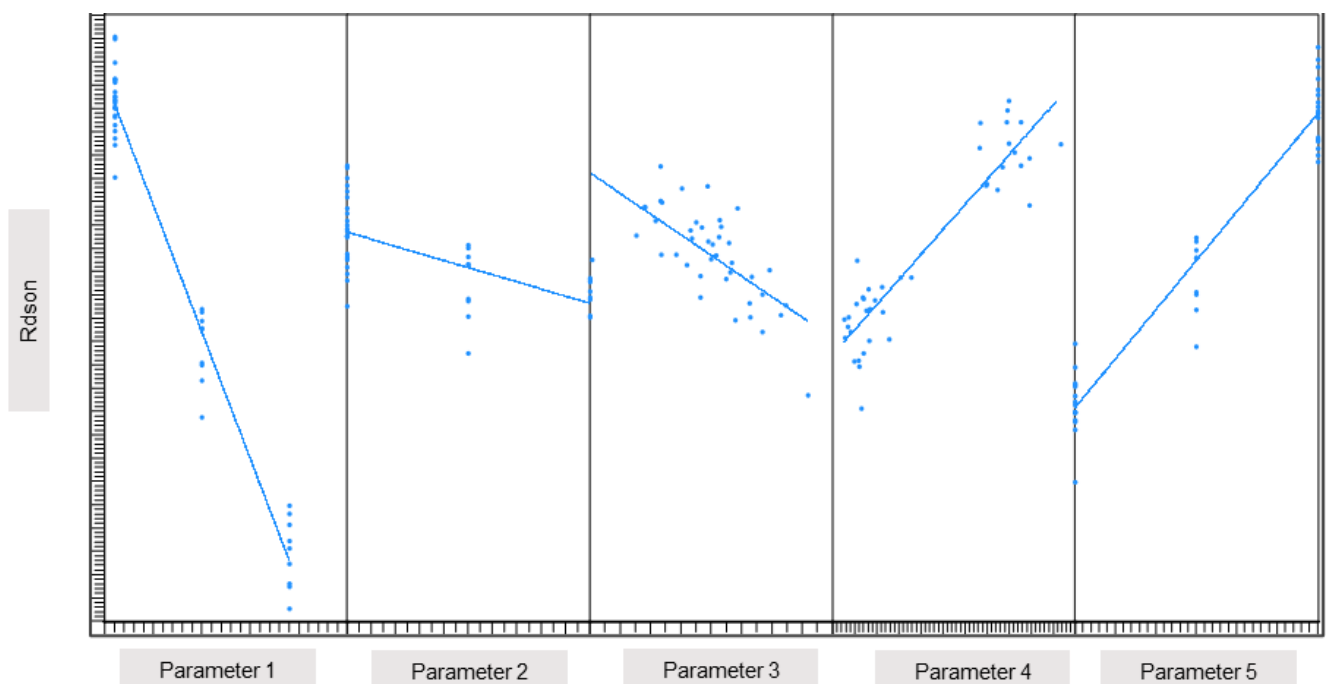


Abbildung 16: Abhängigkeit des Durchlasswiderstandes $R_{DS,on}$ von verschiedenen Prozessparametern

Auf Basis der Ergebnisse konnten erfolgreich Chips ausgewählt werden, mit denen die Module für den geplanten SiC Demonstrator im Projekt aufgebaut wurden. Die Schwankungen zwischen den Modulen waren dadurch hinreichend gering, um sicheres paralleles Schalten im Stack zu ermöglichen.

Aufbau- und Verbindungstechnik für extrem lastwechselfeste SiC-MOSFET High Power Module

Die Zielanwendung Windenergieanlage stellt höchste Anforderungen an die Zuverlässigkeit der Aufbau- und Verbindungstechnik. Abbildung 17 zeigt einen Querschnitt durch den vertikalen Aufbau des Moduls. Für die Montage des Chips auf dem Substrat waren die aktuellen Zielprozesse Sintern und Kupferdrahtbonden. Das Substrat selber sollte mit hochzuverlässiger Lötsschicht auf der Bodenplatte aufgebracht werden.

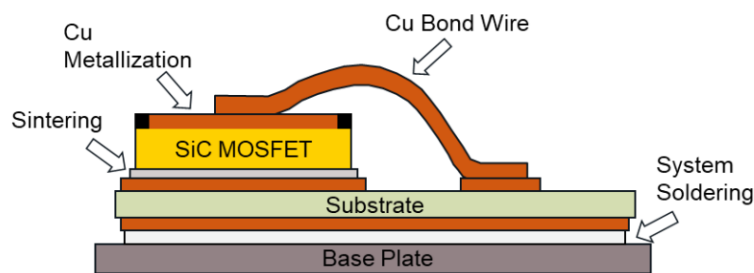


Abbildung 17: Vertikale Konzeptzeichnung der Aufbau- und Verbindungstechnik

Auf diesen Annahmen erfolgten zunächst erste thermische Simulationen, um verschiedene Materialsysteme und mechanische Konstruktionen hinsichtlich ihres thermischen Widerstands $R_{th,jc} = \frac{T_{vj} - T_c}{P_v}$ vergleichen zu können. Zielstellung hierbei war es, den $R_{th,jc}$ um ca. 15 % zu minimieren, um die in AP 1 abgestimmte Ausgangsleistung der Zielapplikation zu erreichen.

In der Berechnung wurde die maximal mögliche Verlustleistung P_v bestimmt, bei einer vorgegebenen maximalen virtuellen Chiptemperatur $T_{vj} = 175 \text{ }^\circ\text{C}$ sowie einer definierten Bodenplattentemperatur $T_c = 45 \text{ }^\circ\text{C}$. Von diesen Daten wurde der thermische Widerstand $R_{th,jc}$ abgeleitet.

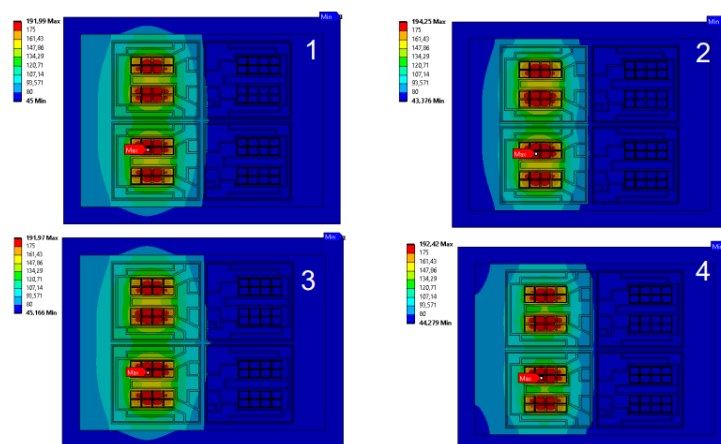


Abbildung 18: Beispiele für verschiedene Aufbauvarianten in der thermischen Simulation

Abbildung 18 zeigt exemplarisch verschiedene Aufbauvarianten in der thermischen Simulation. Modell 4 ist eine aus Vorarbeiten bekannte Referenz. Modell 2 zeigt eine Optimierung der mechanischen Konstruktion, Modell 3 setzt auf ein optimiertes Materialsystem. Bei Modell 1 sind die Lösungsansätze von 2 und 3 kombiniert.

Farblich kodierte ist die Temperaturverteilung. Gut zu erkennen ist, dass die Temperaturmaxima (rot) innerhalb der Chips auftreten. Aus der Temperaturverteilung innerhalb der Chips wird über eine gewichtete Mittelwertbildung die virtuelle Chiptemperatur T_{vj} berechnet.

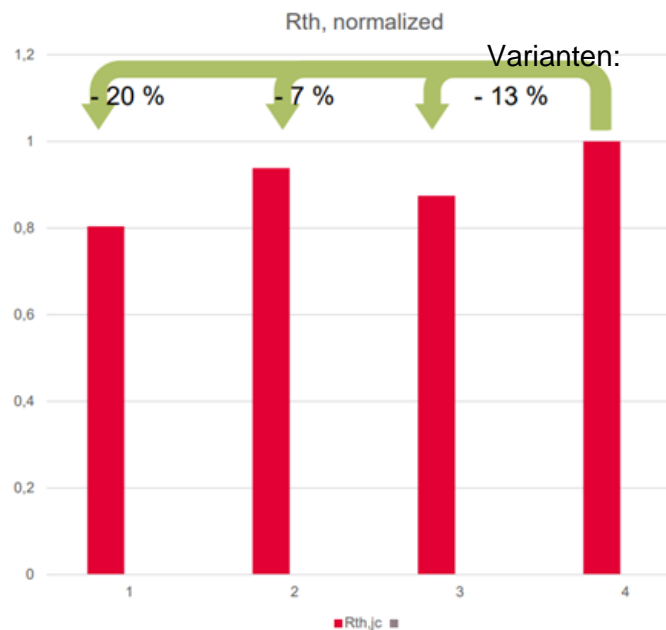


Abbildung 19: Vergleich der thermischen Widerstände zwischen den verschiedenen Aufbauvarianten

Abbildung 19 stellt die normierten $R_{th,jc}$ der verschiedenen Variantenmodelle gegenüber. Für die Normierung wurde das Modell 4 als Referenz verwendet. Man erkennt, dass sich der thermische Widerstand bereits durch eine Optimierung des mechanischen Aufbaus (Modell 2) verbessern lässt. Ebenfalls führt die Nutzung neuer Materialien zu einer Reduktion des thermischen Widerstands (Variante 3). Jedoch sind beide Optimierungsmaßnahmen alleine nicht hinreichend, um die benötigte Reduktion gegenüber des Referenzsystems zu erreichen. Erst durch die Kombination beider Maßnahmen konnte die Anforderung aus AP 1 erfüllt werden (Modell 1).

Im nächsten Schritt wurde die Kompatibilität der simulierten Lösungen hinsichtlich der bereits bestehenden Fertigungslandschaft und in Bezug auf das thermo-mechanische Verhalten während des Lötprozesses untersucht.

Nach dem erfolgreichen Aufbau von ersten mechanischen Mustern wurden dann erste elektrische Funktionsmuster des gesamten Moduls aufgebaut. An diesen wurde der thermische Widerstand vermessen und mit den thermischen Simulationen abgeglichen. Abbildung 20 stellt die Ergebnisse gegenüber. In der Simulation wurde eine Verbesserung des thermischen Widerstands zwischen Chip („Junction“) und Unterseite des Moduls („Case“) von 37.5 % gegenüber der Referenz vorhergesagt. Die Messungen ergaben eine Reduktion von 34 %. Die Abweichung zwischen Simulation und Messungen

liegen innerhalb der erwarteten Toleranz. Insgesamt bestätigen die Messungen, dass durch die Einführung eines neuen Materialsystems sowie einer Optimierung des mechanischen Aufbaus der R_{th} signifikant reduziert werden kann. Das Ziel einer Reduktion des R_{th} von 15 % wurde im Experiment sogar übererfüllt.

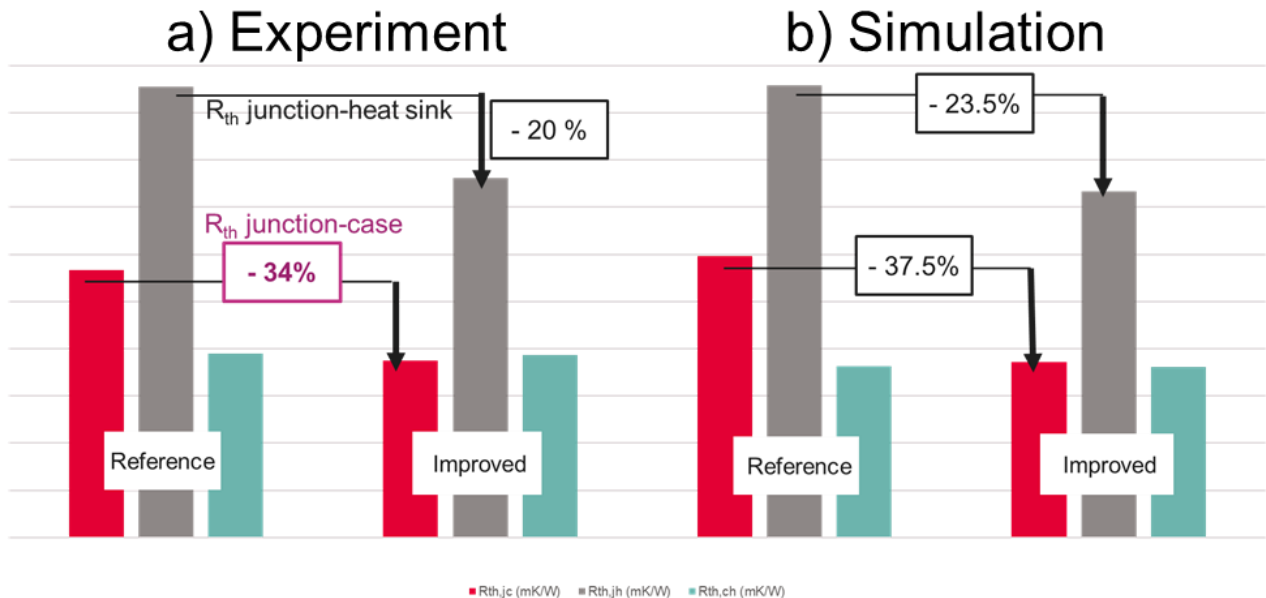


Abbildung 20: Vergleich des thermischen Widerstands R_{th} zwischen dem Referenzaufbau und einem thermisch optimierten („Improved“) Aufbau; Darstellung von a) Messergebnissen und b) Simulationsergebnissen

Die Konstruktion der Module wurde basierend auf den angestrebten Leistungsdaten, der dafür notwendigen MOSFET-Fläche, der notwendigen Fläche für die Verbindungstechnik und der geforderten Stromtragfähigkeit ausgelegt. Die verwendeten Materialien und das Design mussten dabei auf der einen Seite die thermischen Eigenschaften (Substrate, Bodenplatte), die Isolationseigenschaften (Gehäuse, Verguss, Substrate) und die Zuverlässigkeit (Verbindungstechnik) ermöglichen als auch auf der anderen Seite alle gesetzlichen und industriennormativen Vorgaben z.B. für Luft- und Kriechstrecken erfüllen.

Es wurden Designvarianten mit 3D Modellen entworfen und über Simulationen die Chippositionen und das Layout in Iterationsschleifen optimiert. Die Einhaltung aller Normen und Standards wurde geprüft. Basierend auf dem 3D Modell wurden die Zulieferspezifikation inklusive der Toleranzen für den inneren und äußeren Aufbau erstellt. Die Maßhaltigkeit wurde an den gelieferten Bauteilen der Prototypen geprüft. So wurde die Basis für den Musterbau von Leistungsmodulen gelegt.



Musterbau des SiC-MOSFET Moduls

Im Verlauf des Projektes wurden Testmodule in verschiedenen Versionen unter Umsetzung der aktuellen erarbeiteten Konstruktions- und Technologieelemente und somit unterschiedlichem Reifegrad aufgebaut. Die Tabelle 1 oben zeigt eine Übersicht über die wesentlichen Varianten.

Im Folgenden sind hier die wesentlichen Unterschiede der verwendeten Versionen aufgeführt:

- **Modulmuster V1.0:**
 - Die erste Version der Module, die im Projekt für Untersuchungen zur Verfügung standen wurden im Labor aufgebaut und enthielten eine grundsätzlich geeignete Aufbau- und Verbindungstechnik, die für erste Tests ausreichte, allerdings nicht den angestrebten Lebensduranforderungen entsprachen. Es wurden die ersten funktionsfähigen Prototypen des SiC-MOSFET verwendet.
- **Modulmuster V2.0**
 - Der grundsätzliche Modulaufbau dieser Muster war derselbe wie in der Version 1.0. Allerdings wurden erste Layout-Verbesserungen im Modulinneren zur Positionierung und Kontaktierung der MOSFETs umgesetzt und die gesamte Prozesskette mit Fertigungsequipment durchgeführt. Dadurch konnten auch Schwächen der Schweißverbindungen von Last- und Steuerstromkontakten abgestellt werden, die bei einigen Modulen der Version 1.0 noch zu Ausfällen geführt hatten.
 - Die verwendeten SiC-MOSFETs waren in Bezug auf das Schaltverhalten optimiert.
- **Modulmuster V3.0**
 - Für die dritte Generation der aufgebauten Muster wurde eine deutliche Verbesserung der thermischen Eigenschaften durch die Verwendung einer Keramik mit besserer Wärmeleitung erzielt. Dazu musste ein geeignetes Material gefunden werden, dass zusätzlich die Anforderung an die Isolationsfestigkeit erfüllt. Darüber hinaus musste die Geometrie an die veränderte Kombination der thermischen Ausdehnungskoeffizienten angepasst werden und die Materialverbindungen optimiert werden, so dass die Lebensdauer bei thermo-mechanischer Belastung gewährleistet wird.
- **Modulmuster V4.0**
 - In diesen Mustern wurden weiter verbesserte SiC-MOSFETs verwendet, die hinsichtlich des Schaltverhaltens, der Kurzschlussrobustheit und der Performance weiter optimiert wurden. Die angestrebten elektrischen Zieleigenschaften des Moduls konnten hier erreicht werden. Mit diesem Forschungsstand V4.0 wurde der Meilenstein 3 „Erstes Funktionsmuster des SiC Leistungsmoduls (Evolutionsstufe β) bereit für Stack-Integration“ abgeschlossen und die notwendige Anzahl von Mustern für den Projektpartner IBH aufgebaut. Auf diesem Stand wurde auch die Bewertung der Zuverlässigkeit des Aufbaus für die angestrebte Lebensdauer und Lastbedingungen untersucht. Dafür war der Aufbau weiterer Module notwendig.

Messaufbauten für elektrische und thermische Charakterisierung und Tests von SiC High Power Modulen

Vorbereitend und begleitend zu den Arbeiten am Modul wurden verschiedene Anpassungen der vorhandenen Testständen an die speziellen Musteraufbauten vorgenommen. Dazu wurden Konzepte und Aufbauten zur experimentellen Vermessung der verschiedenen Teststrukturen und Modulkonzepten (elektrisch und thermisch) erarbeitet. Dafür war es u.a. notwendig geeignete Messsonden zur Strom-, Spannungs- und Temperaturmessung auszuwählen und in den Messaufbauten zu platzieren. Es galt, die Programmierung des Messequipments anzupassen. Die Herausforderungen lagen dabei in der Realisierung und sicheren Beherrschung der hohen Ströme. Nach erfolgreicher Umgestaltung der Teststände wurden iterativ die verschiedenen Versionen der aufgebauten Vehikel aus dem Musterbau charakterisiert. Die Ergebnisse zeigten Verbesserungsbedarf auf, die an die Chip- und Modulexperten zurückflossen und iterativ entsprechende Modifikationen motivierten.

Den Erfolg dieser Maßnahmen zeigt beispielhaft Abbildung 21 anhand des Vergleichs von Schaltkurven der Modulkonstruktion V1.0 (blau) und V4.0 (orange).

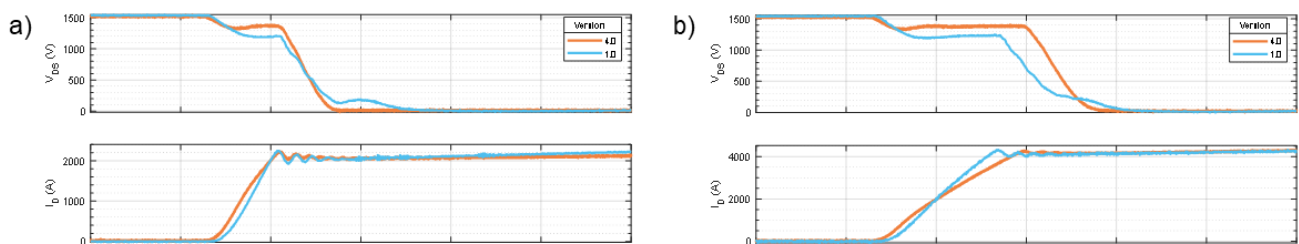


Abbildung 21: Vergleich des Einschaltverhaltens zwischen Version 1.0 (Projektbeginn) und 4.0 (Projektende)

Gezeigt ist in Abbildung 21 das Einschalten bei einer Drain-Source-Spannung (V_{DS}) von 1500V auf einen Durchlassstrom I_D von a) 2000 A bzw. b) 4000 A (was einem Überlastfall entspricht).

Man erkennt, dass die SiC typischen Oszillationen im I_D erfolgreich gedämpft werden konnten und dass die Funktionsmuster V4.0 ein sehr gutes Schaltverhalten aufweisen.

Orientierende Performance- und Zuverlässigkeitsuntersuchungen

Wie oben im Teil zu den Chip-Themen schon eingeführt, werden die Kurzschlussfestigkeit des SiC MOSFETs und der Durchlasswiderstand $R_{DS,on}$ beide im Wesentlichen durch die Kanalweite des Bauelementes definiert. Um die Kurzschlussfestigkeit zu verbessern sind kleine Kanalweiten vorteilhaft, während eine hohe Kanalweite zu einen niedrigen $R_{DS,on}$ führen (siehe Abbildung 22).

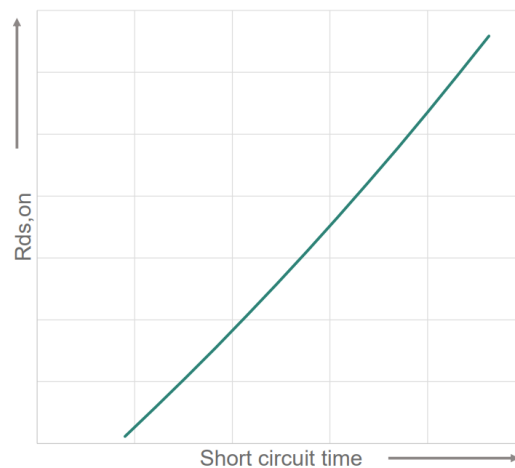


Abbildung 22: Trade-Off zwischen Durchlasswiderstand $R_{DS,on}$ und Kurzschlusszeit (Short circuit time) t_{sc}

Um hier das Optimum zwischen den beiden Parametern zu finden, wurden verschiedene Kanalweitenvarianten vom SiC Mosfet bis auf Modulebene evaluiert. Hierfür wurde die Verteilung der Kurzschlusszeit t_{sc} der einzelnen Varianten bestimmt. Bei Überschreitung dieser Zeit während eines Kurzschlusses kann es zur Schädigung oder sogar zur Zerstörung der Testobjekte kommen.

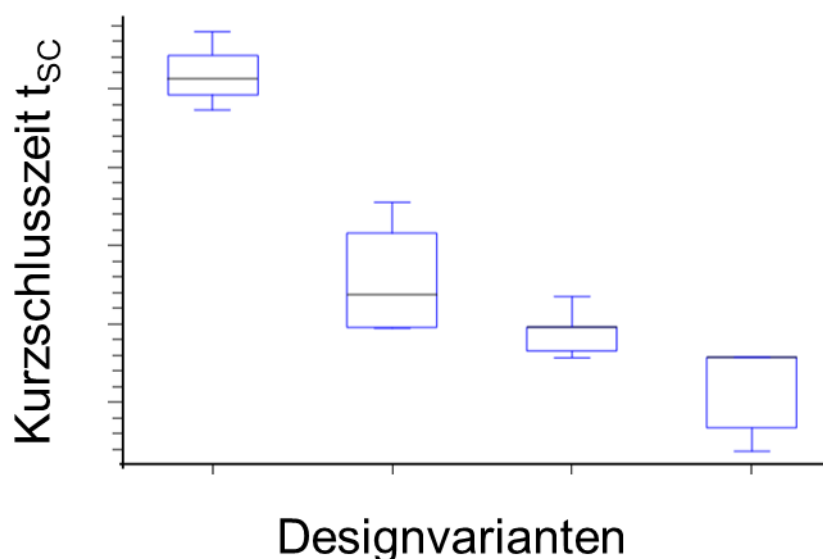


Abbildung 23: Variation der Kurzschlusszeit t_{sc} für verschiedene Chipdesign-Variationen

Für die Bewertung wurde die Verteilung der Kurzschlusszeit hinsichtlich des Mittelwertes und der Verteilungsbreite bewertet (siehe Abbildung 23). Hierfür wurde die Lage der Verteilung hinsichtlich eines im Forschungsprojektes abgestimmten Zielwertes bestimmt, der für die Auslegung der sicheren Regelung des Demonstrator-Stacks kritisch ist. Ziel hierbei ist es, dass innerhalb der zu erwartenden Prozessstreuung alle Chips eine hinreichende Kurzschlussfestigkeit erfüllen, d.h. es muss ein gewisser Abstand zum Grenzwert existieren. In Zuge der Evaluierung konnte für das Design B eine angestrebte

Kurzschlusszeit von 3 μs als Grenzwert bestätigt werden. Der Wert wird später auch als Startpunkt für die Festlegung eines Datenblattwertes dienen.

Über die Untersuchungen zur Kurzschlussfestigkeit wurden im Rahmen des Arbeitspaketes weitere Muster aufgebaut, um die Aufbau- und Verbindungstechnik des Modules hinsichtlich der Zuverlässigkeit zu evaluieren. An diesen Mustern wurden sowohl thermomechanische Wechselbelastungstests als auch Lagertests orientierend durchgeführt.

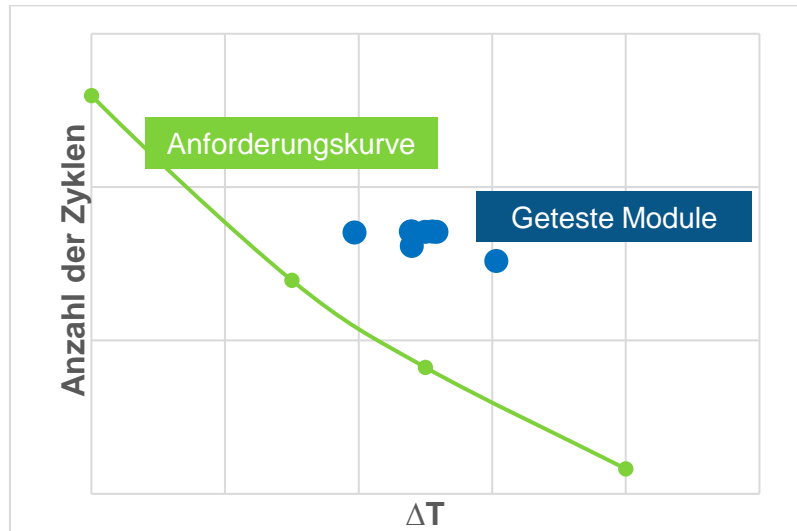


Abbildung 24: Ergebnisse eines aktiven Lastwechseltests (Anzahl der Zyklen in Abhängigkeit unterschiedlicher Temperaturerhöhung ΔT)

Für den aktiven Lastwechseltest stellt Abbildung 24 das Ergebnis in Relation zu der Anforderungskurve dar. Die Module wiesen zum Zeitpunkt der Auswertung weder elektrisch noch thermisch leistungseinschränkende Alterungseffekte aus. Im Ergebnis haben die Module zu dieser Testdauer die Anforderung schon um mehr als einen Faktor 2 übertroffen. Das ist ein sehr positives Ergebnis.

Ein weiterer Test war der Temperatur-Schocktest. Auch bei diesem konnte keine die Performance beschränkende Veränderung der Aufbau- und Verbindungstechnik nach Erreichen der notwendigen Zyklenzahl festgestellt werden. Untersuchungen mittels Ultraschallmikroskopie, wie beispielhaft in Abbildung 25 gezeigt, zeigten keine Auffälligkeiten.

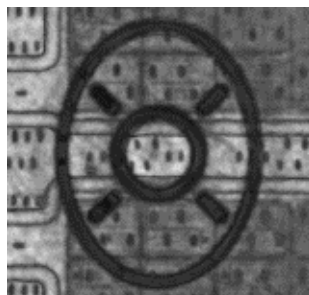


Abbildung 25: Modul nach Temperatur-Schocktest im Ultraschallmikroskop

Die Ergebnisse belegen eindrucksvoll, dass eine Kurzschlussfestigkeit in Kombination mit einer Aufbau- und Verbindungstechnik mit hoher Lastwechselfestigkeit gefunden wurde, die die hohen Anforderungen für Wind-Anwendungen erfüllt.

Konzeptfindung zur Integration von Schutzfunktionen auf Chip- und Modulebene für SiC-MOSFET High-Power-Module

Schutz des SiC-MOSFET vor negativer Gate-Source Spannung durch integrierte GS-Diode

Zum Schutz des Gates vor negativer Überspannung wurde ein Konzept entwickelt, das auf einer integrierten SiC-Bipolardiode basiert (siehe Abbildung 26a). Besonderer Wert wurde auf eine kostenneutrale Lösung gelegt, indem weder zusätzliche Prozessschritte noch zusätzliche Chip-Fläche benötigt werden. So besteht die Diode aus einer Kombination vorhandener p- und n-Implantationen mit den entsprechenden Kontaktbereichen. Sie ist im Spalt zwischen Gate- und Source-Metallfläche am Umfang des Gate-Pads angeordnet, so dass kein zusätzlicher Platz benötigt wird und die aktive Fläche des MOSFETs nicht geschmälert wird.

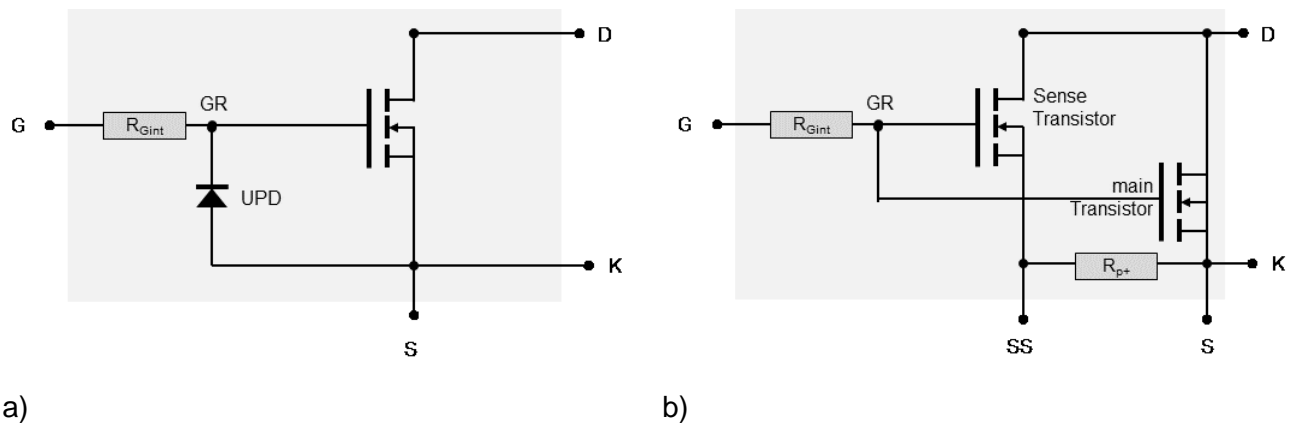


Abbildung 26: Ersatzschaltbilder für a) G-S-Schutzdiode und b) Transistor mit Stromsensor

Die Spannungs- und Stromprofile im Gate-Kreis wurden grob abgeschätzt. Die mittlere Verlustleistung der Schutzdiode auf 300 mW geschätzt, was für die vorkommenden Unterschwinger völlig ausreichen sollte. Die Größe der Diode wurde so ausgelegt, dass bei dieser Durchschnittsleistung kein thermisches Weglaufen droht. Der Schutz vor Gate-Überspannung soll folgendermaßen funktionieren: bei negativer Gate-Source-Spannung V_{GS} wird diese Diode bei kleinen negativen Werten von V_{GS} leitend. Die Diode ist so ausgelegt, dass sie die Gate-Spannung entsprechend ihrer parabolischen Strom-Spannungs-Kennlinie auf -10 V begrenzt. Bei positiver Gate-Spannung soll sie für den gesamten erlaubten Gate-Spannungsbereich sperrfähig, d.h. stromlos und unauffällig sein. Bei Überspannung reagiert sie mit einem steilen Stromanstieg und begrenzt so die Spannung. Fehlerfälle konnten in der Designphase nicht adäquat betrachtet werden und wurden auf experimentelle Untersuchungen an erster Hardware an diskreten Bauteilen bei Uni Rostock projiziert.

SiC-MOSFET Modul mit hoher Kurzschlussrobustheit

In einem provisorischen Aufbau wurde geprüft, ob ein Referenz-Chips mit Kurzschluss-Sensor, der eigentlich für 1200V ausgelegt ist, grundsätzlich auch für 2.3 kV geeignet ist (siehe Abbildung 26b). Das konnte bestätigt werden. Das Konzept ist übertragbar. Ferner wurde definiert, wie und in welcher Anzahl der Stromsensor in einem XHP™ 2-Modulgehäuse integriert werden kann. Anschlussplan und Chip-Layout wurden festgelegt.

Das Chip-Layout wurde für beide Konzepte erstellt und ein entsprechendes Maskenlayout erarbeitet. Beide Versionen wurden in einem Maskensatz vereint (Abbildung 27), der für die physikalische Umsetzung der Strukturen auf Wafern notwendig ist.

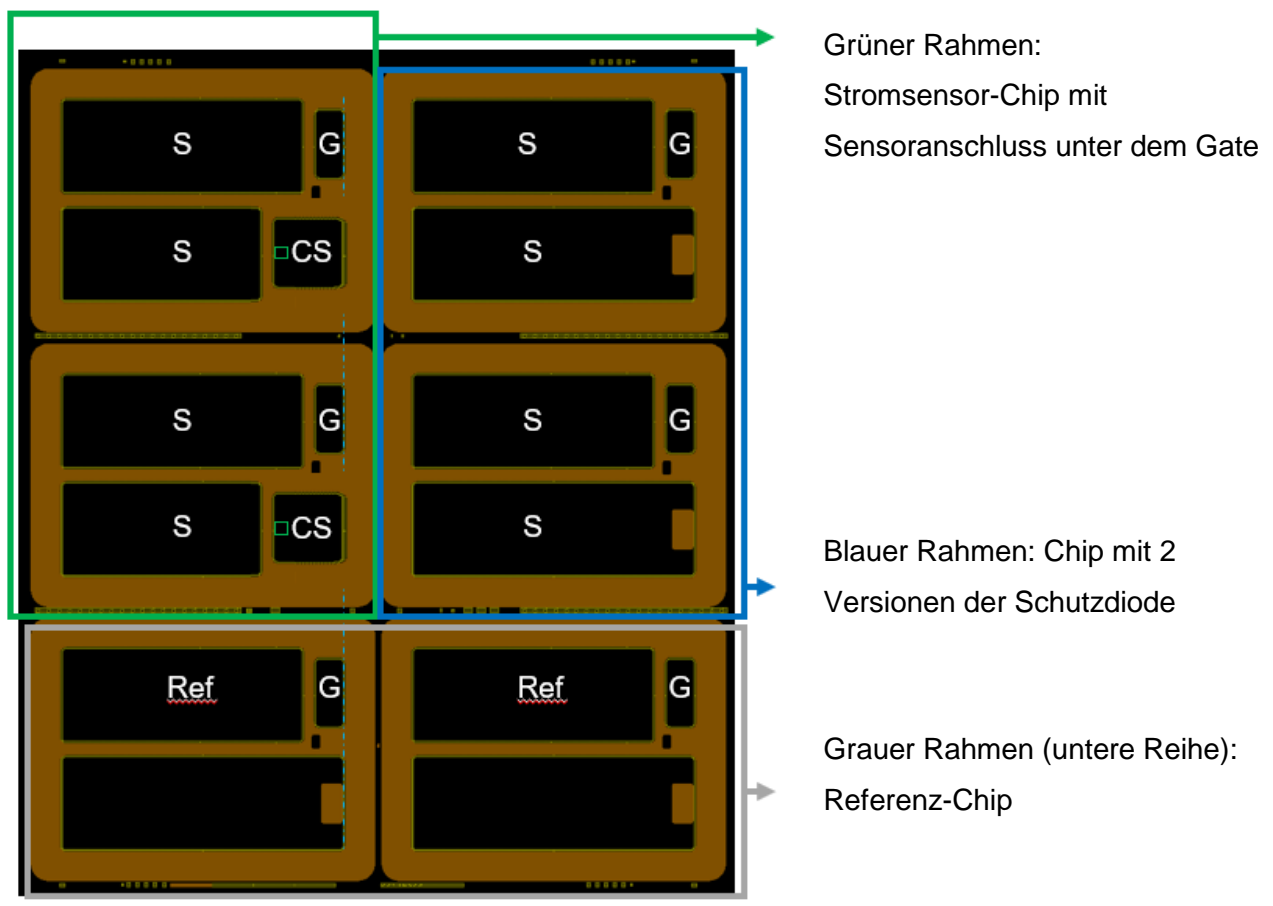


Abbildung 27: Aufbau des Maskensatz mit den verschiedenen Chip-Varianten

Nachdem die für die Fertigung der Chips benötigten Masken in der Fertigung angekommen waren, wurden damit Versuchs-Wafer gestartet. Des Weiteren wurde eine spezielle Nadelkarte bestellt, welche das Testen der Funktionsweise der Chips auf Wafer Ebene ermöglicht. Ein Prüfprogramm, um die elektrische Funktionalität der Chips testen und gewährleisten zu können, wurde definiert und getestet. Aufgrund verschiedener Verzögerungen in der Fertigung standen die Wafer mehrfach vor Fertigungsschritten mit geringem Durchsatz, wodurch der Fertigstellungstermin sich unerwartet stark verschob. Später wurde bei der Prozessierung des Wafer-Loses mit den SiC-MOSFETs mit integrierten Schutzfunktionen ein Fehler im Layout identifiziert, der die Chips elektrisch funktionsunfähig gemacht hätte. Daher musste das Wafer-Los im Sommer 2024 gestoppt werden. Die entsprechenden

Maskensätze wurden korrigiert und ausgetauscht. Nach Abschluss der Maßnahmen wurde die Prozessierung fortgesetzt. Die Fertigstellung des Loses wurde aufgrund der langen Durchlaufzeiten für solche Spezialwafer erst im letzten Projektmonat erreicht, zu spät, um in diesem Projekt noch Muster daraus aufzubauen.



Abbildung 28: Substrat eines LHUVkraft-Modules mit Stromsensor- MOSFET (siehe schwarze Pfeilspitze)

Da aufgrund der Verzögerungen im Projektverlauf absehbar wurde, dass bis zum Projektende auf diesem Forschungspfad keine Modul-Muster an den Projektpartner Universität Rostock geliefert werden können, wurde in Absprache mit dem Projektpartner ein alternatives Konzept erarbeitet. Statt eines 2300 V SiC-MOSFETs mit Stromsensor wurde in das Layout ein 1200 V SiC-MOSFET mit Stromsensor implementiert (siehe Abbildung 28). Dies sollte es ermöglichen, die prinzipielle Funktionalität von Messschaltungen der Uni Rostock zu evaluieren. Da hierfür Chips verschiedener Spannungsklassen miteinander kombiniert werden, musste hierfür der Setzprozess der Chips auf die Substrate angepasst werden. Weiterhin wurde ein angepasster Bondprozess benötigt. Diese Prozessanpassung wurden mit Hilfe von elektrisch nicht funktionsfähigen Chips durchgeführt. Die Modul-Muster wurden im Rahmen des Teilvorhabens fertiggestellt. Leider reichte die Projektlaufzeit nicht mehr aus, um noch erkenntnisbringende Untersuchungen an der Universität Rostock starten zu können. Aktuell wird geprüft inwieweit die Chips und Modulumuster in Folgeprojekten für Forschungszwecke genutzt werden können

3.3 Zusammenfassung der Zielerreichung im Teilvorhaben

Im Rahmen des Teilprojektes gelang die Erforschung eines 2,3 kV SiC MOSFET Hochleistungs-halbleitermodulmusters, das den extrem hohen Anforderungen an Lastwechselfestigkeit und Stromrobustheit unter aggressiven Lastbedingungen, wie sie für Windenergieanlagen typisch sind, gerecht wird. Es wurde ein guter Kompromiss zwischen einer ausreichenden Kurzschlussfestigkeit und einem niedrigem Durchgangswiderstand R_{dson} gefunden. Die Funktionsmuster zeigten sehr gutes Schaltverhalten und ließen sich auch über den Zielnutzungsbereich hinaus sicher steuern. Auf der Basis konnten die Projektpartner erfolgreich ihre Arbeiten im Projekt durchführen.

Bei den Konzeptstudien und Musteraufbauten zur Integration von Schutzfunktionen in ein SiC-MOSFET-Modul wurden nicht alle geplanten Ziele erreicht. Grund waren hohe Durchlaufzeiten bei der Waferfertigung und ein Designfehler in Maskenlayout. Es wird im Anschluss an das Projekt geprüft, ob die weiterführenden Untersuchungen in Folgeprojekten fortgeführt werden können.



4 Verwertbarkeit des Ergebnisses und der Erfahrungen

Innerhalb von Infineon wurde das mit den Partnern erarbeitete neue Wissen an die relevanten F&E Abteilungen weitergegeben, um über ein verbessertes Systemverständnis zukünftige Komponentenentwicklungen positiv zu beeinflussen. Die Erkenntnisse des Forschungsprojekts fließen somit in die Entwicklung neuer Halbleiter-Leistungsmodule für die Windanwendung ein. Kurzfristig wird Infineon intern geprüft, inwieweit eine Übertragung der Ergebnisse auf Leistungsmodule für andere Anwendungsbereiche, wie z.B. die Energieerzeugung und –wandlung möglich ist, mit dem Ziel, die Wettbewerbsfähigkeit von Infineon an den deutschen und europäischen Standorten, aber auch weltweit in den Bereichen Entwicklung, Fertigung und Vertrieb nachhaltig zu erhöhen.

Mit der Umsetzung von Modifikationen in der Produktentwicklung von neuen SiC Leistungsmodulen für Wind-Umrichter wurde aufgrund der positiven Projektergebnisse und hohem Interesse möglicher Kunden direkt im Anschluss an das Forschungsprojekt begonnen. Die im Projekt erforschten Technologien und Prozesse müssen dazu weiter verändert, angepasst und optimiert werden. Erste Prototypen werden zeitnah verschiedenen nationalen und internationalen Kunden zum Systemeinsatz und Test bereitgestellt, um eine optimale und nachhaltige Produktentwicklung zu realisieren.

Die F&E Arbeiten an den Einzelkomponenten und den Modulen sind zunächst an den Standorten Erlangen, München und Warstein, die Herstellung an den Standorten Warstein und Villach geplant. Je nach Auslastung, Nachfrage und Stückzahl kann die Nutzung auch auf den Rest von Europa und weltweit erweitert bzw. transferiert werden. In Einzelfällen sind dazu auch Weiterentwicklungen in Zusammenarbeit mit internationalen Standorten von Infineon vorstellbar.

Besonders erfreulich zu erwähnen ist, dass ein Doktorand der Universität Rostock, dessen Forschungsarbeiten Teil des LHUVkraft Vorhabens waren, inzwischen bei Infineon eingestellt wurde. Damit wurde in diesem Fall das Verwertungsziel der Ausbildung von Experten über die Teilnahme eines akademischen Partners und die Schaffung von Arbeitsplätzen in der Industrie ganz konkret umgesetzt. Wie auch im Kapitel 6 ausgeführt, wurde mit der Veröffentlichung und Verbreitung der Projektergebnisse in Kundengesprächen und auf Fachmessen begonnen.

Auch bei der Anschlussfähigkeit kann mit dem Projekt MoWiLife (<https://www.mowilife.eu/>) eine konkrete neue Forschungsoperationen im Bereich hochwertiger und innovativer Leistungselektronik genannt werden, welches die Chancen von SiC Leistungsmodulen in verschiedenen relevanten Anwendungen der Energiewende auf europäischer Ebene untersucht.

5 Während der Durchführung des Vorhabens dem Zuwendungsempfänger bekannt gewordenen Fortschritts auf diesem Gebiet bei anderen Stellen

Es sind während der Projektlaufzeit keine neuen Erkenntnisse von dritter Seite bekannt geworden, die für die Durchführung des Vorhabens relevant waren.

6 Erfolgte oder geplanten Veröffentlichung des Ergebnisses

Verschiedene Veröffentlichungen aus dem Gesamtverbund heraus wurden durch die Universität Rostock auf diversen Anwenderkonferenzen präsentiert (PCIM-Nürnberg, EPE / siehe dazu den Bericht zum Teilvorhaben der Universität Rostock).

Infineon-intern wurden die Ergebnisse auf verschiedenen Innovationsveranstaltungen präsentiert. Die wesentlichen Ergebnisse zu den Arbeiten an diesem Teilvorhaben werden in 2025 über die Technische Informationsbibliothek, Deutsche Forschungsberichte in Hannover veröffentlicht.

Auf dem Treffen der Leistungselektronik-Community auf der PCIM Expo 2025 in Nürnberg (16.513 Fachbesucher / insgesamt 685 Ausstellern auf einer Gesamtfläche von 41.500m²) wurde im Mai 2025 ein 2,3 kV SiC Modul erstmals öffentlich auf dem Messestand von Infineon präsentiert, um die internationale Fachwelt auf die zukünftige Verfügbarkeit aufmerksam zu machen. Die Vorstellung traf auf breites Interesse bei den Messebesuchern, auch für Anwendungen über die Windkraft hinaus.



Abbildung 29: Vorstellung des neuen LHUVkraft Moduls auf dem Infineon Messestand auf der PCIM Expo 2025 in Nürnberg

7 Liste der Abbildungen

| | |
|--|----|
| Abbildung 1: Entwicklung der Leistung von Onshore-Windenergieanlagen (www.windmonitor.de 2021) | 3 |
| Abbildung 2: Si-IGBT Module für Wind-Umrichter zum Zeitpunkt der Antragstellung im Jahr 2021..... | 6 |
| Abbildung 3: XHP™ 2 Modul – geeignete Bauform für schnell schaltende Hochvolt SiC MOSFET..... | 7 |
| Abbildung 4: Transport einer Gondel durch die Rostocker Südstadt | 11 |
| Abbildung 5: Konventioneller netzseitiger Stromrichter einer DFIG WEA..... | 11 |
| Abbildung 6: Wind-Umrichter (nur Netzseite) – Parallelschaltung von IGBT-Modulen in einem Power Stack | 12 |
| Abbildung 7: Projektstruktur und Leitung der verschiedenen Arbeitspakete..... | 13 |
| Abbildung 8: a) Einschaltwiderstand R_{dson} und Verteilung der ausgewählten Muster; b) Aufbauform der Muster | 16 |
| Abbildung 9: Verteilung der Durchbruchspannung V_{br} aus ersten Versuchen | 17 |
| Abbildung 10: Typische Einschaltmessung zur Bestimmung der Gate-Ladung..... | 18 |
| Abbildung 11: Methoden zur Bestimmung des Miller-Plateaus..... | 19 |
| Abbildung 12: Die Optimierung der Driftzonen-Schicht erlaubt die Reduzierung der Verluste..... | 20 |
| Abbildung 13: Abhängigkeit der Epitaxie (kurz Epi) -Dicke und -Dotierung auf die Durchbruchspannung V_{Br} und den Durchlasswiderstand $R_{DS,on}$ (links), Temperaturabhängigkeit des Ausgangskennlinienfeldes (rechts) | 21 |
| Abbildung 14: Schematische Darstellung zur Reduktion der Kanalweite:..... | 22 |
| Abbildung 15: Optimierung des ohmschen Kontakts zwischen Metall und Halbleiter | 23 |
| Abbildung 16: Abhängigkeit des Durchlasswiderstandes $R_{DS,on}$ von verschiedenen Prozessparametern | 24 |
| Abbildung 17: Vertikale Konzeptzeichnung der Aufbau- und Verbindungstechnik | 25 |
| Abbildung 18: Beispiele für verschiedene Aufbauvarianten in der thermischen Simulation.... | 25 |
| Abbildung 19: Vergleich der thermischen Widerstände zwischen den verschiedenen Aufbauvarianten | 26 |
| Abbildung 20: Vergleich des thermischen Widerstands R_{th} zwischen dem Referenzaufbau und einem thermisch optimierten („Improved“) Aufbau; Darstellung von a) Messergebnissen und b) Simulationsergebnissen..... | 27 |
| Abbildung 21: Vergleich des Einschaltverhaltens zwischen Version 1.0 (Projektbeginn) und 4.0 (Projektende)..... | 29 |
| Abbildung 22: Trade-Off zwischen Durchlasswiderstand $R_{DS,on}$ und Kurzschlusszeit (Short circuit time) t_{sc} | 30 |
| Abbildung 23: Variation der Kurzschlusszeit t_{sc} für verschiedene Chipdesign-Variationen | 30 |
| Abbildung 24: Ergebnisse eines aktiven Lastwechseltests (Anzahl der Zyklen in Abhängigkeit unterschiedlicher Temperaturhübe ΔT)..... | 31 |
| Abbildung 25: Modul nach Temperatur-Schocktest im Ultraschallmikroskop | 31 |
| Abbildung 26: Ersatzschaltbilder für a) G-S-Schutzdiode und b) Transistor mit Stromsensor | 32 |
| Abbildung 27: Aufbau des Maskensatz mit den verschiedenen Chip-Varianten..... | 33 |
| Abbildung 28: Substrat eines LHUVkraft-Modules mit Stromsensor- MOSFET (siehe schwarze Pfeilspitze) | 34 |



Abbildung 29: Vorstellung des neuen LHUVkraft Moduls auf dem Infineon Messestand auf der PCIM Expo 2025 in Nürnberg..... 36

8 Liste der Tabellen

Tabelle 1: Nomenklatur der SiC-MOSFET Muster im Projekt..... 13